



20ビット・ローパワー D/Aコンバータ

特 長

- 20ビットの単調性を保証(−40 ~ +85)
- 低消費電力：2.5mW
- 電圧出力
- セトリングタイム：2ms(0.012%まで)
- 最大直線性誤差：±0.0015%
- オンチップ・キャリブレーション

アプリケーション

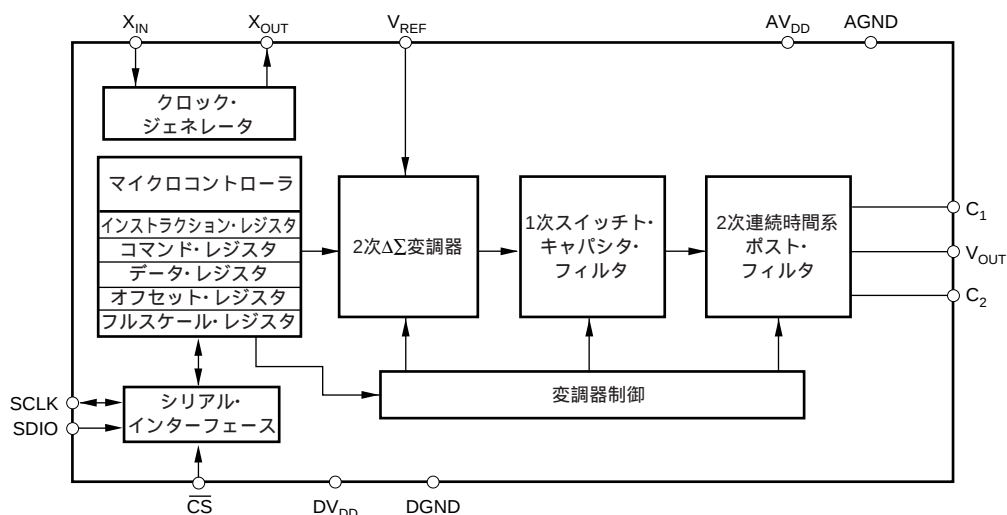
- プロセス制御
- 自動試験装置のピン・エレクトロニクス
- 閉ループ・サーボ制御
- スマート・トランスミッタ
- ポータブル計測装置

概 要

DAC1220は、仕様温度範囲にわたり20ビットの単調性が得られる20ビットD/Aコンバータ(DAC)です。デルタ・シグマ・テクノロジーの採用により、本質的にリニアな20ビットの性能と小型パッケージ、および低消費電力を実現しています。デバイスの分解能は、20ビット(フルスケールの0.003%までのセトリングの代表値が15ms以内)または16ビット(フルスケールの0.012%までのセトリングの最大値が2ms以内)にプログラムすることができます。出力範囲は0Vから外部リファレンス電圧の2倍までで、オンチップのキャリブレーション回路によりきわめて低いオフセットおよびゲイン誤差を達成します。

DAC1220は、SPIやMicrowireと互換性のある同期シリアル・インターフェースを備えています。単一コンバータのアプリケーションでは、2線だけでシリアル・インターフェースを構成でき、低コストの絶縁が可能です。複数のコンバータがある場合は、第3の $\overline{CS}$ 信号を使用して適切なD/Aコンバータを選択することができます。

DAC1220は、工業用プロセス制御の分野における閉ループ制御アプリケーションやテストおよび計測の分野における高分解能アプリケーション向けに設計されています。また、リモート・アプリケーション、バッテリー動作システム、絶縁システムにも理想的です。パッケージは、16ピンSSOPで供給されます。



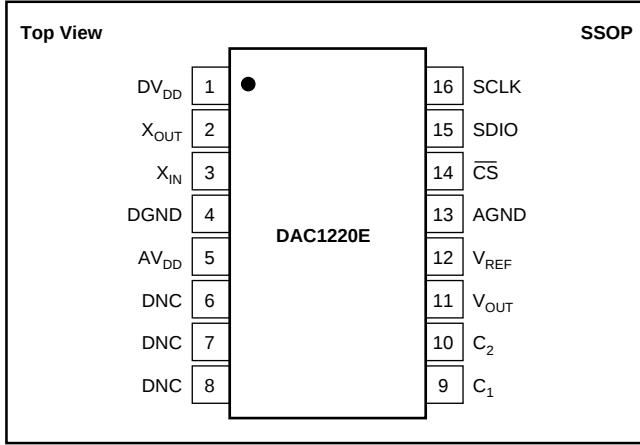
仕様

特に記述のない限り、T_{MIN} ~ T_{MAX}、AV_{DD} = DV_{DD} = +5V、f_{XIN} = 2.5MHz、V_{REF} = +2.5V、16ビット・モードです。

パラメータ	条件	DAC1220E			単位
		最小	標準	最大	
精度 単調性 単調性 直線性誤差 ユニポーラ・オフセット誤差 ⁽²⁾ ユニポーラ・オフセット誤差ドリフト ⁽³⁾ バイポーラ・ゼロ・オフセット誤差 ⁽²⁾ バイポーラ・ゼロ・オフセット・ドリフト ⁽³⁾ ゲイン誤差 ⁽²⁾ ゲイン誤差ドリフト ⁽³⁾ 電源除去比	20ビット・モード	16 20	1 ±1 1 2 60	±1 ⁽¹⁾ ±4 ±10	Bits Bits LSB LSB ppm/ LSB ppm/ LSB ppm/ dB
アナログ出力 出力電圧 ⁽⁴⁾ 出力電流 容量性負荷 短絡電流 短絡時間	GNDまたはV _{DD}	0	500 ±20 無制限	2・V _{REF} 0.5	V mA pF mA
ダイナミック性能 セトリングタイム ⁽⁵⁾ 出力雑音電圧	±0.012%まで 20ビット・モード、±0.003%まで 0.1Hz ~ 10Hz		1.8 15 1	2	ms ms μVrms
リファレンス入力 入力電圧 入力インピーダンス		2.25	2.5 100	2.75	V kΩ
デジタル入出力 ロジック・ファミリ ロジック・レベル(X _{IN} を除くすべて) V _{IH} V _{IL} V _{OH} V _{OL} X _{IN} 周波数レンジ(f _{XIN}) データ・フォーマット	I _{IH} = ±10μA I _{IL} = ±10μA I _{OH} = -0.8mA I _{OL} = 1.6mA ユーザ・プログラマブル	TTLコンパチブルCMOS 2.0 -0.3 3.6 0.5 DV _{DD} +0.3 0.8 0.4 2.5 バイナリ2の補数または オフセット・バイナリ			V V V V MHz
電源条件 電源電圧 電源電流 アナログ電流 デジタル電流 アナログ電流 デジタル電流 消費電力	20ビット・モード 20ビット・モード 20ビット スリープ・モード	4.75	360 140 460 140 2.5 3.0 0.45	5.25 3.5	V μA μA μA μA mW mW mW
温度範囲 仕様に規定された性能		-40		+85	

注：(1)16ビット・モードのAGND + 20mVからAV_{DD} - 20mVの範囲で有効です。(2)16ビット・モードのキャリブレーション後に適用されます。(3)これらの誤差はキャリブレーションの再実行によって除去することができます。(4)ゲイン誤差およびオフセット誤差を含まない理想的な出力電圧です。(5)AGND + 20mVからAV_{DD} - 20mVの範囲で有効です。この範囲以外では、セトリングタイムが記載値の2倍になることがあります。16ビット・モードではC₁ = 2.2nF、C₂ = 0.22nF、20ビット・モードではC₁ = 10nF、C₂ = 3.3nFです。

ピン配置



ピン構成

ピン	名称	説明
1	DV _{DD}	デジタル電源。公称 +5V。
2	X _{OUT}	システムクロック出力(水晶)
3	X _{IN}	システムクロック入力
4	DGND	デジタル・グラウンド
5	AV _{DD}	アナログ電源。公称 +5V。
6	DNC	接続なし(オープン)
7	DNC	接続なし(オープン)
8	DNC	接続なし(オープン)
9	C ₁	フィルタ・コンデンサ。本文参照。
10	C ₂	フィルタ・コンデンサ。本文参照。
11	V _{OUT}	アナログ出力電圧
12	V _{REF}	リファレンス入力
13	AGND	アナログ・グラウンド
14	CS	チップ・セレクト入力
15	SDIO	シリアルデータ入出力
16	SCLK	シリアルデータ転送用クロック入力

絶対最大定格⁽¹⁾

AV _{DD} ~ DV _{DD}	±0.3V
AV _{DD} ~ AGND	-0.3V ~ 6V
DV _{DD} ~ DGND	-0.3V ~ 6V
AGND ~ DGND	±0.3V
V _{REF} 電圧(対AGND)	2.0V ~ 3.0V
デジタル入力電圧(対DGND)	-0.3V ~ DV _{DD} +0.3V
デジタル出力電圧(対DGND)	-0.3V ~ DV _{DD} +0.3V
パッケージ消費電力	(T _{JMAX} - T _A) / θ _{JA}
最大接合部温度(T _{JMAX})	+150
熱抵抗、θ _{JA}	
16ピンSSOP	200 /W
リード温度(10秒間の半田付け)	+300

注：(1) 定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

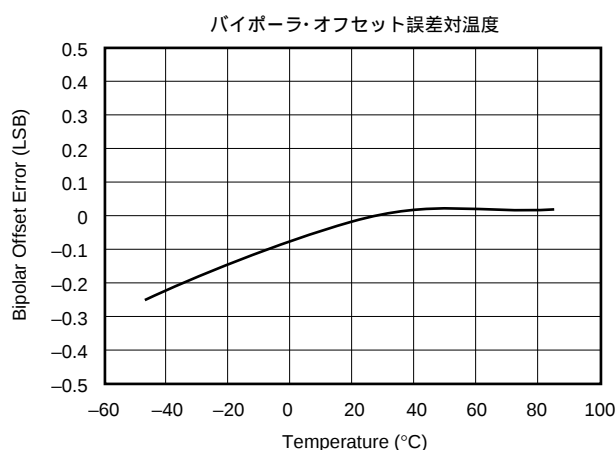
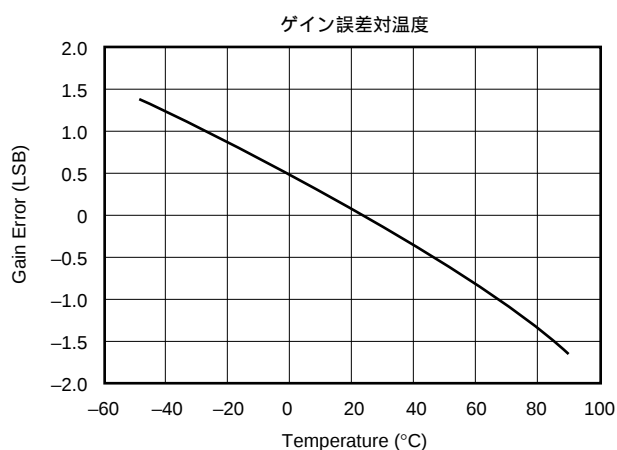
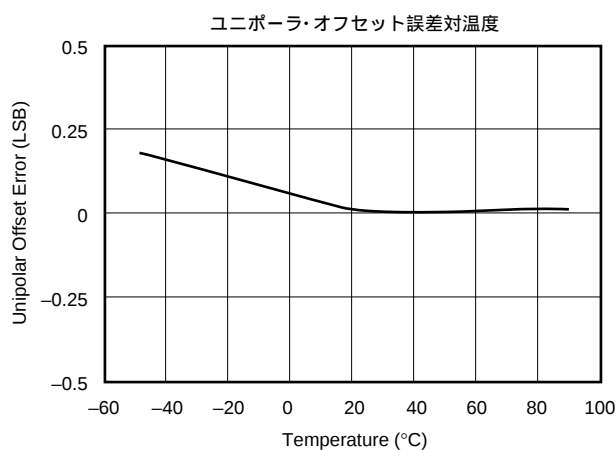
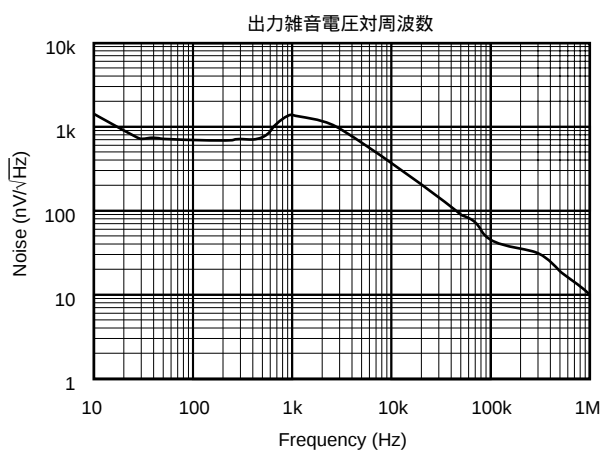
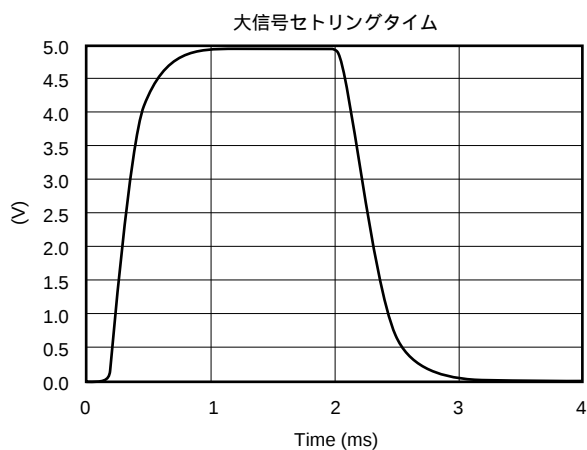
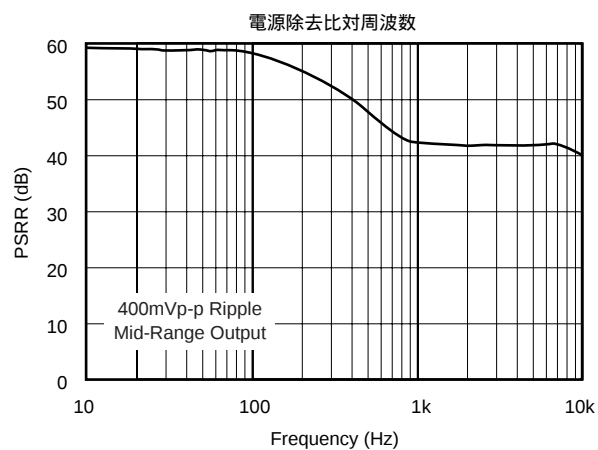
モデル	最大直線性誤差(LSB)	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	発注番号 ⁽²⁾	供給時の状態
DAC1220E	±1	16ピンSSOP	322	-40 ~ +85	DAC1220E	マガジン
DAC1220E	±1	16ピンSSOP	322	-40 ~ +85	DAC1220E/2K5	テーブリール

注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) スラッシュ(/)が付記されたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2K5はリール1本あたり2,500個入りであることを示します)。「1220E/2K5」を発注すると、2,500個入りテーブリール1本が納品されます。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

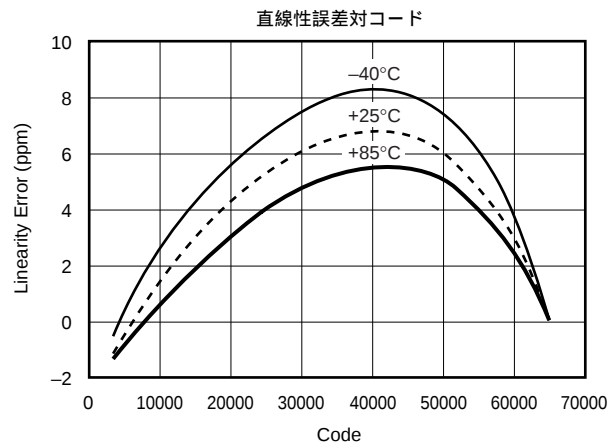
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $AV_{DD} = DV_{DD} = +5.0V$ 、 $f_{XIN} = 2.5MHz$ 、 $V_{REF} = 2.5V$ 、 $C_1 = 2.2nF$ 、 $C_2 = 0.22nF$ 、キャリブレーションされたモードです。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $AV_{DD} = DV_{DD} = +5.0V$ 、 $f_{XIN} = 2.5MHz$ 、 $V_{REF} = 2.5V$ 、 $C_1 = 2.2nF$ 、 $C_2 = 0.22nF$ 、キャリブレーションされたモードです。



動作原理

DAC1220は、自動キャリブレーション機能を備えた高精度、高ダイナミック・レンジの20ビット・デルタ・シグマ型D/Aコンバータです。2次デルタ・シグマ変調器、1次スイッチト・キャパシタ・フィルタ、2次連続時間系ポスト・フィルタ、インストラクション・レジスタ、コマンド・レジスタ、キャリブレーション・レジスタを含むマイクロコントローラ、シリアル・インターフェース、およびクロック・ジェネレータ回路を内蔵しています。

設計のトポロジにより低システム雑音と良好な電源除去を達成しています。デルタ・シグマ型D/Aコンバータの変調器の周波数は、システムクロックによって制御します。2.5MHzのシステムクロックの場合、デルタ・シグマ型D/Aコンバータは312.5kHzで動作します。

DAC1220は、内部オフセットおよびゲイン誤差を補正できる完全なオンボードのキャリブレーション機能も備えています。キャリブレーション・レジスタは、読み取りおよび書き込みが可能です。この機能により、システムのキャリブレーションを実行することができます。DAC1220の各種の設定、モード、レジスタの読み取りおよび書き込みは、同期シリアル・インターフェースを介して行います。このインターフェースは、外部から供給されるクロックによって動作します。

高い分解能と柔軟性を備えたDAC1220は、広範なD/A変換の用途に使用することができます。特定の構成が設計の目標を確実に満たすようにするためには、いくつかの考慮すべき重要な点があります。これには、必要な分解能、要求される直線性、望ましいセトリングタイム、消費電力の目標などがあります(ただしこれに限定されません)。このデータシートの以下のセクションでは、DAC1220の動作について詳細に説明します。

用語の定義

このデータシートでは、使用する用語の統一を図っています。各用語の定義を下記に示します。

微分非直線性誤差 — 微分非直線性誤差は、実際のステップ幅と理想的な1LSBの値との差です。ステップ幅が正確に1LSBである場合、微分非直線性誤差はゼロになります。微分非直線性の仕様が1LSBの場合、単調性が保証されます。

ドリフト — ドリフトは、温度によるパラメータの変化です。

フルスケール・レンジ(FSR) — DAC1220のフルスケール・レンジは、正のフルスケールのアナログ出力を発生するデジタル・コードとして定義されます。例えば、リファレンスが2.5V、ゲインの設定が2でコンバータが構成されているとき、フルスケール・レンジは $2.5V \times 2 = 5V$ になります。

ゲイン誤差 — ゲイン誤差は、オフセット誤差をゼロに補正した後の伝達関数のゲインのポイントの差です。この誤差は、実際の伝達関数と理想の伝達関数の勾配の差を表し、各ステップで同じ割合の誤差に対応します。ゲイン誤差は、外部的にゼロに調整することができます。

積分非直線性誤差 — 積分非直線性誤差は、エンド・ポイントによるデータから計算した実際の伝達関数の値の偏差です。“積分非直線性”という名称は、特定のステップの積分非直線性の値が、下限からそのステップまでの微分非直線性の合計によって決まることに由来します。

最下位ビット(LSB)の重み — デジタル入力コードの1LSBの変化によって変化するアナログ出力電圧の理論値です。

メイン・コントローラ — DAC1220の動作を制御し、入力データの書き込みを行う外部マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの総称です。

単調性 — 単調性は、デジタル入力コードの増加に応じてアナログ出力が増加するか、または一定であることを保証します。

オフセット誤差 — オフセット誤差は、デジタル入力がゼロのときに予想されるオフセットと実際のオフセットのポイントの差です。

セトリングタイム — セトリングタイムは、デジタル・コードが変化してから出力が新しい値にセトリングするまでの時間です。デジタルのオール0からオール1、およびオール1からオール0へのワーストケースの変化について規定し、AGND +20mVからAV_{DD} -20mVの範囲で測定します。

電圧スパン — 代表的なアナログ出力電圧範囲の大きさです。例えば、リファレンスが2.5V、ゲインの設定が2でコンバータが構成されているとき、出力の電圧スパンは5.0Vになります。

f_{XIN} — DAC1220のX_{IN}入力のCMOSコンパチブル入力信号または水晶発振器の周波数です。

アナログ動作

システムクロックは、変調器のサンプリングクロックまで分周されます。変調器は、サンプリングクロックを使用してマルチビットのデジタル入力を1ビットのデジタル出力のストリームに変換します。1ビットDACの使用により、本質的な直線性が得られます。デジタル出力のストリームは、次に1ビットDACを介してアナログ信号に変換され、1次スイッチト・キャパシタ・フィルタでフィルタされます。スイッチト・キャパシタ・フィルタの出力は、連続時間系フィルタに供給されます。連続時間系フィルタは、 C_1 、 C_2 、 V_{REF} および V_{OUT} ピンに接続した外部コンデンサを使用してセトリングタイムを調整します。コンデンサの接続を図1に示します(V_{REF} ピンと C_1 ピンの間に C_1 を、 V_{OUT} ピンと C_2 ピンの間に C_2 を接続します)。

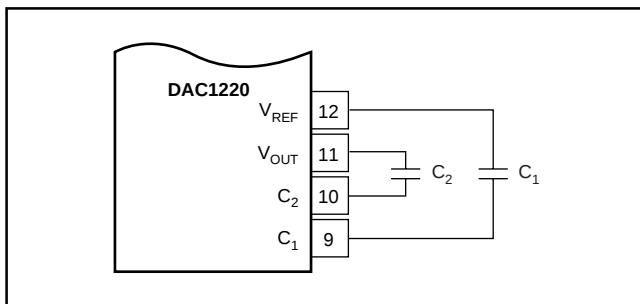


図1. セトリングタイム用コンデンサの接続

コンデンサ	16ビット・モード	20ビット・モード
C_1	2.2nF	10nF
C_2	0.22nF	3.3nF

表1. コンデンサの値

キャリブレーション

DAC1220は、出力のオフセットおよびゲインのキャリブレーションを自動的に実行する自動キャリブレーション・モードを備えています。キャリブレーションを1回実行してから通常動作を再開します。一般に、電源投入直後および動作環境に「大きな変化」があったときには必ずキャリブレーションを実行することが推奨されます。キャリブレーションの再実行が必要となる変化の量は、アプリケーションによって異なります。高精度が重要な場合は、温度および電源の変化時にキャリブレーションを再実行することが必要です。

キャリブレーションが完了すると、オフセット・キャリブレーション・レジスタ(OCR)とフルスケール・キャリブレーション・レジスタ(FCR)にキャリブレーションの結果が保存されます。これらのレジスタのデータの精度は、キャリブレーション時のDAC1220の動作モードの実効分解能までになります。

キャリブレーション・レジスタは、DAC1220が計算する値とは別にシステムのオフセットおよびゲインの補正値を供給するために使用することもできます。例えば、製品の最終検査時にE²PROMに補正値を焼き付けておき、電源投入時にメイン・コントローラがこれをキャリブレーション・レジスタにロードするようにします。現在の温度に基づいたルックアップ・テーブルの利

用も考えられます。

キャリブレーション・レジスタの値は、構成の違いや部品間で変動することに注意して下さい。システム誤差を補正するための特定のキャリブレーション・レジスタの値を確実に計算する方法はありません。

セルフ・キャリブレーション

セルフ・キャリブレーションは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)にビット“01”、コマンド・レジスタのサンプル/ホールド・ビット(SH)に“1”が書き込まれると実行されます。この操作により、次のクロック・サイクルで自動キャリブレーションが開始されます。自動キャリブレーションでは、最初にOCRがクリアされます。オフセットの補正コードは、オフセット・リファレンスに対するキャリブレーション・コンパレータの自動ゼロ調整を実行してからオフセット・リファレンスの値とDAC出力を比較するシーケンスを繰り返して決定されます。この結果が平均され、バイナリ2の補数の調整が行われ、OCRに保存されます。ゲインの補正も、同相モード誤差の除去のために V_{REF} に対して行う点を除き、同様に実行されます。FCRの結果はゲインのコードを表し、バイナリ2の補数の調整は行われません。

キャリブレーションが完了するまでにかかる時間は300msから500msです。一度キャリブレーションが開始されると、キャリブレーションが完了するまでレジスタのビットの書き込みができなくなります。キャリブレーションのステータスは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)のステータスを読み取るにより確認することができます。動作モード・ビットは、キャリブレーションが完了すると通常モードの“00”に戻ります。

自動キャリブレーションは、出力を絶縁または接続して実行することができます。これは、CMRレジスタのCALPINビットをセット(出力を接続)またはクリア(出力を絶縁)することによって指定します。出力の負荷は、キャリブレーションの精度に影響します。負荷が過度の電流をシンクする場合は、キャリブレーションが仕様から外れます。

出力モード

DAC1220は、16ビット・モードまたは20ビット・モードで動作させることができます。モードは、CMRレジスタのRESビットをセット(20ビット)またはクリア(16ビット)することによって指定します。

DAC1220の出力は、同期的にリセットすることができます。CMRのCLRビットをセットすることにより、データ入力レジスタがゼロにクリアされます。この結果、ユニボラ・モードでは0V、バイボラ・モードでは V_{REF} が出力されます。

セトリングタイムは、CMRレジスタのDISF、RES、およびADPTビットに依存します。DISFビットをクリアすると、高速セトリング・フィルタが無効になります。CMRのADPTビットは、データ・ステップが高速セトリングの起動を制御するかどうかを決定します。このビットをクリアすると、アダプティブ・フィルタが無効になり、高速セトリングが可能になります。

CMRレジスタのSHビットは、 C_2 を内部的に V_{REF} に接続するかどうかを決定します。SHビットをクリアすると、 C_2 が V_{REF} から切断されます。

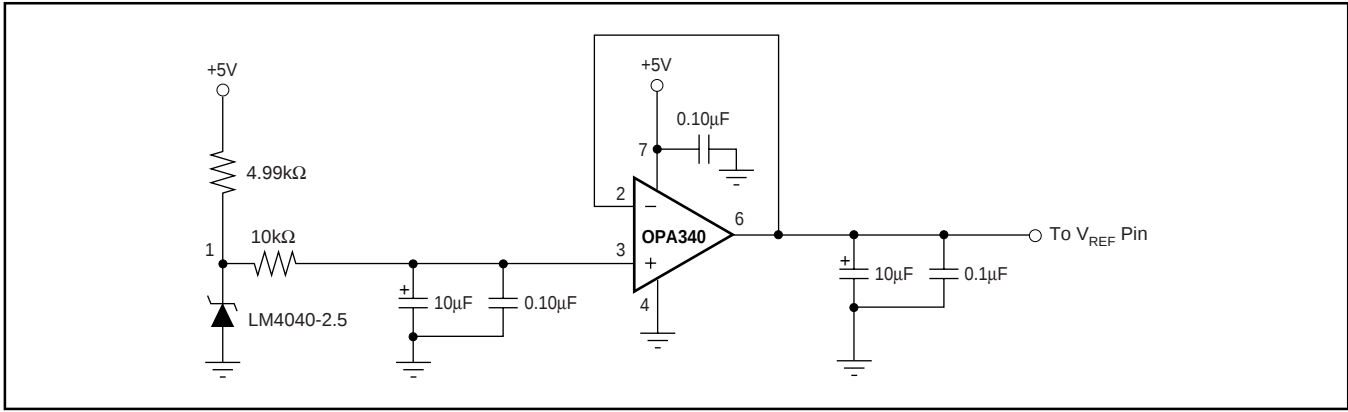


図2. DAC1220の低雑音動作のために推奨される外部電圧リファレンス回路

CMRレジスタのCRSTビットは、オフセットおよびキャリブレーション・レジスタをリセットする場合に使用することができます。CRSTビットをセットすると、キャリブレーション・レジスタのデータが0にリセットされます。

リファレンス入力

2.5Vのリファレンス入力電圧を直接 V_{REF} に接続することができます。リファレンス電圧を高くすると、フルスケール・レンジは電源電圧まで増加しますが、コンバータの内部回路の雑音はほぼ一定に保たれます。DAC1220の推奨されるリファレンス回路を図2に示します。

デジタル動作

システム構成

DAC1220は、シリアル・ペリフェラル・インターフェース(SPI)と同期シリアル・インターフェース(SS)をサポートしています。DAC1220は、シリアル・インターフェースを介して8ビットの命令コードと16ビットのコマンド・コードによって制御します。シリアル・インターフェースには、SPIとSSの2種類のプロトコルがあります。SPIは、バイト・ベースの2線シリアル・インターフェースです。SSは、一般的な3線インターフェースです。どちらのプロトコルの場合も、シリアル入力に外部クロックを供給します。

マイクロコントローラ(MC)は、ALUとレジスタ・バンクから構成されます。MCには、パワーオン・リセット、キャリブレーション、および通常動作の3つの状態があります。パワーオン・リセットの状態では、すべてのレジスタがデフォルトの状態にリセットされます。キャリブレーションの状態では、オフセットおよびゲインの自動キャリブレーションが実行されます。通常動作では、D/A変換が実行されます。

表に示すように、DAC1220には5つの内部レジスタがあります。このうち、インストラクション・レジスタ(INSR)とコマンド・レジスタ(CMR)の2つが、コンバータの動作を制御します。インストラクション・レジスタは、8ビットの命令コードを使用してシリアル・インターフェースを制御し、次の動作が読み取りか書き込みかの指定、ワード長の制御、読み取り/書き込みを実行するレジスタの選択を行います。DAC1220との通信は、INSRを介して制御されます。通常動作では、シリアル通信の各サイクルの最初にINSRの書き込みが実行されます。送られた命令によって以後の通信の種類が決定されます。INSRを読み取ることはできません。コマンド・レジスタは、16ビットのコマンド・コードを

使用して、DAC1220の動作モード、分解能のモード、セトリングのモード、およびデータ・フォーマットを設定します。データ入力レジスタ(DIR)には、次の変換の値が保存されます。オフセットおよびフルスケール・キャリブレーション・レジスタ(OCRおよびFCR)には、DIRに格納された後で内部変換の値を補正するためのデータが保存されます。この2つのレジスタのデータは、キャリブレーション・ルーチンの結果、またはシリアル・インターフェースを介して直接書き込まれた値です。

INSR	インストラクション・レジスタ	8ビット
DIR	データ入力レジスタ	24ビット
CMR	コマンド・レジスタ	16ビット
OCR	オフセット・キャリブレーション・レジスタ	24ビット
FCR	フルスケール・キャリブレーション・レジスタ	24ビット

表 . DAC1220のレジスタ

インストラクション・レジスタ(INSR)

シリアル通信の各サイクルは、DAC1220に送られるINSRの8ビットの情報によって開始されます。この情報によって、通信サイクルの以後の部分(DAC1220から読み取りまたは書き込みを行うnバイト)が指定されます。読み取り/書き込みビット、バイト数n、レジスタの開始アドレスは、表のように定義されます。nバイトが転送されると、INSRのサイクルが完了します。新しい通信サイクルは、新しいINSRを送ることによって開始されます(「インターフェース」の項で説明する制限があります)。

MSB				LSB			
R/W	MB1	MB0	0	A3	A3	A1	A0

表 . インストラクション・レジスタ

注：INSRは、BDビットにかかわらずMSB(最上位バイトおよびビット)ファーストで書き込まれる書き込み専用レジスタです。

R/W(読み取り/書き込み)ビット — 書き込み動作を実行する場合は、INSRのこのビットを0にします。読み取り動作の場合は、このビットを1にします。下記を参照して下さい。

R/W	
0	書き込み
1	読み取り

MB1、MB0(マルチバイト)ビット — この2ビットは、読み取りまたは書き込み動作のワード長(バイト数)を制御します。下記を参照して下さい。

MB1	MB0	
0	0	1バイト
0	1	2バイト
1	0	3バイト
1	1	4バイト

A3 - A0(アドレス)ビット — この4ビットは、読み取りまたは書き込みを実行するレジスタの最初の位置を選択します。表 を参照して下さい。以後の各バイトの読み取りまたは書き込みは、次に上位の位置から実行されます。(コマンド・レジスタのBDビットがセットされている場合、以後の各バイトの読み取りは、次に下位の位置から実行されます。このビットは、書き込み動作には影響しません。)表 に次の位置が定義されていない場合、結果は不定になります。読み取りまたは書き込みは、MB1とMB0によって指定されたバイト数が転送されるまで継続されます。

A3	A2	A1	A0	
0	0	0	0	データ入力レジスタのバイト2
0	0	0	1	データ入力レジスタのバイト1
0	0	1	0	データ入力レジスタのバイト0
0	0	1	1	予約
0	1	0	0	コマンド・レジスタのバイト1
0	1	0	1	コマンド・レジスタのバイト0
0	1	1	0	予約
0	1	1	1	予約
1	0	0	0	オフセット・キャリブレーション・レジスタのバイト2
1	0	0	1	オフセット・キャリブレーション・レジスタのバイト1
1	0	1	0	オフセット・キャリブレーション・レジスタのバイト0
1	0	1	1	予約
1	1	0	0	フルスケール・キャリブレーション・レジスタのバイト2
1	1	0	1	フルスケール・キャリブレーション・レジスタのバイト1
1	1	1	0	フルスケール・キャリブレーション・レジスタのバイト0
1	1	1	1	予約

表 . A3-A0のアドレス指定

コマンド・レジスタ(CMR)

CMRは、DAC1220のすべての機能を制御します。新しい構成は、コマンド・レジスタに書き込まれるデータの各バイトの最後のビットのSCLKの負の遷移で有効になります。CMRのデータは、各8ビットの2バイトからなる16ビットの情報です。

MSB				バイト1			
ADPT	CALPIN	SH		0	1	0	CRST
				バイト0			
RES	CLR	DF	DISF	BD	MSB	MD1	MD0

注：最適な性能を得るためには、コマンド・レジスタのデフォルトのビット状態を使用することが必要です(表 を参照)。ただし、SHビットは例外です。このビットのデフォルトの状態は0ですが、最適な性能を得るためにはビットを1にセットします。

表V. コマンド・レジスタ

RES(分解能)ビット — 分解能ビットは、16ビットまたは20ビットの分解能を選択します。

RES		
0	16ビット	デフォルト
1	20ビット	

CLR(クリア)ビット — クリア・ビットは、データ入力レジスタを同期的にゼロにリセットします。アナログ出力は、DFビット(1 = ユニポーラの0V出力、0 = バイポーラの V_{REF} 出力)に基づいて出力されます。

CLR		
0	オフ	デフォルト
1	オン	

DF(データ・フォーマット)ビット — DFビットは、入力データのフォーマットをバイナリ2の補数(バイポーラ)またはオフセット・バイナリ(ユニポーラ)のいずれかに制御します。下記を参照して下さい。

DF		
0	バイナリ2の補数(バイポーラ)	デフォルト
1	オフセット・バイナリ(ユニポーラ)	

DISF(高速セトリグ・フィルタの無効)ビット — 高速セトリグ・フィルタの無効ビットは、セトリグ・フィルタを無効にします。セトリグタイムは、このビットの設定と、RESビット、およびADPTビットに依存します。

DISF		
0	無効	デフォルト
1	有効	

BD(バイト順)ビット — BDビットは、データのバイトを読み取る順序(最上位バイト・ファーストまたは最下位バイト・ファースト)を制御します。下記を参照して下さい。

BD		
0	MSBバイトからLSBバイトの順にアクセス	デフォルト
1	LSBバイトからMSBバイトの順にアクセス	

MSB(ビット順)ビット — MSBビットは、データの1バイトからビットを読み取る順序(最上位ビット・ファーストまたは最下位ビット・ファースト)を制御します。下記を参照して下さい。

MSB		
0	MSBファースト	デフォルト
1	LSBファースト	

MD1 - MD0(動作モード)ビット — 動作モード・ビットは、DAC1220のキャリブレーション機能を制御します。動作中は、通常モードを使用して変換を実行します。自動キャリブレーション・モードは、オフセットとフルスケールの両方のキャリブレーションを実行する1ステップのキャリブレーション・シーケンスです。

MD1	MD0	
0	0	通常モード
0	1	自動キャリブレーション
1	0	スリープ
1	1	X

ADPT(アダプティブ・フィルタ)ビット — アダプティブ・フィルタ・ビットは、アダプティブ・フィルタの有効または無効を決定します。このビットを無効にすると、常に高速セトリングが実行されます。

ADPT		
0	有効	デフォルト
1	無効	

CALPIN(キャリブレーション・ピン)ビット — キャリブレーション・ピン・ビットは、キャリブレーション時の出力の絶縁または接続を決定します。

CALPIN		
0	出力を絶縁する	デフォルト
1	出力を接続する	

SH(サンプル/ホールド)ビット — サンプル/ホールド・ビットは、 C_2 を内部的に V_{REF} と接続するかどうかを決定します。最高の性能を得るためには、このビットを1にセットすることを推奨します。

SH		
0	切断する	デフォルト
1	接続する	推奨

CRST(キャリブレーション・リセット)ビット — CRSTビットは、オフセットおよびフルスケール・キャリブレーション・レジスタをリセットします。

CRST		
0	オフ	デフォルト
1	リセット	

MSB		バイト1					
0	0	0	0 ⁽¹⁾	1 ⁽¹⁾	0 ⁽¹⁾	0	0 ⁽¹⁾
バイト0				LSB			
0	0	0	0	0	0	0	0

注:(1)これらのビット位置は、読み取りおよび書き込みが可能です。これらのビットの値を変更すると、デバイスの性能が低下します。

表 . コマンド・レジスタのデフォルトの状態

オフセット・キャリブレーション・レジスタ(OCR)

OCRは、変調器に転送する前にデジタル入力に適用するオフセットの補正係数を保存する24ビットのレジスタです。自動キャリブレーションの結果はこのレジスタに保存されます。キャリブレーションはきわめて高精度です。

OCRは、シリアル・インターフェースを介して読み取りと書き込みの両方が可能です。正確なシステム・キャリブレーションを必要とするアプリケーションでは、システム・キャリブレーションを実行して結果を平均し、より高精度なシステムのオフセット・キャリブレーションの値をOCRに書き戻すことができます。

実際のOCRの値は、部品間、構成、温度、電源によって変動します。このため、任意の状況について実際のOCRの値を正確に予測することはできません。すなわち、単に外部的に誤差を測定し、誤差の係数を計算し、その値をOCRに書き込むことによってシステムのオフセットを補正することはできません。

また、OCRのデータを直接使用してデジタル入力を補正するのではなく、補正値がOCRの値の関数であることにも注意して下さい。この関数は直線的で、既知の2点を基準にして中間のOCRの値を補間することができます。詳細については、「キャリブレーション」の項を参照して下さい。

MSB		バイト2					
OCR23	OCR22	OCR21	OCR20	OCR19	OCR18	OCR17	OCR16
バイト1				バイト0			
OCR15	OCR14	OCR13	OCR12	OCR11	OCR10	OCR9	OCR8
バイト0				LSB			
OCR7	OCR6	OCR5	OCR4	OCR3	OCR2	OCR1	OCR0

表 . オフセット・キャリブレーション・レジスタ

フルスケール・キャリブレーション・レジスタ(FCR)

FCRは、変調器に転送する前にデジタル入力に適用するフルスケールの補正係数を保存する24ビットのレジスタです。自動キャリブレーションの結果はこのレジスタに保存されます。

FCRは、シリアル・インターフェースを介して読み取りと書き込みの両方が可能です。正確なシステム・キャリブレーションを必要とするアプリケーションでは、システム・キャリブレーションを実行して結果を平均し、より高精度なシステムのフルスケール・キャリブレーションの値をFCRに書き戻すことができます。

実際のFCRの値は、部品間、構成、温度、電源によって変動します。このため、任意の状況について実際のFCRの値を正確に予測することはできません。すなわち、単に外部的に誤差を測定し、誤差の係数を計算し、その値をFCRに書き込むことによってシステムのフルスケール誤差を補正することはできません。

また、FCRのデータを直接使用してデジタル入力を補正するのではなく、補正値がFCRの値の関数であることにも注意して下さい。この関数は直線的で、既知の2点を基準にして中間のFCRの値を補間することができます。詳細については、「キャリブレーション」の項を参照して下さい。

FCRのデータは、符号なしバイナリ・フォーマットです。これは、コマンド・レジスタのDFビットの影響を受けません。

MSB				バイト2			
FCR23	FCR22	FCR21	FCR20	FCR19	FCR18	FCR17	FCR16
バイト1							
FCR15	FCR14	FCR13	FCR12	FCR11	FCR10	FCR9	FCR8
バイト0				LSB			
FCR7	FCR6	FCR5	FCR4	FCR3	FCR2	FCR1	FCR0

表 . フルスケール・キャリブレーション・レジスタ

データ入力レジスタ(DIR)

DIRは、デジタル入力の値を保存する24ビットのレジスタです(表IXを参照)。レジスタはLSBの立ち下がりエッジでラッチされ、DIRのデータが変調器にロードされます。16ビット・モードでは、DIR23からDIR8までを使用して16ビットの値を表します。このため、レジスタのデータがDIR8の立ち下がりエッジでラッチされます。20ビット・モードでは、DIR23からDIR4までを使用して20ビットの値を表します。このため、レジスタのデータがDIR4の立ち下がりエッジでラッチされます。DIRレジスタのデータは、バイナリ2の補数(バイポーラ・モード)またはオフセット・バイナリ(ユニポーラ・モード)です。

MSB				バイト2			
DIR23	DIR22	DIR21	DIR20	DIR19	DIR18	DIR17	DIR16
バイト1							
DIR15	DIR14	DIR13	DIR12	DIR11	DIR10	DIR9	DIR8
バイト0				LSB			
DIR7	DIR6	DIR5	DIR4	DIR3	DIR2	DIR1	DIR0

表IX. データ入力レジスタ

スリープ・モード

スリープ・モードは、コマンド・レジスタの動作モード・ビット(MD1およびMD0)にビット1、0を書き込むと移行します。このモードは、MD1およびMD0ビットに新しいモードを入力することにより終了します。

コンバータがスリープ・モードのときにコンバータとのシリアル通信を確立するには、次のいずれかの手順を使用します。 $\overline{CS}$ を使用している場合は、単に $\overline{CS}$ を“ロー”にすることによりシリアル通信が正常に実行されます。 $\overline{CS}$ を使用していない(“ロー”に結線している)場合は、通常のインストラクション・レジスタのコ

マンドを送ることにより通信が再確立されます。シリアル通信が再開されたら、MD1およびMD0ビットを任意の他のモードに変更することによりスリープ・モードが終了します。新しいモード(スリープ以外)に移行するとき、DAC1220はアナログおよびデジタル回路のごく短い内部パワーアップ・シーケンスを実行します。また、通常動作の再開に必要な時間を決定するには、外部 V_{REF} やその他の回路のセトリグも考慮に入れることが必要です。

シリアル・インターフェース

DAC1220は、各種の方法によってマイクロコントローラやデジタル信号プロセッサと接続できる柔軟なシリアル・インターフェースを備えています。この柔軟性にともなつて、複雑な点も増えています。この項では、各種のインターフェース方法のトレードオフをトップダウンに(すなわち、シリアルデータの全体的なフローと制御、インターフェースの具体例、シリアル・インターフェースに関する注意点の順に)説明します。

シリアル・インターフェースには、SPI(シリアル・ペリフェラル・インターフェース)とSSI(同期シリアル・インターフェース)の2つの基本的なプロトコルがあります。

リセット、パワーオン・リセット、電圧低下

DAC1220は、内部パワーオン・リセット回路を備えています。電源上昇速度が50mV/ms以上であれば、この回路によって十分にデバイスの適正なパワーオンが保証されます。(発振器のセトリグの問題のため、電源が安定してから少なくとも25msの間はDAC1220との通信を行わないようにします。)

この条件を満たせない場合または回路に電圧低下の問題がある場合は、図3のタイミングを使用してDAC1220をリセットすることができます。この方法では、SCLK入力のデューティ・サイクルを制御することによりリセットを実行します。一般に、パワーオン後、電圧低下が検出された後、またはウォッチドッグ・タイムイベントが発生した後にはリセットが必要です。

I/Oの復帰

シリアル通信が命令またはデータの転送中に $4t_{DATA}$ 以上の時間停止した場合、DAC1220はシリアル・インターフェースをリセットします。これは、内部レジスタには影響しません。この場合、メイン・コントローラは転送を継続せずに最初から再開することが必要です。メイン・コントローラをいつでもリセットできる場合、この機能は非常に便利です。リセット後は、 $8t_{DATA}$ だけ待機してからシリアル通信を開始します。

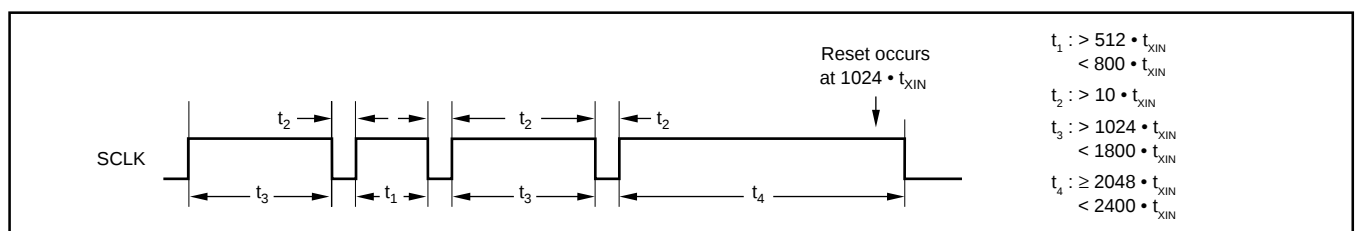


図3. DAC1220のリセット

絶縁

DAC1220のシリアル・インターフェースでは、単純な絶縁の方法を使用することができます。絶縁した2線インターフェースの例を図4に示します。

CSの使用

シリアル・インターフェースでは、 $\overline{CS}$ 信号を使用することも、この入力を「ロー」に結線することもできます。どちらの方法を選択するかについては、いくつかの注意点があります。 $\overline{CS}$ 信号は、SDIO出力のトリステートの状態を直接制御しません。SDIO出力の信号は、通常はトリステート状態にあり、DAC1220からシリアルデータが送信されているときだけアクティブになります。DAC1220がシリアルデータを転送中の場合（SDIOは出力）、 $\overline{CS}$ を「ハイ」にしても出力信号はトリステートになりません。

シリアルI/Oラインを共有する複数のシリアル周辺装置があり、常に任意の周辺装置と通信する可能性がある場合は、 $\overline{CS}$ 信号を使用することが必要です。 $\overline{CS}$ 信号を使用して、DAC1220と通信できるようにします。

シリアル・クロック

DAC1220では1つのセトリング周期に複数の命令を発行することができます。また、メイン・コントローラがシリアル・クロックの周波数を設定し、シリアルデータの転送速度を制御することが可能です。この動作モードのシリアル・クロックについては重要な注意点があります。シリアル・クロックの最大周波数は、DAC1220の X_{in} の周波数の1/10より高くできません。

タイミング

表Xおよび図5から図9までに、DAC1220の基本的なデジタルのタイミング特性を示します。図5およびそのタイミング記号は、 X_{IN} 入力信号に適用されます。図6から図9までおよびそのタイミング記号は、シリアル・インターフェース信号(SCLK、SDIO、CS)に適用されます。シリアル・インターフェースの詳細については、「シリアル・インターフェース」の項を参照して下さい。

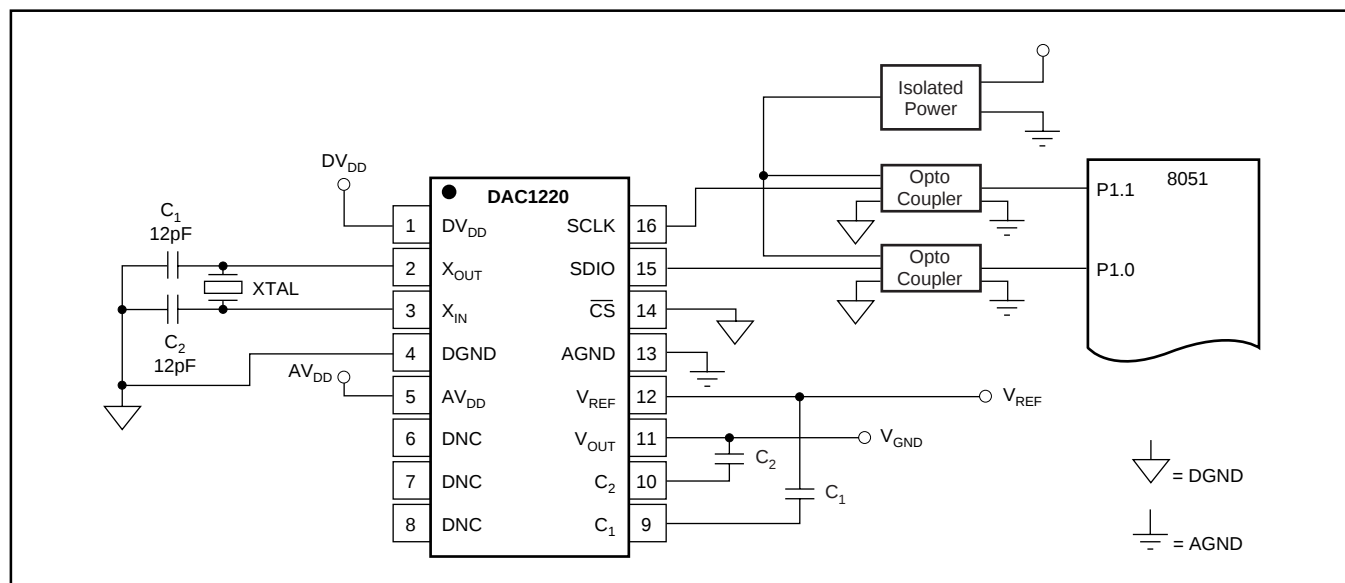


図4.2線インターフェースの絶縁

記号	説明	最小	標準	最大	単位
f_{XIN}	X_{IN} クロック周波数	0.5	1	2.5	MHz
t_{XIN}	X_{IN} クロック周期	400		2000	ns
t_2	X_{IN} クロック" ハイ "	$0.4 \cdot t_{XIN}$			ns
t_3	X_{IN} クロック" ロー "	$0.4 \cdot t_{XIN}$			ns
t_{10}	外部シリアル・クロック" ハイ "	$5 \cdot t_{XIN}$			ns
t_{11}	外部シリアル・クロック" ロー "	$5 \cdot t_{XIN}$			ns
t_{12}	入力データ有効から外部SCLKの立ち下がりエッジまで(セッアップ)	40			ns
t_{13}	外部SCLKの立ち下がりエッジから入力データ無効まで(ホールド)	20			ns
t_{14}	出力データ有効から外部SCLKの立ち下がりエッジまで(セッアップ)	$t_{XIN} - 40$			ns
t_{15}	外部SCLKの立ち下がりエッジから出力データ無効まで(ホールド)	$4 \cdot t_{XIN}$			ns
t_{19}	INSRの最後のSCLKの立ち下がりエッジから レジスタ・データの最初のSCLKの立ち上がりエッジまで	$13 \cdot t_{XIN}$			ns
t_{24}	CSの立ち下がりエッジからSCLKの立ち上がりエッジまで	$11 \cdot t_{XIN}$			ns
t_{26}	SDIOが出力になってからレジスタ・データの最初のSCLKの立ち上がりエッジまで		$4 \cdot t_{XIN}$		ns
t_{27}	INSRの最後のSCLKの立ち下がりエッジからSDIOトリステストまで	$6 \cdot t_{XIN}$		$8 \cdot t_{XIN}$	ns
t_{28}	SDIOトリステスト時間		$2 \cdot t_{XIN}$		ns
t_{30}	レジスタ・データの最後のSCLKの立ち下がりエッジからSDIOトリステストまで	$4 \cdot t_{XIN}$		$6 \cdot t_{XIN}$	ns
t_{36}	レジスタ・データの最後のSCLKの立ち下がりエッジから 次のINSRの最初のSCLKの立ち上がりエッジまで(CSを"ロー"に結線)	$41 \cdot t_{XIN}$			ns
t_{37}	CSの立ち上がりエッジからCSの立ち下がりエッジまで(CSを使用)	$22 \cdot t_{XIN}$			ns

表X. デジタルのタイミング特性

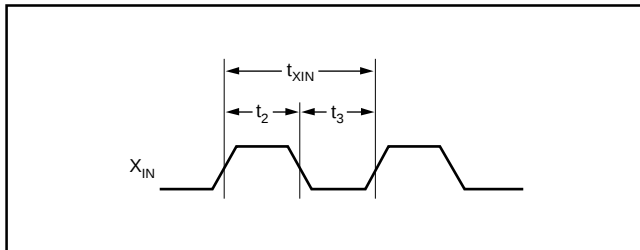


図5. X_{IN} クロックのタイミング

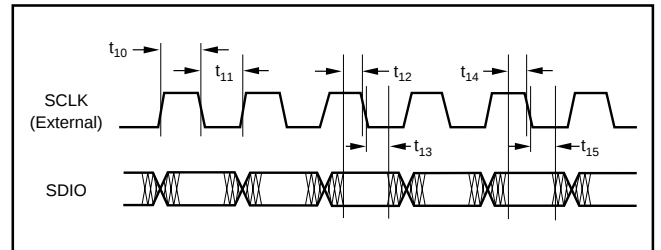


図6. シリアル入出力のタイミング

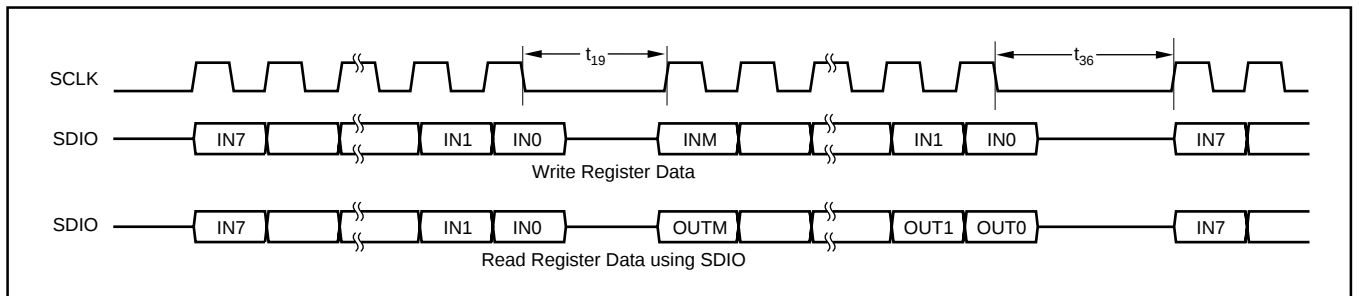


図7. シリアル・インターフェースのタイミング(CS"ロー")

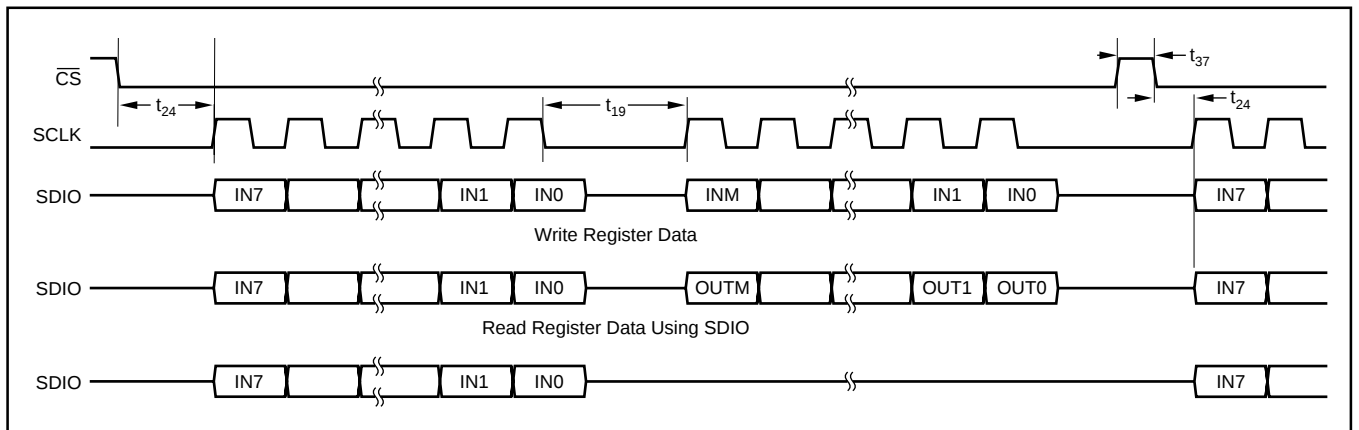


図8. シリアル・インターフェースのタイミング(CSを使用)

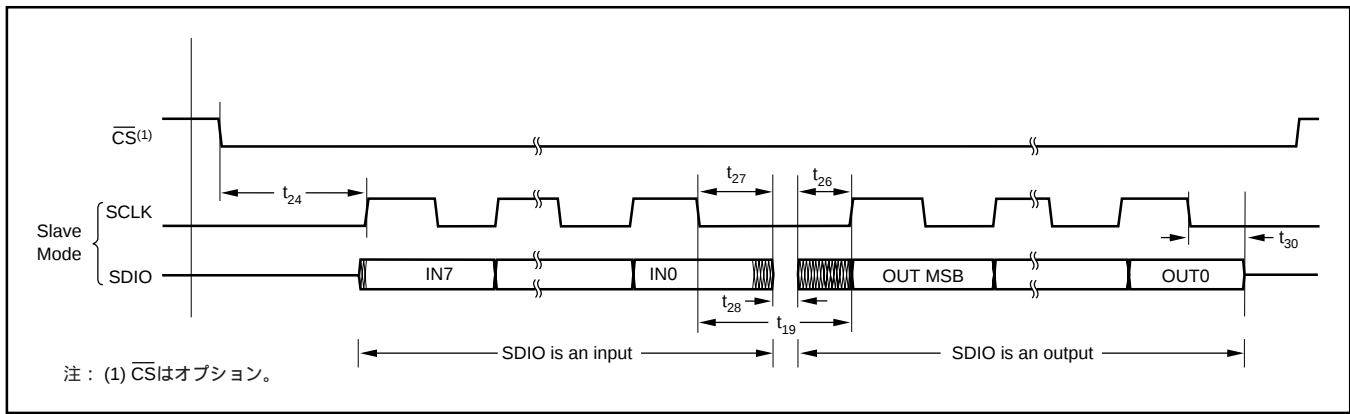


図9. SDIOが入力から出力へ遷移するタイミング

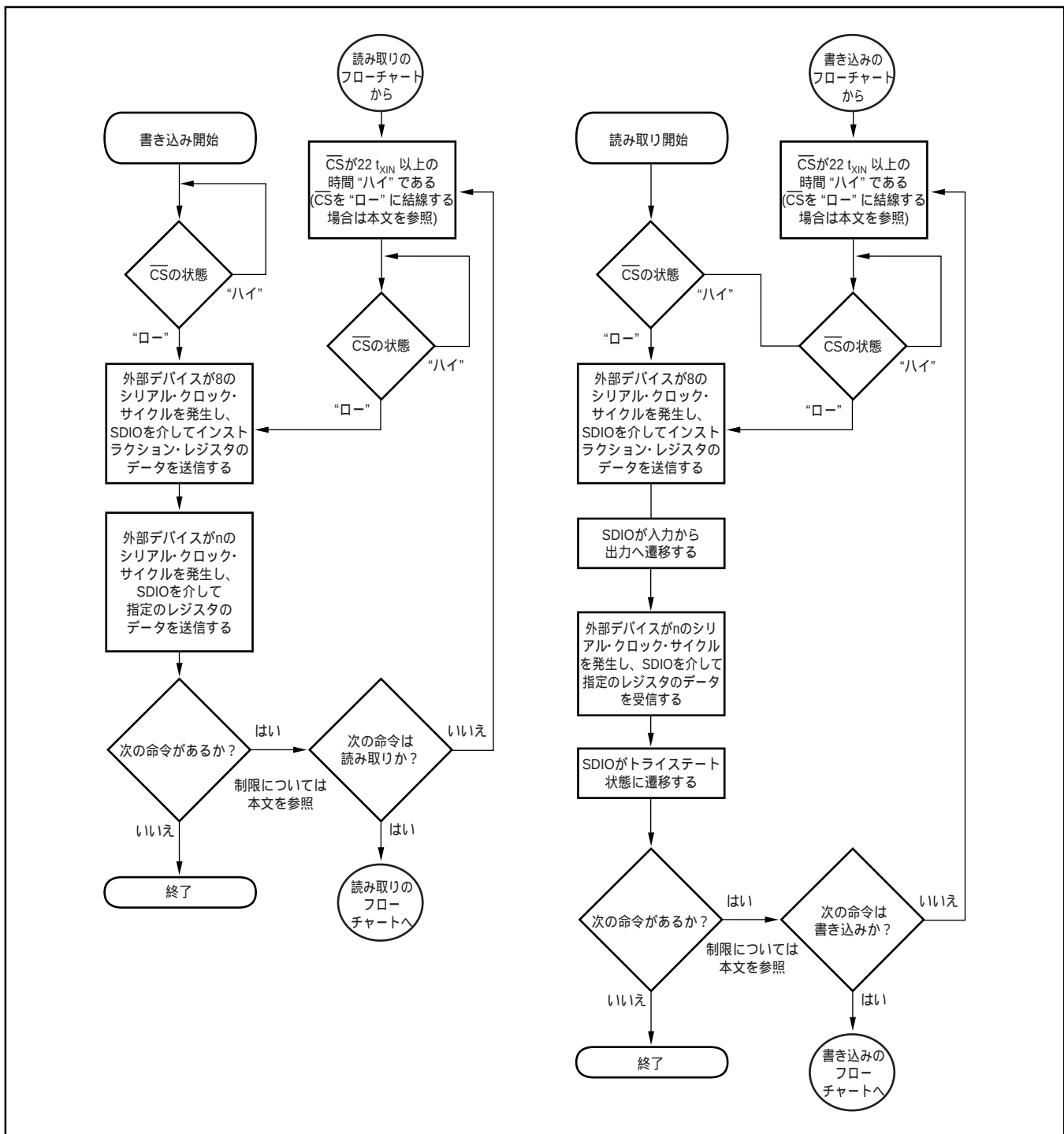


図10. レジスタのデータの書き込みおよび読み取りのフローチャート

レイアウトに関する考慮事項

電源

DAC1220では、デジタル電源(DV_{DD})がアナログ電源(AV_{DD}) +0.3Vより高くならないことが必要です。これは、ほとんどのシステムの場合、最初にアナログ電源をオンにしてから、次にデジタル電源および V_{REF} をオンにする必要があることを意味します。この条件に反すると、DAC1220に永久的な損傷を与える原因になります。

アナログ電源およびデジタル電源をオンにする前に、SDIOや V_{REF} などのDAC1220の入力が発生しないようにします。この条件に反すると、ラッチアップの原因になります。電源をオンにする前にこれらの信号が発生する場合は、直列抵抗を使用して入力電流を制限することが必要です。

最良の方法は、設計のアナログ部およびDAC1220の AV_{DD} の電源とデジタル部および DV_{DD} の電源を、それぞれ独立した+5V電源から供給することです。最初にアナログ電源をオンにします。これにより、SCLK、SDIO、 $\overline{CS}$ 、 V_{REF} が AV_{DD} より高くならないこと、デジタル入力が AV_{DD} の確立後にのみ発生し、 DV_{DD} より高くならないことが保証されます。

アナログ電源は、安定で低雑音であることが必要です。DAC1220から非常に高い分解能を要求する設計では、電源除去が問題になります。詳細については、代表的性能曲線「電源除去比対周波数」を参照して下さい。

デジタル電源の必要条件はアナログ電源ほど厳しくありませんが、 DV_{DD} の高周波雑音がDAC1220のアナログ部に容量的に結合することがあります。この雑音は、スイッチング電源、高速なマイクロプロセッサ、デジタル信号プロセッサなどから発生します。

DAC1220に使用する電源が1つに限られている場合は、 AV_{DD} 電源を使用して DV_{DD} に電力を供給します。この接続には、 10Ω の抵抗を使用することができます。この抵抗とデカップリング・コンデンサの組み合わせにより、 DV_{DD} と AV_{DD} 間に多少のフィルタ効果が得られます。システムによっては、直接接続することもできます。 AV_{DD} と DV_{DD} の適切な接続は、実験により決定するのが確実な方法です。

グラウンディング

設計のアナログ部とデジタル部は、注意して完全に分割することが必要です。各部に専用のグラウンド・プレーンを設け、相互に重ならないようにします。AGNDは、他のすべてのアナログ・グラウンドとともにアナログ・グラウンド・プレーンに接続します。DGNDは、デジタル・グラウンド・プレーンおよびこのプレーンを基準とするすべてのデジタル信号と接続します。

DAC1220のピンアウトは、コンバータがアナログ部とデジタル部に完全に分割されるようになっています。このため、設計のアナログ部とデジタル部に単純なレイアウトを使用することが可能です。

単一コンバータのシステムでは、DAC1220のAGNDとDGNDをコンバータ下部で1つに接続します。グラウンド・プレーンは接続

しないようにし、あまり大きくない信号パターンを使用して両者を接続します。複数のコンバータがある場合は、できるだけすべてのコンバータの中心に近い位置で2つのグラウンド・プレーンを接続します。2つのプレーンを接続する最良の点を見つけるために実験が必要なこともあります。アナログ/デジタル・グラウンドの接続をショート・ジャンプで変更できるようにプリント基板を設計し、試作品を使用して最良の接続を確立することもできます。

デカップリング

DAC1220および設計のすべてのコンポーネントに対して適切なデカップリングを行うことが必要です。すべてのデカップリング・コンデンサ(特に $0.1\mu F$ のセラミック・コンデンサ)は、目的のピンのできるだけ近くに配置します。 AV_{DD} とAGNDのデカップリングには、 $0.1\mu F$ のセラミック・コンデンサと並列に、 $1\mu F$ から $10\mu F$ のコンデンサを使用します。各デジタル・コンポーネントのデジタル電源および DV_{DD} とDGNDのデカップリングには、少なくとも $0.1\mu F$ のセラミック・コンデンサを使用します。

システムに関する考慮事項

電源およびグラウンディングの推奨事項は、システム全体の必要条件や個別の設計に応じて変化します。一般に、システムは次の4段に分割できます。

デジタル処理

DAC1220のデジタル部

DAC1220のアナログ部

アナログ処理

独立したマイクロコントローラ、単一のクロック・ソース、および最小限のアナログ信号コンディショニング(基本的なフィルタおよびゲイン)からなる最も単純なシステムでは、すべてのコンポーネントに共通の電源を使用しても高い性能を達成できると考えられます。また、すべてのコンポーネントに共通のグラウンド・プレーンを使用することもできます。したがって、“アナログ”と“デジタル”の電源およびグラウンドの区別はなくなります。しかし、やはりレイアウトには電源プレーンとグラウンド・プレーンを使用し、慎重なデカップリングを行うことが必要です。

極端な例として、複数のDAC1220、1つ以上のマイクロコントローラ(またはデジタル信号プロセッサ、マイクロプロセッサ)、数種類のクロック・ソース、高度なアナログ信号コンディショニング、および他の多様なシステムとの相互接続からなる設計も考えられます。この設計で高い性能を達成することは非常に困難です。このような場合は、システムをできるだけ多くの部分に分割するアプローチをとります。

例えば、各DAC1220に専用のアナログ電源およびグラウンド(アナログ・バック・エンドとの共有も可能)と、専用の“デジタル”電源およびグラウンドを設けます。コンバータの“デジタル”電源およびグラウンドは、システムのプロセッサ、RAM、ROM、グルー・ロジックの電源およびグラウンドとは分離します。

外觀

