



10ビット、20MHz、サンプリングA/Dコンバータ

特 長

- 電源範囲：+2.7V～+5.5V
- 低消費電力：48mW (+3V)
- 調整可能なフルスケール・レンジ
- 高SNR：57dB
- 低DNL：0.4LSB
- パワーダウン
- パッケージ：48ピンLQFP

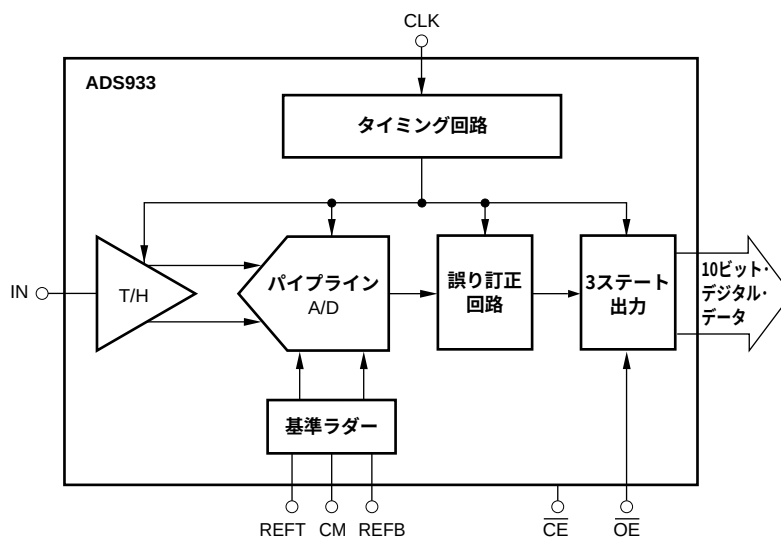
アプリケーション

- バッテリ動作装置
- ビデオ・カメラ
- ポータブル・テスト装置
- コンピュータ・スキャナ
- 通信
- ビデオ・デジタイジング

概 要

ADS933は、+5.5Vから+2.7Vの電源で動作するように設計された高速なパイプライン方式のA/Dコンバータです。この完成されたコンバータは、広帯域幅のトラック/ホールドおよび10ビット量子化回路を備えています。性能は、+3V電源での動作時に1Vから2Vのシングル・エンド入力レンジについて規定されています。+5V電源での動作時には工業標準の2Vから4Vの入力レンジを使用できます。入力レンジは、外部基準電圧の値によって設定します。

ADS933は、データ誤り訂正回路の採用により優れた微分直線性を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。低歪や高SNRなどの特長により、通信、ビデオ、テスト装置などのアプリケーションに必要な特性に対し、十分な余裕が得られます。この高性能A/Dコンバータは、20MHzのサンプリング・レートで仕様が規定されています。パッケージは、48ピンLQFPで供給されます。



仕様

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = V_{DD} = +3\text{V}$ 、入力レンジ = $1\text{V} \sim 2\text{V}(1V_{DD})$ 、サンプリング・レート = 20MHz です。

		ADS933Y			
パラメータ	条件	最小	標準	最大	単位
分解能		10			Bits
アナログ入力 仕様入力レンジ アナログ入力バイアス電流 入力インピーダンス		1.0 1 1.25 5		2.0	V μA M Ω pF
デジタル入力 ロジック・ファミリ 変換コマンド	変換開始	TTL/HCT互換CMOS 変換クロックの立ち上がりエッジ			
変換特性 サンプリング・レート データ待ち時間		10k	5	20M Clk Cyc	Samples/s
ダイナミック特性 微分直線性誤差 f = 500kHz f = 10MHz ノー・ミッシング・コード 積分直線性誤差、f = 500kHz スプリアスフリー・ダイナミック・レンジ ⁽¹⁾ f = 500kHz(−1dB入力) f = 10MHz(−1dB入力) ツーマン相互変動歪(IMD) ⁽³⁾ f = 4.5MHzおよび5.5MHz(各トーン −7dB) 信号対雑音比(SNR) f = 500kHz(−1dB入力) f = 10MHz(−1dB入力) 信号対(雑音+歪)(SINAD) f = 500kHz(−1dBFS入力) f = 3.58MHz(−1dBFS入力) f = 10MHz(−1dBFS入力) 微分ゲイン誤差 微分位相誤差 出力雑音 アパーチャ・ディレイ時間 アパーチャ・ジッタ アナログ入力帯域幅 小信号 フルパワー 過电压復帰時間	最大コード誤差、V _{CC} = +5V 最大コード誤差、V _{CC} = +5V V _{CC} = +5V V _{CC} = +5V NTSC、PAL NTSC、PAL 入力を接地 −20dBFS入力 0dBFS入力		±0.4 ±0.6 保証 ±1.0 65 61 63 57 56 56 55 57 0.1 0.1 0.2 2 8 120 60 2	±1.0 ±1.0 	LSBs LSBs LSBs dBFBS ⁽²⁾ dBFS dBc dBc dBc dBc dBc % degrees LSBs rms ns ps rms MHz MHz ns
出力 ロジック・ファミリ ロジック・コーディング ロジック・レベル 3ステート・イネーブル時間 3ステート・ディスエーブル時間	ロジック“ロー” ロジック“ハイ”	0 2.4	TTL/HCT ストレーテ・オフセット・バイナリ 20 2	0.4 2.7	V V ns ns
精度 入力オフセット 電源除去 外部REFT電圧範囲 外部REFB電圧範囲 基準電圧入力抵抗 正および負のフルスケール・オフセット	 ΔV _{CC} = +10% V _{CC} = +3V電源 V _{CC} = +5V電源 V _{CC} = +3V電源 V _{CC} = +5V電源 外部基準電圧を基準	 1.0 1.0	0.5 53 2 4 1 2 4 ±35	1 V _{CC} =−0.7 V _{CC} =−0.7 2.5	% dB V V V V kΩ mV
電源条件 電源電圧：V _{CC} 、 V _{DD} 電源電流：I _{CC} 、 I _{DD} 消費電力 消費電力(パワードOWN)	動作時 動作時、V _{CC} = V _{DD} = +3V 動作時、V _{CC} = V _{DD} = +5V 動作時、V _{CC} = V _{DD} = +3V 動作時、V _{CC} = V _{DD} = +5V 動作時、V _{CC} = V _{DD} = +5V	+2.7	+3.0 16 25 48 125 15	+5.5	V mA mA mW mW mW
温度範囲 動作時 保存 熱抵抗、θ _{JA}	48ピンLQFP	−25 −55	100	+85 +125	°C °C °C/W

注：(1)スプリアスフリー・ダイナミック・レンジは、最大高調波の振幅を参照します。(2)dBFSは、フルスケールを基準とするdBを表します。(3)ツーン・トーン相互変調歪は、最大の基本トーンを基準とします。ツーン・トーン基本エンベロープの大きさを基準とする場合、この値は6dB高くなります。

絶対最大定格

電源電圧：V _{CC} 、V _{DD}	+6.5V
電源電圧差：V _{CC} 相互間	±0.1V
グランド電圧差：AGND、DGND相互間	±0.1V
デジタル入力電圧	-0.3~V _{DD} +0.3V
アナログ入力電圧	-0.3~V _{CC} +0.3V
入力電流 ⁽¹⁾	±10mA
動作温度	-25°C~+85°C
保存温度	-55°C~+125°C
接合部温度	+150°C
リード温度(半田付け)	+260°C、5秒間
パッケージ温度(IRリフロー、ピーク値)	+235°C、10秒間

注：(1)V_{CC}、V_{DD}、AGND、DGNDの各ピンを除く。

 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

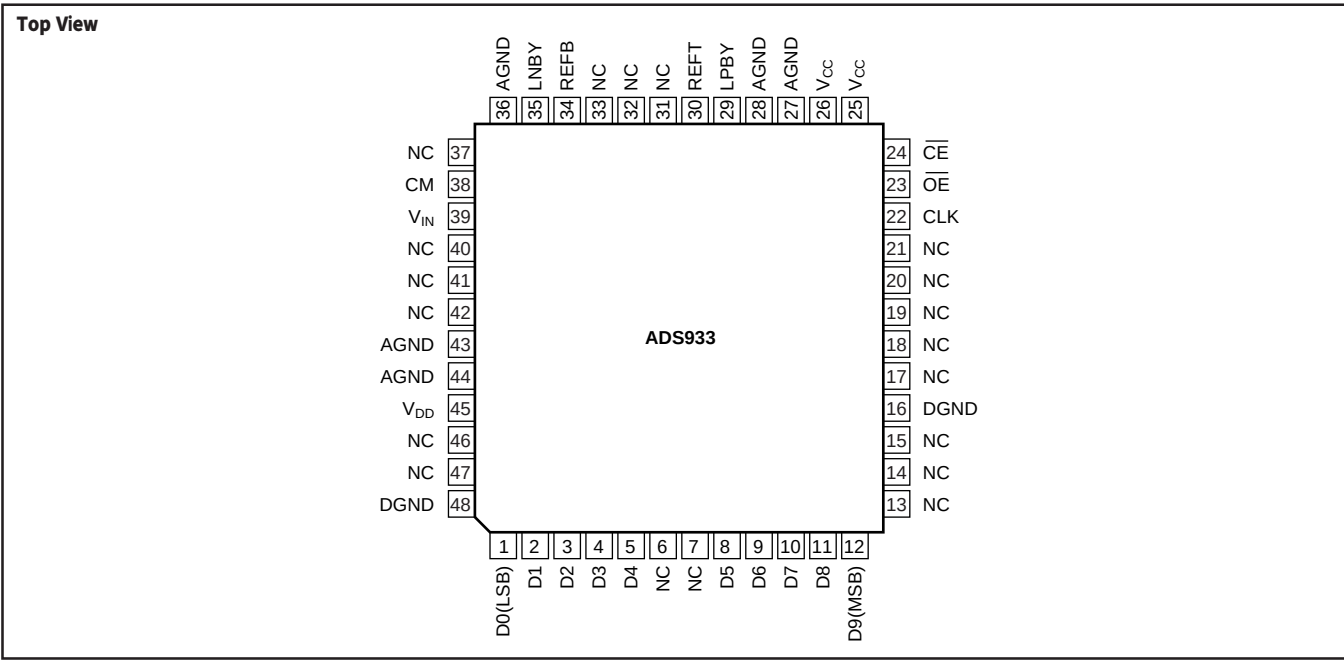
パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ 図番号 ⁽¹⁾	仕様温度範囲	パッケージの マーキング	発注番号 ⁽²⁾	供給時の状態
ADS933Y	48ピンLQFP	340	-40°C~+85°C	ADS933Y	ADS933Y	250個入りトレイ
ADS933Y	48ピンLQFP	340	-40°C~+85°C	ADS933Y	ADS933Y/2K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2Kはリール1本あたり2,000個入りのデバイスであることを示します)。“ADS933Y/2K”を発注すると、2,000個入りテーブリール1本が納品されます。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



ピン構成

ピン	記号	説明	ピン	記号	説明
1	D0	データ・ビット0(LSB)	25	V _{CC}	アナログ電源
2	D1	データ・ビット1	26	V _{CC}	アナログ電源
3	D2	データ・ビット2	27	AGND	アナログ・グランド
4	D3	データ・ビット3	28	AGND	アナログ・グランド
5	D4	データ・ビット4	29	LPBY	正のラダー・バイパス
6	NC	ノー・コネクション(オープン)	30	REFT	高電位基準電圧
7	NC	ノー・コネクション(オープン)	31	NC	ノー・コネクション(オープン)
8	D5	データ・ビット5	32	NC	ノー・コネクション(オープン)
9	D6	データ・ビット6	33	NC	ノー・コネクション(オープン)
10	D7	データ・ビット7	34	REFB	低電位基準電圧
11	D8	データ・ビット8	35	LNBY	負のラダー・バイパス
12	D9	データ・ビット9(MSB)	36	AGND	アナログ・グランド
13	NC	ノー・コネクション(オープン)	37	NC	ノー・コネクション(オープン)
14	NC	ノー・コネクション(オープン)	38	CM	同相モード電圧
15	NC	ノー・コネクション(オープン)	39	V _{IN}	アナログ入力
16	DGND	デジタル・グランド	40	NC	ノー・コネクション(オープン)
17	NC	ノー・コネクション(オープン)	41	NC	ノー・コネクション(オープン)
18	NC	ノー・コネクション(オープン)	42	NC	ノー・コネクション(オープン)
19	NC	ノー・コネクション(オープン)	43	AGND	アナログ・グランド
20	NC	ノー・コネクション(オープン)	44	AGND	アナログ・グランド
21	NC	ノー・コネクション(オープン)	45	V _{DD}	デジタル出力ドライバ用電源
22	CLK	変換クロック入力	46	NC	ノー・コネクション(オープン)
23	OE	出力イネーブル。アクティブ“ロー”。	47	NC	ノー・コネクション(オープン)
24	CE	チップ・イネーブル。アクティブ“ロー”。	48	DGND	デジタル・グランド

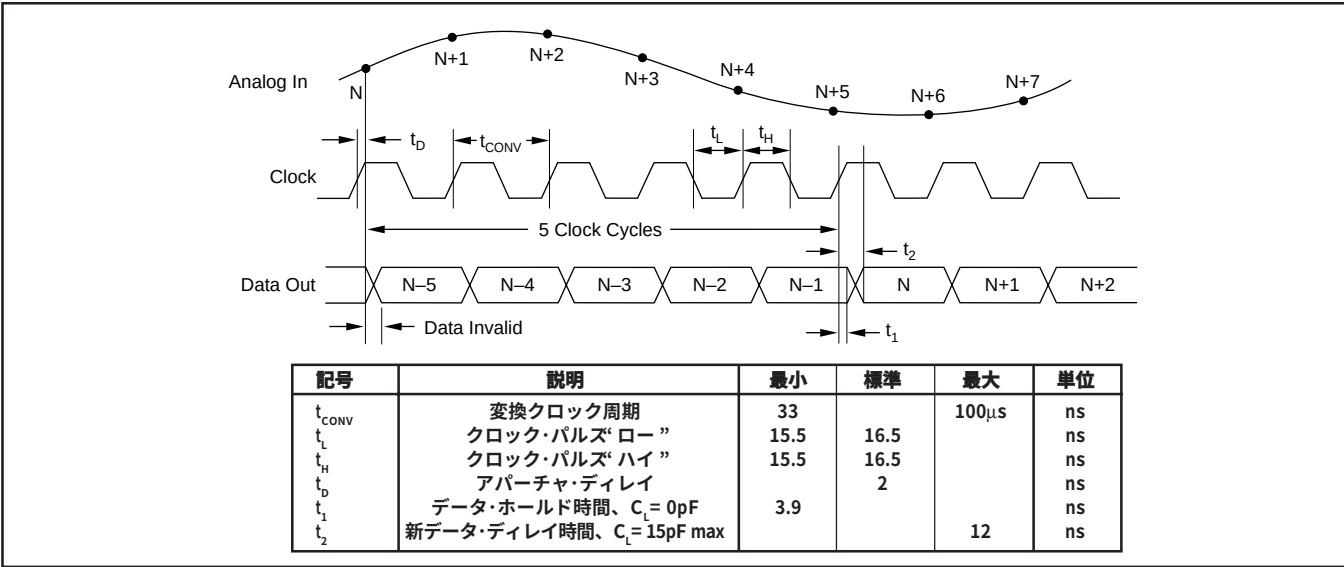


図1. タイミング図

動作原理

ADS9333は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動トポロジおよびデータ誤り訂正回路を使用して10ビットの分解能を保証しています。トラック/ホールド回路を図1に示します。重なりのない2つの位相信号 $\phi 1$ および $\phi 2$ からなる内部クロックによってスイッチを制御します。サンプリング時には、入力信号が入力キャパシタのボトム・プレートを通してサンプルされます。次のクロック位相($\phi 2$)では、入力キャパシタのボトム・プレートが相互に接続され、帰還キャパシタ C_H はオペアンプ出力に接続されます。このとき、電荷が C_i および C_H の間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDC値としてホールドした値となります。通常の動作モードでは、反転入力を同相モード電圧に接続します。この場合、トラック/ホールド回路が、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換します。したがって、入力信号がゲイン2で増幅され、信号/雑音比の性能が向上します。小信号およびフルパワー帯域幅、広帯域雑音などのパラメータもこの段で定義されます。

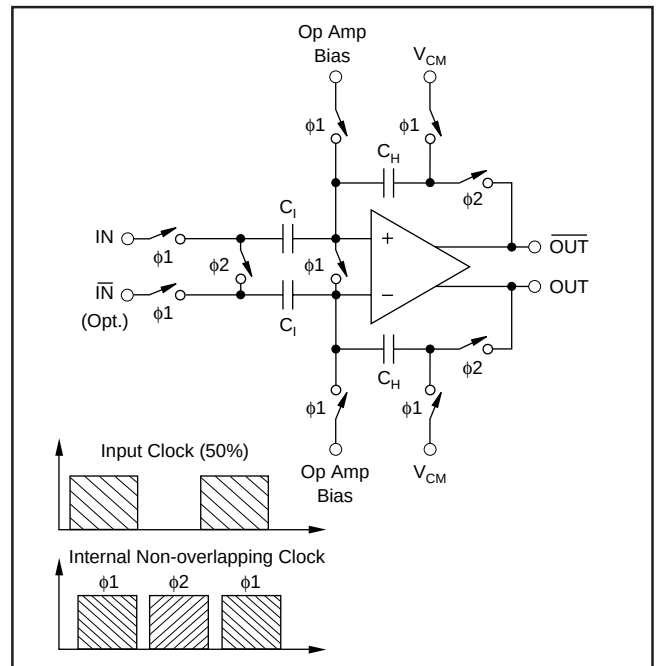


図1. 入力トラック/ホールドの構成とタイミング信号

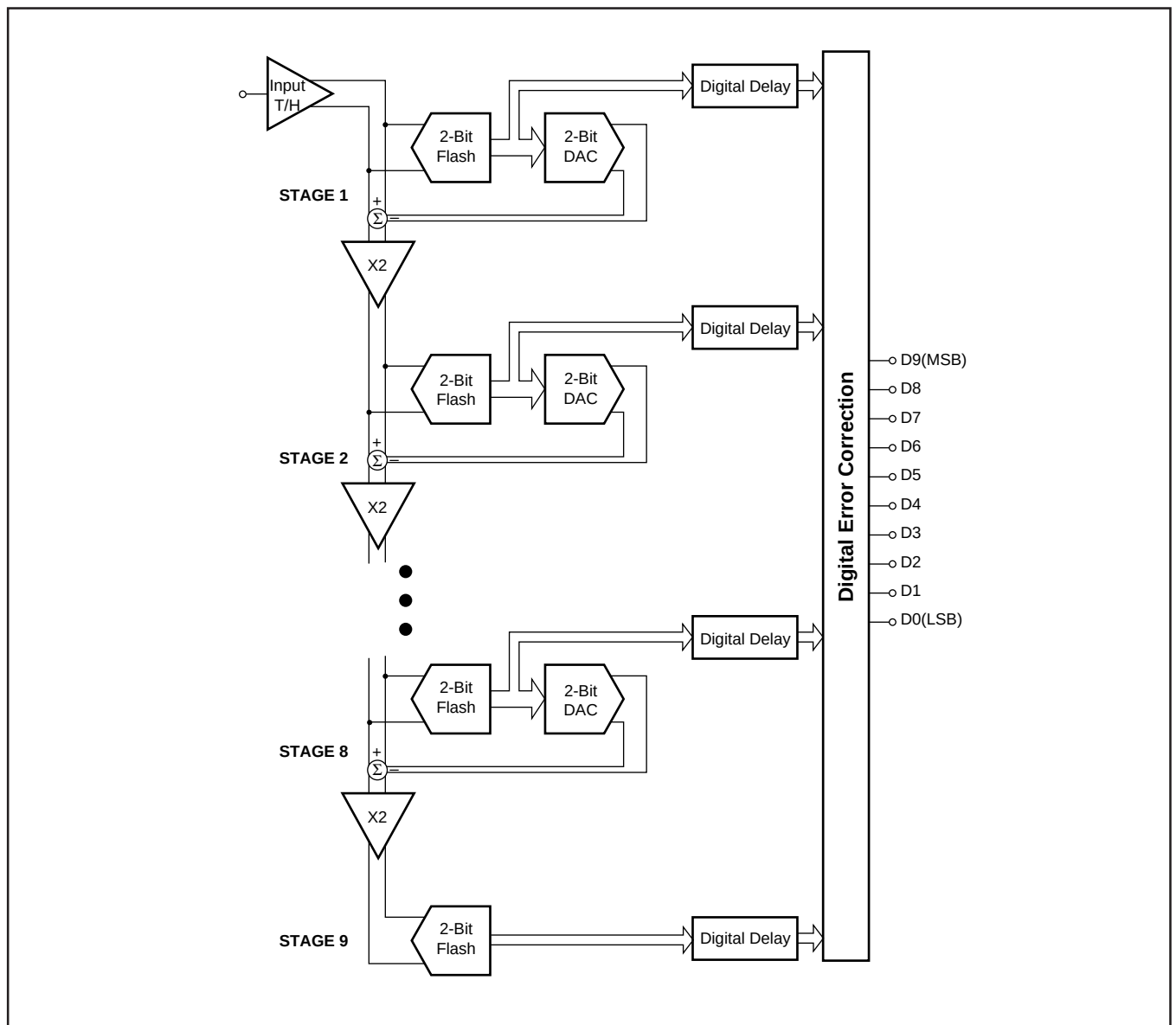


図2. パイプライン方式A/Dのアーキテクチャ

図2に示すように、パイプライン方式の量子化回路アーキテクチャは9段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックと同じ周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に供給されます。ADS933はこの技術により、優れた微分直線性が得られ、10ビット・レベルのノー・ミッシング・コードが保証されます。

バイポーラの信号スイングに対応するには、ADS933を外部基準電圧による同相モード電圧(V_{CM})を用いて動作させます。ADS933に内蔵された対称型の抵抗ラダーのため、 V_{CM} は高電位基準電圧と低電位基準電圧の中心電位になります。同相モード電圧は、式(1)を使用して計算できます。

$$V_{CM} = (REFT + REFB) / 2 \quad (1)$$

同時に、2つの外部基準電圧レベルによりADS933のフルスケール入力レンジが定義されます。これにより、フロント・エンドの信号スイングに合わせて入力レンジを調整することができます。

デジタル出力データ

10ビット出力データは、CMOSロジック・レベルで出力されます。変換開始信号から有効データ出力まで5.0クロック・サイクルのデータ待ち時間があります。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。ADS933のデジタル出力は、 $\overline{OE}$ (ピン23)にロジック“ハイ”を与えることによって高インピーダンス状態にできます。ピン23が“ロー”またはオープン(内部でプルダウン)になっている場合は、通常動作になります。この機能はテストの目的で備えられており、動的に利用することは推奨されません。デジタル出力の容量性負荷は、15pF以下に抑えることが必要です。

信号スイングおよび同相モードに関する検討事項

ADS933は、+3Vの単一電源電圧で動作するように設計されていますが、電源範囲は+2.7Vから+5.5Vであり、+5Vのアプリケーションにも最適です。公称入力信号スイングは、+1Vから+2Vの1V_{pp}です。これは、3Vのレールを使用するとき、信号が+1.5Vの同相モード電圧(5V電源では+2.5V)を中心に±0.5Vスイングすることを意味します。ADS933を+5V電源で使用するアプリケーションの場合は、入力信号スイングを大きくすることにより性能を向上させることができます。例えば、入力信号スイングを2V_{pp}まで大きくすると、信号/雑音比性能が向上します。ただし、過度の歪を避けるために、ドライブ回路のリニアな動作範囲に信号スイングを維持することが必要です。極端な場合は、入力電圧により入力スイッチ・オン抵抗が大きく変動するため、コンバータの性能が劣化します。したがって、通常動作時の信号スイングは、アナログ・グランドおよびアナログ電源のレールまで約0.5V以上の範囲に保つ必要があります。

アプリケーション

アナログ入力のドライブ

図3に、デュアル電源で動作する高速オペアンプ(OPA650、OPA658)を使用したAC結合のシングル・エンド・インターフェース回路の例を示します。中心基準電圧 V_{CM} によってバイポーラのグランド基準入力信号がバイアスされます。コンデンサ C_1 および抵抗 R_1 は、-3dB周波数が次式により設定されるハイパス・フィルタを形成します。

$$f_{-3dB} = 1 / (2\pi R_1 C_1) \quad (2)$$

C_1 および R_1 の値は、ほとんどのアプリケーションでは重要ではなく、任意に設定することができます。図3の値は、1.6kHzのコーナー周波数に対応します。

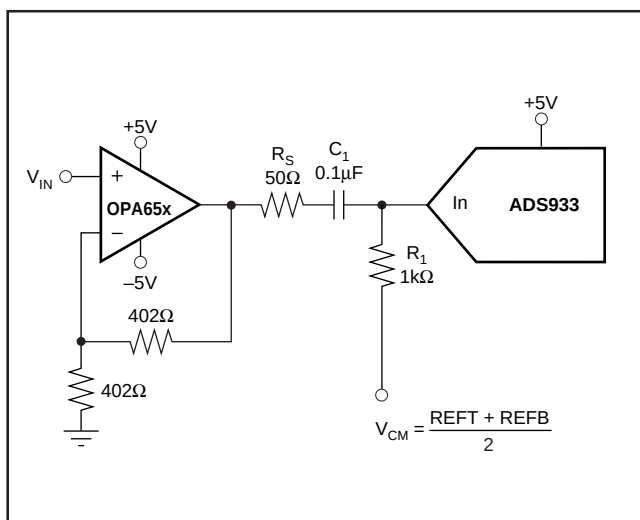


図3. AC結合、シングル・エンドのインターフェース回路

図4に、単一電源アプリケーションに使用できる回路を示します。中心基準電圧によってオペアンプが適切な同相モード電圧(例えば $V_{CM} = +1.5V$)にバイアスされます。コンデンサ C_g の使用により、非反転オペアンプ入力のDCゲインは、+1V/Vに設定されます。この結果、伝達関数は次式のようにになります。

$$V_{OUT} = V_{IN} (1 + R_F / R_G) + V_{CM} \quad (3)$$

この場合も、入力のカップリング・コンデンサ C_1 および抵抗 R_1 がハイパス・フィルタを形成します。同時に、 R_1 によって入力インピーダンスが定義されます。オペアンプには、OPA68xやOPA63xファミリなどが可能です。抵抗 R_S は、オペアンプ出力を容量性負荷から分離してゲインのピークや発振を防止します。また、定義された帯域幅のシングル・ポールのローパス・フィルタを形成して高周波雑音をロールオフするために使用することもできます。推奨値は、通常10Ωから100Ωの間です。

DC結合のインターフェース回路

図5に、 $-1V/V$ 以上のゲインに設定できる単一電源のDC結合回路を示します。ADS933の適切な同相モード電圧が得られるように、ゲインに応じて抵抗 R_1 および R_2 で設定される分圧比を調整することが必要です。 $+3V$ 電源の場合、ADS933の入力信号範囲は、通常、外部基準電圧によって設定される $+1.5V$ の同相モード電圧を中心とする $1V_{p-p}$ になります。

外部基準電圧

ADS933では、ピン30(REFT)および34(REFB)に外部基準電圧を接続することが必要です。これらのピンは、内部で公称 $4k\Omega$ ($\pm 15\%$)の抵抗ラダーを通じて接続されています。ラダー両端の適正な電圧降下を確立するには、外部基準回路が通常 $250\mu A$ の電流を供給することが必要です。この電流により、ADS933のフルスケール入力レンジが $1V_{p-p}$ に設定されます。

一般に、ADS933のフルスケール入力レンジ(FSR)はREFTおよびREFB間の電圧降下によって決まります。スパンは、式(4)を使用して計算できます。

$$FSR = REFT - REFB \quad (4)$$

代表的性能を劣化させずにADS933に外部基準電圧を供給するソリューションには、アプリケーションに応じて各種のものが考えられます。

低コストな基準電圧のソリューション

必要な基準電圧を形成する最も簡単な方法は、図6に示すように、ADS933の基準ラダーを電源レールの間に配置することです。適正なラダーの電流を設定するために、2つの抵抗(R_T 、 R_B)を追加することが必要です。

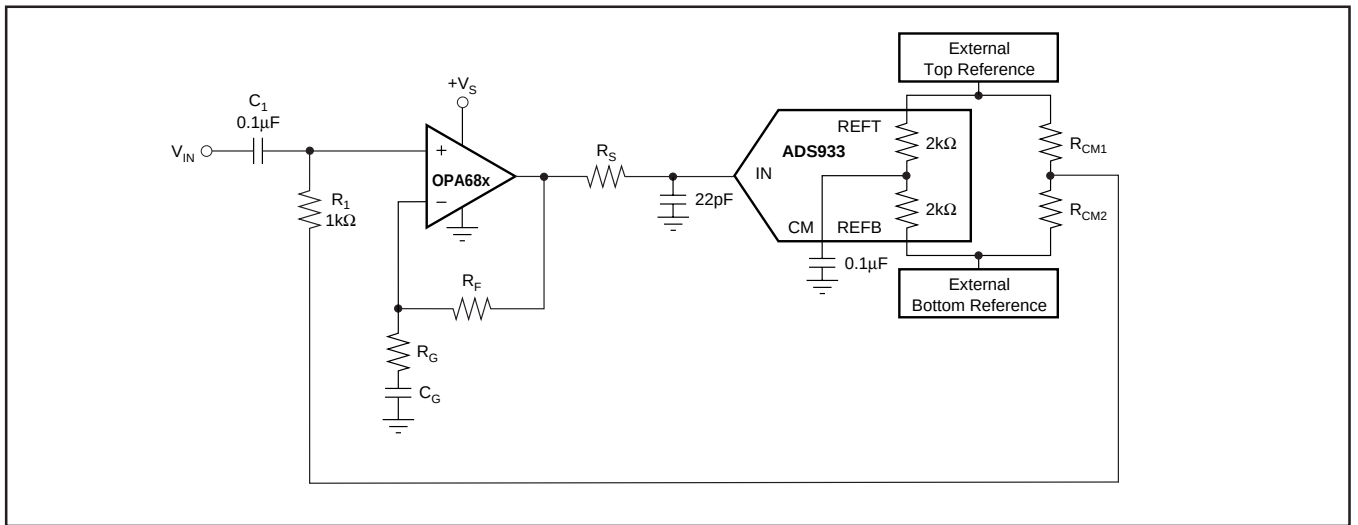


図4. 別の単一電源インターフェース回路

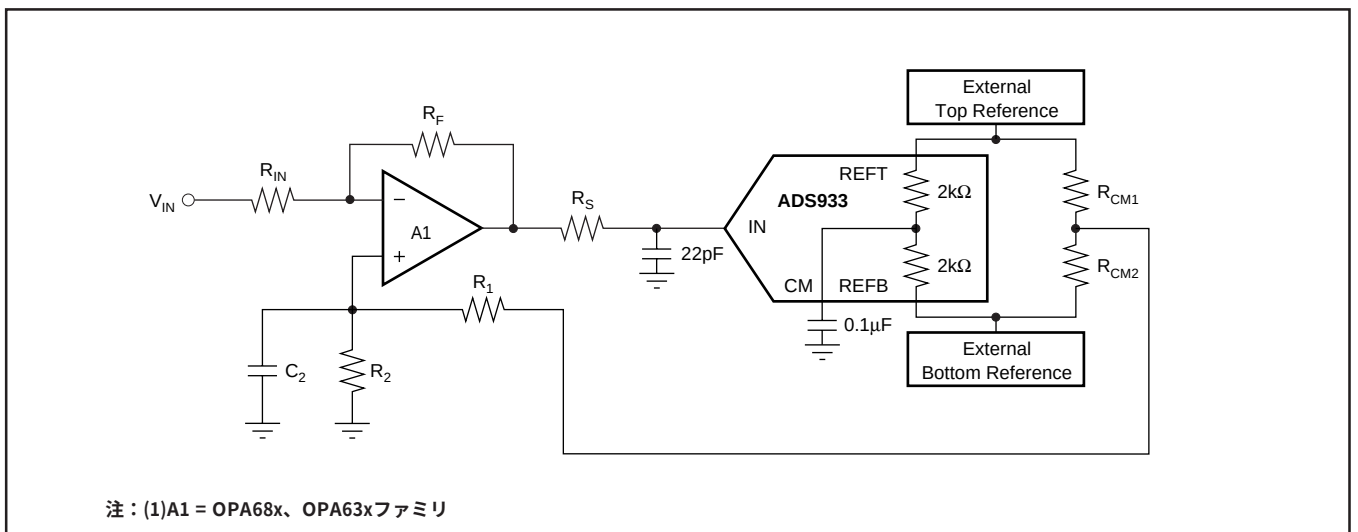


図5. シングル・エンドのDC結合インターフェース回路

図6の表に、いくつかの構成の値を示します。必要なフルスケールのスイングおよび電源電圧に応じて、別の抵抗値を選択することもできます。

シングル・エンド入力	ストレート・オフセット・バイナリ (SOB)
+FS (IN = +2V)	1111111111
+FS-1LSB	1111111111
+FS-2LSB	1111111110
+3/4フルスケール	1110000000
+1/2フルスケール	1100000000
+1/4フルスケール	1010000000
+1LSB	1000000001
バイポーラ・ゼロ (IN = +1.5V)	1000000000
-1LSB	0111111111
-1/4フルスケール	0110000000
-1/2フルスケール	0100000000
-3/4フルスケール	0010000000
-FS+1LSB	0000000001
-FS (IN = +1V)	0000000000

表I. ADS933のコード表

この基準電圧回路を選択した場合のトレードオフは、部品の許容差と電源変動による基準電圧の変動です。図6に示すように、必ず0.1μF以上のセラミック・コンデンサで基準ラダーをバイパスすることを推奨します。このコンデンサは、2つの目的を兼ねています。第1に、クロックおよびサンプル/ホールド段からのスイッチング雑音のフィードスルーによって発生するほとんどの高周波トランジェント雑音をバイパスします。第2に、電荷を蓄積して内部ノードへ瞬時に電流を供給します。

精密な基準電圧のソリューション

高レベルのDC精度やドリフトが要求されるアプリケーションには、精密な基準素子による基準回路を使用することができま

す(図7参照)。安定な+1.2V基準電圧は、2端子バンドギャップ基準電圧REF1004-1.2によって確立されます。OPA2237、OPA2234、OPA268xなどの汎用の単一電源デュアル・オペアンプ(A₁)を使用して各オペアンプを適正なゲインに設定することにより、ADS933に必要な2つの基準電圧(例えば、+2VのREF_T、+1VのREF_B)を発生させることができます。

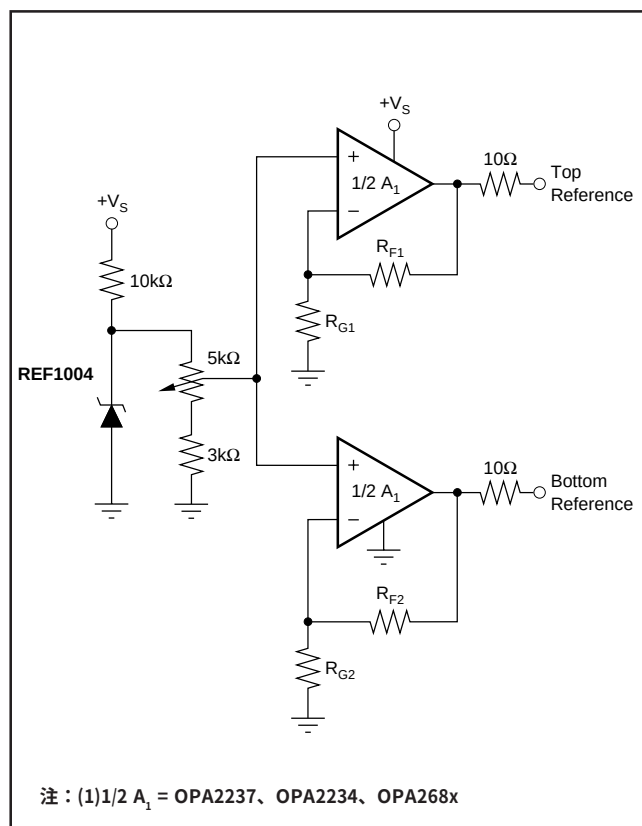


図7. 精密な外部基準電圧のソリューション

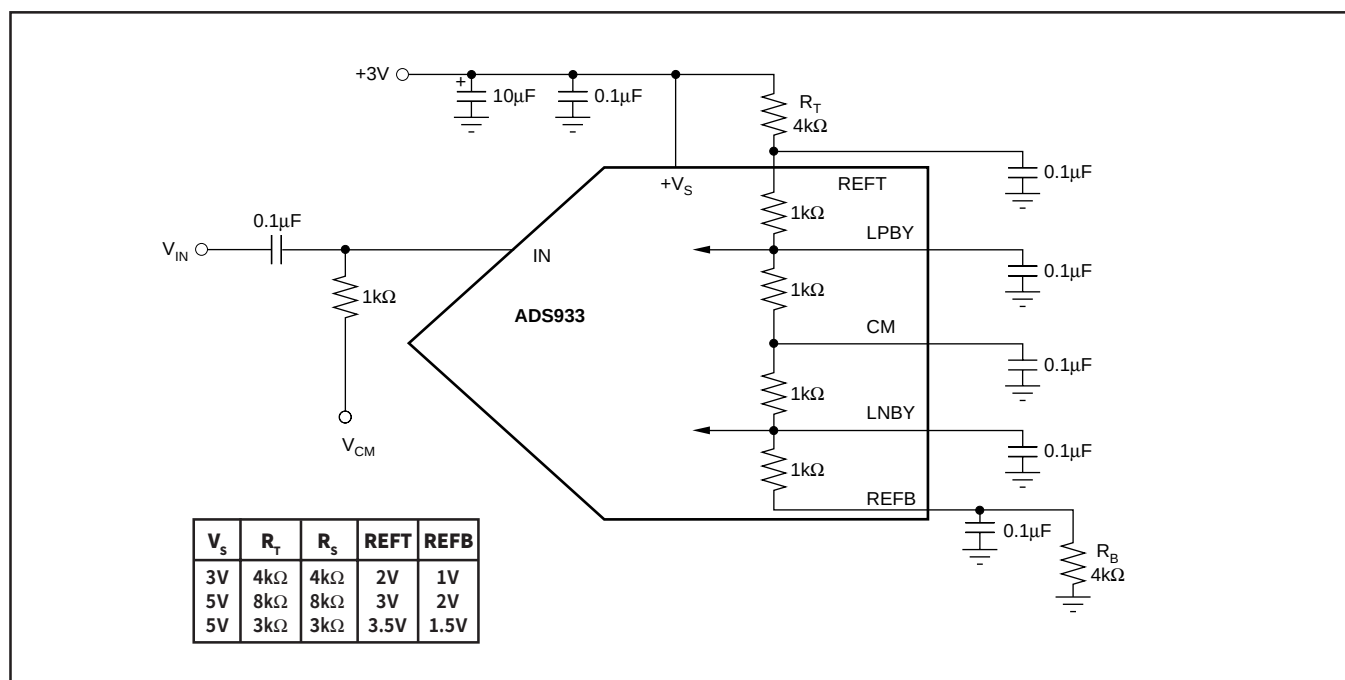


図6. 低コストな外部基準電圧のソリューション

HI5710AまたはCXD2310AをADS933で置き換える場合の注意事項

ADS933を同等品であるHI5710AまたはCXD2310Aの代替品として使用する場合は、各コンバータの次のような機能性の違いを考慮し、適切な変更を実施することが必要です。

- 各コンバータのアーキテクチャを比較すると、HI5710A/CXD2310Aでは2ステップの変換サイクルを使用し、ADS933では10段のパイプライン量子化回路アーキテクチャを採用しています。このため、HI5710A/CXD2310Aの出力データの待ち時間は3クロック・サイクルになり、ADS933のデータ待ち時間は5サイクルになります。
- HI5710A/CXD2310Aには、各種のキャリブレーションやテスト・モード機能がありますが、ADS933はユーザによるキャリブレーションは不要です。
- 各コンバータとも、高電位および低電位の外部基準電圧を対応するピンに印加することが必要です。HI5710A/CXD2310Aでは、高電位および低電位の基準電圧としてそれぞれ2本のピンを割り当てています(VRT：ピン29、30およびVRB：ピン34、35)。ADS933の基準電圧は、高電位基準電圧(REFT)をピン30に、低電位基準電圧(REFB)をピン34に印加します。ピン29および35には外部電圧を印加せず、推奨されるバイパス・コンデンサのみ接続します(図9参照)。

クロック入力

ADS933のクロック入力は、+5Vまたは+3VのCMOSロジック・レベルを使用するように設計されています。最小限のデューティ・サイクルの変動でクロック入力をドライブし、最大サンプリング・レート(20MSPS)をサポートするには、ハイスピードまたはアドバンスドCMOSロジック(HC/HCT、AC/ACT)を使用することが必要です。高いサンプリング・レートで量子化を実行するときに定格性能を満たすためには、デューティ・サイクルを50%に保持して高速な立ち上がり/立ち下がり時間(2ns以下)を確保することを推奨します。ただし、ADS933は、 $\pm 10\%$ までのデューティ・サイクルの変動を許容し、これは性能に影響しません。ナイキスト($f_{CLK}/2$)までの入力周波数で動作するアプリケーションやアンダーサンプリングのアプリケーションでは、クロックのジッタを低く抑えるために特別な注意が必要です。クロックのジッタは、良好なSNR性能を最終的に制限するアパーチャ・ジッタ(t_A)の原因になります。式(5)に、アパーチャ・ジッタ、入力周波数および信号/雑音比の間の関係を示します。

$$SNR = 20 \log_{10} [1/(2\pi f_{IN} t_A)] \quad (5)$$

例えば、10MHzのフルスケール入力信号、アパーチャ・ジッタ $t_A = 20ps$ の場合、SNRはクロック・ジッタの58dBに制限されます。

デジタル出力

ADS933のデジタル出力は、ハイスピードTTLおよびCOMSロジック・ファミリのどちらとも互換性をもつように設計された標準CMOS段です。低電圧CMOSのロジック・スレシールドは、 $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$ で、ADS933を3Vロジックと直接インターフェースできます。ADS933のデジタル出力には、専用のデジタル電源ピン(ピン45、 DV_{DD})が使用されます。 DV_{DD} の電圧を調整することにより、各デジタル出力レベルが変化します。

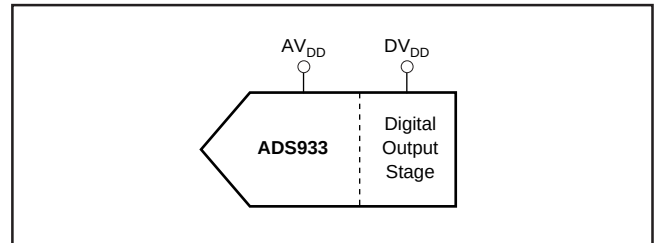


図8. 出力段のための独立した電源端子

データ・ラインの容量性負荷を仕様の15pF以下に維持するため、ファンアウトは1つにすることを推奨します。必要な場合は、外部バッファまたはラッチを使用してバス上のデジタル動作からA/Dコンバータを分離し、性能を劣化させる高周波雑音のカップリングを防止することができます。

パワーダウン・モード

ADS933の消費電力は、パワーダウン・モードに切り替えることによりさらに低減できます。パワーダウン・モードに切り替えるには、チップ・イネーブル($\overline{CE}$ 、ピン24)をロジック“ハイ”に接続します。これにより、電源から引かれる電流が約70%低減されます。パワーダウン・モードは、通常動作時には内部ブルダウン抵抗(50k Ω)によってディスエーブルされます。

パワーダウン・モードではデジタル出力が3ステートになります。クロックを印加しても、コンバータはサンプリングされた信号を正確に処理しません。パワーダウン・モードを解除した後の5クロック・サイクルの出力データは無効です(データ待ち時間)。

デカップリングおよびグラウンディングに関する検討事項

ADS933には複数の電源ピンがあり、その1つはデジタル出力ドライバの電源専用です。他の電源ピンはチップ内部で接続されており、アナログおよびデジタル電源ピンに分かれていません。このため、コンバータをアナログ・コンポーネントとして扱い、アナログ電源のみからコンバータに電源を供給することを推奨します。デジタル電源ラインにはしばしば高レベルの広帯域雑音が発生し、コンバータとカップリングして性能が制限されることがあります。

パイプライン・アーキテクチャのため、コンバータには電源および基準ラインに戻るような高周波トランジェントや雑音も発生します。このため、電源および基準ピンを十分にバイパスすることが必要です。図9に、アナログ電源の推奨されるデカップリング方法を示します。ほとんどの場合、0.1 μF のセラミック・チップ・コンデンサを使用することにより広い周波数レンジにわたって十分な低インピーダンスを維持することができます。コンデンサの有効性は、各電源ピンとの距離に大きく依存するため、できるだけ電源ピンの近くに配置します。また、プリント基板のコンバータ回路の近くに大きいバイパス・コンデンサ(1 μF から22 μF)を接続します。

AC結合入力を使用したADS933の代表的アプリケーション回路を図9に示します。

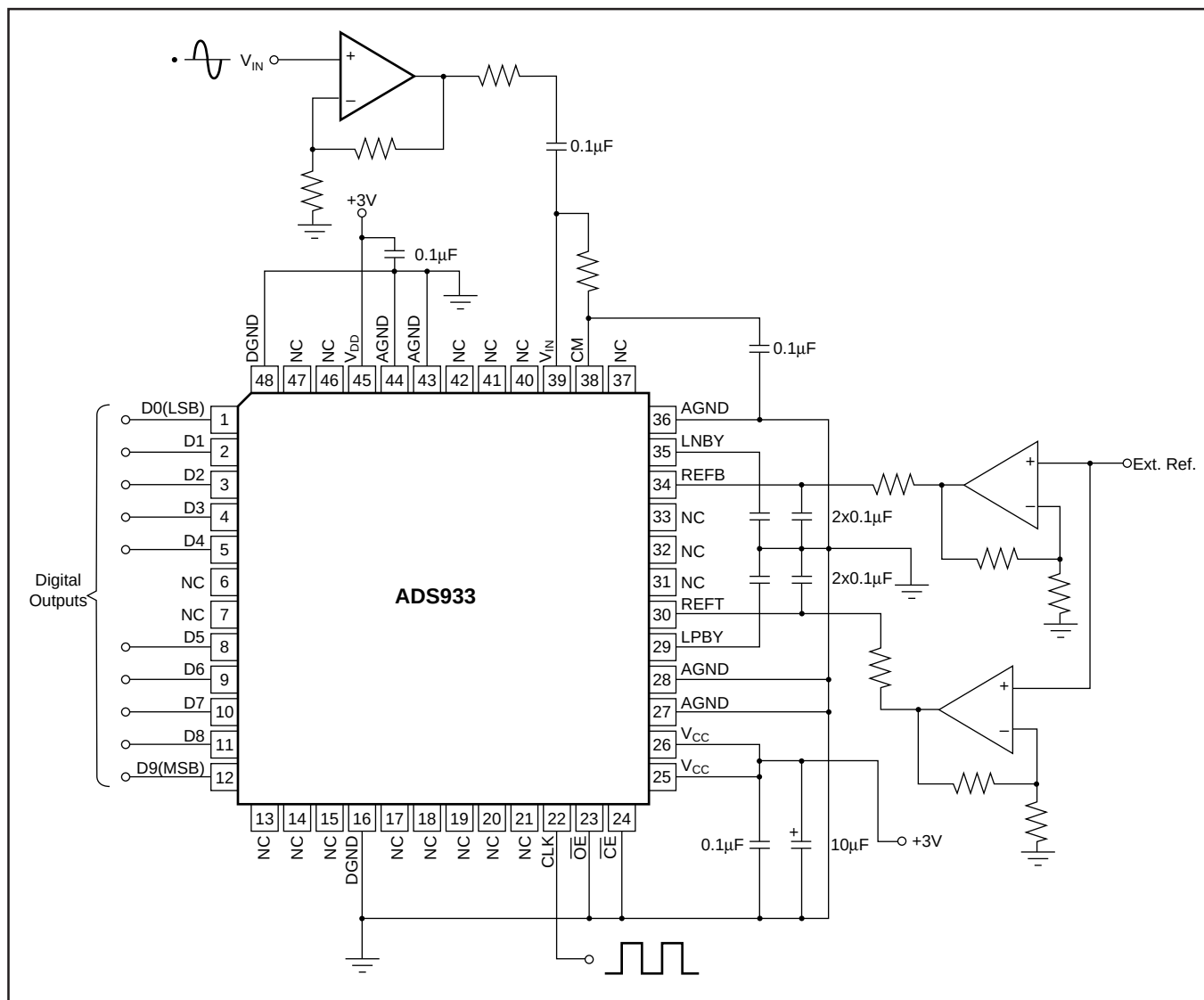
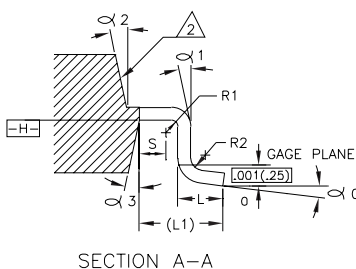
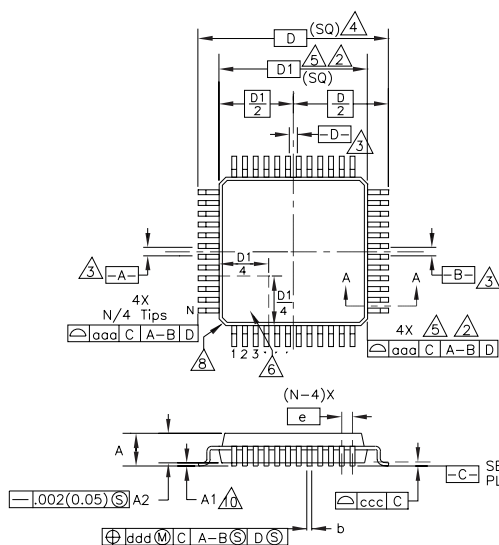


図9. AC結合入力および+3V動作の代表的アプリケーション回路。推奨される基準および電源のバイパス方法も示します。

外観

パッケージ番号340—48ピンLQFP、1.4mm厚



	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	—	.063	—	1.60
A1	.002	.006	0.05	0.15
A2	.053	.057	1.35	1.45
b	.007	.011	0.17	0.27
C	.004	.008	0.09	0.20
D	.354BASIC		9.00BASIC	
D1	.276BASIC		7.00BASIC	
e	.020BASIC		0.50BASIC	
L	.018	.030	0.45	0.75
L1	.039 REF		1.00REF	
N	48		48	
R1	.003	—	0.08	—
R2	.003	.008	0.08	0.20
S	.008	—	0.20	—
aaa	.008 NOM		0.20 NOM	
bbb	.008 NOM		0.20 NOM	
ccc	.008 NOM		0.20 NOM	
ddd	.008 NOM		0.20 NOM	
∞0	0°	7°	0°	7°
∞1	0°	—	0°	—
∞2	11°	13°	11°	13°
∞3	11°	13°	11°	13°