



9ビット/20MHz、8ビット/33MHz ローパワー ビデオ帯域 A/Dコンバータ

特 長

- 電源範囲：+2.7V ~ +5.5V
- 低消費電力：45mW (+3V)
- 調整可能なフルスケール・レンジ
- 高SNR：53dB
- 低DNL：1LSB
- パワーダウン
- パッケージ：28ピンSSOP

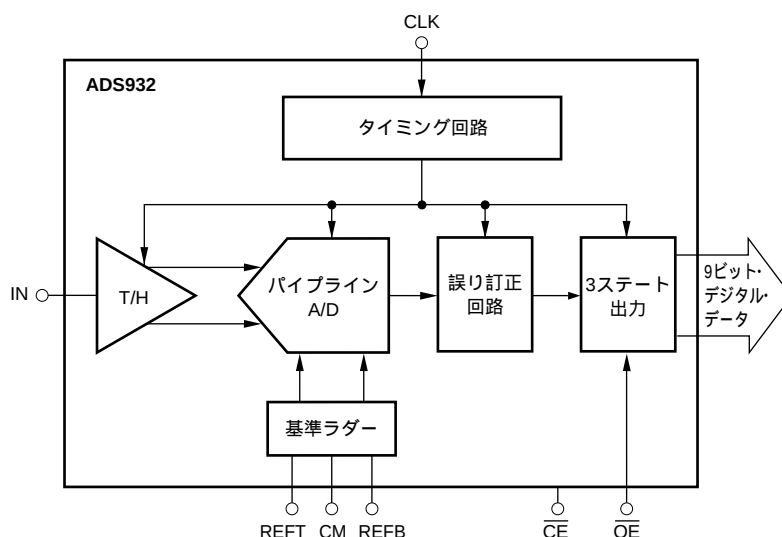
アプリケーション

- ビデオ・カメラ
- ポータブル・テスト装置
- スキャナ
- 通信
- ビデオ・デジタイジング

概 要

ADS932は、+5.5Vから+2.7Vの電源で動作するように設計された高速なパイプライン方式のA/Dコンバータです。この完成されたコンバータは、広帯域幅のトラック/ホールドおよび9ビット量子化回路を備えています。性能は、+3V電源での動作時に1Vから2Vのシングル・エンド入力レンジについて規定されています。+5V電源での動作時には工業標準の2Vから4Vの入力レンジを使用できます。入力レンジは、外部基準電圧の値によって設定します。

ADS932は、データ誤り訂正回路の採用により優れた微分直線性を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。低歪や高SNRなどの特長により、通信、ビデオ、テスト装置などのアプリケーションに必要な特性に対し、十分な余裕が得られます。この高性能A/Dコンバータは、20MHzのサンプリング・レートで仕様が規定されています。8ビットの場合は、33MHzのサンプリング・レートで動作可能です。パッケージは28ピンSSOPで供給されます。



仕様

特に記述のない限り、 $T_A=+25$ 、 $V_C=+3V$ 、9ビット、入力範囲=1V~2V、サンプリング・レート=20MHzです。

[illegible]

注: (1)直線性誤差はベスト・フィット・ラインからの最大偏差です。(2)スプリアスフリー・ダイナミック・レンジは最大高調波と基本波とのレベルの差を表わします。(3)dBFSはフルスケールを基準としたdB値を表わします。

絶対最大定格

+V _S	+6V
アナログ入力	(0 - 0.3V) ~ (+V _S +0.3V)
ロジック入力	(0 - 0.3V) ~ (+V _S +0.3V)
ケース温度	+100
接合部温度	+150
保存温度	+150



静電気放電対策

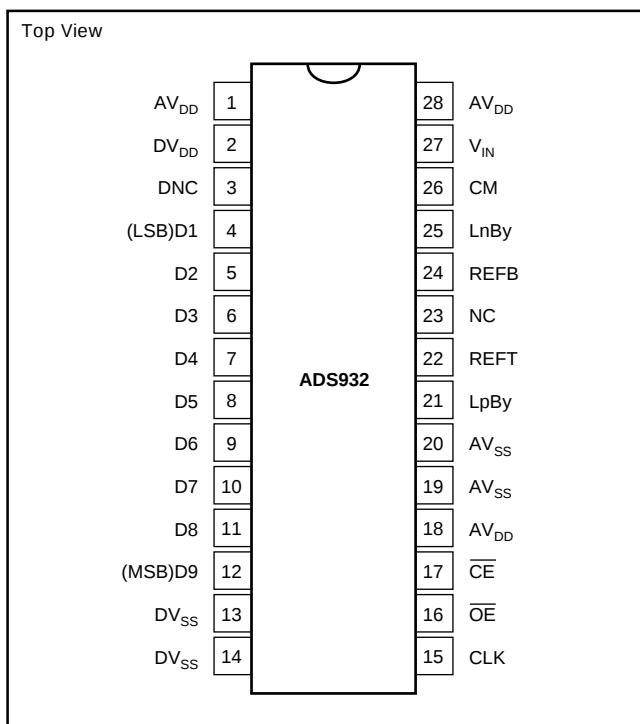
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ 図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
ADS932E	28ピンSSOP	324	- 40 ~ +85	ADS932E	ADS932E	50個入りトレイ
ADS932E	28ピンSSOP	324	- 40 ~ +85	ADS932E	ADS932E/2K	テープリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)のついたモデルは、表示数量のテープリールのみで供給されます(例えば、/2Kはリール1本あたり2,000個入りのデバイスであることを示します)。“ADS932E/2K”を発注すると、2,000個入りテープリール1本が納品されます。

ピン配置

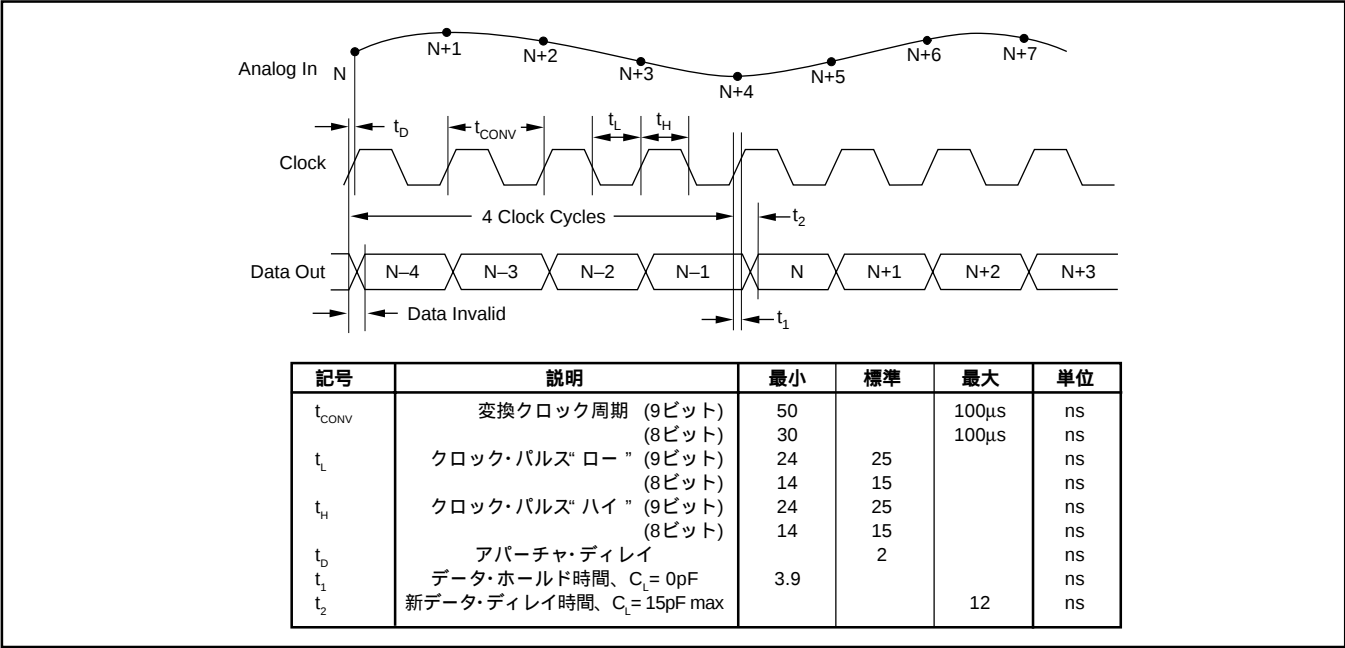


ピン構成

ピン	記号	説明
1	AV _{DD}	アナログ電源
2	DV _{DD}	デジタル出力ドライバ用電源
3	DNC	外部接続不可
4	D1(LSB)	データ・ビット1(LSB)
5	D2	データ・ビット2
6	D3	データ・ビット3
7	D4	データ・ビット4
8	D5	データ・ビット5
9	D6	データ・ビット6
10	D7	データ・ビット7
11	D8	データ・ビット8
12	D9(MSB)	データ・ビット9(MSB)
13	DV _{SS}	デジタル・グラウンド
14	DV _{SS}	デジタル・グラウンド
15	CLK	変換クロック入力
16	OE	出力イネーブル。アクティブ ^h ロー。
17	CE	チップ・イネーブル。アクティブ ^h ロー。
18	AV _{DD}	アナログ電源
19	AV _{SS}	アナログ・グラウンド
20	AV _{SS}	アナログ・グラウンド
21	LpBy	ポジティブ・ラダー・バイパス
22	REFT	高電位基準電圧
23	NC	接続なし(オープン)
24	REFB	低電位基準電圧
25	LnBy	ネガティブ・ラダー・バイパス
26	CM	同相モード電圧出力
27	V _{IN}	アナログ入力
28	AV _{DD}	アナログ電源

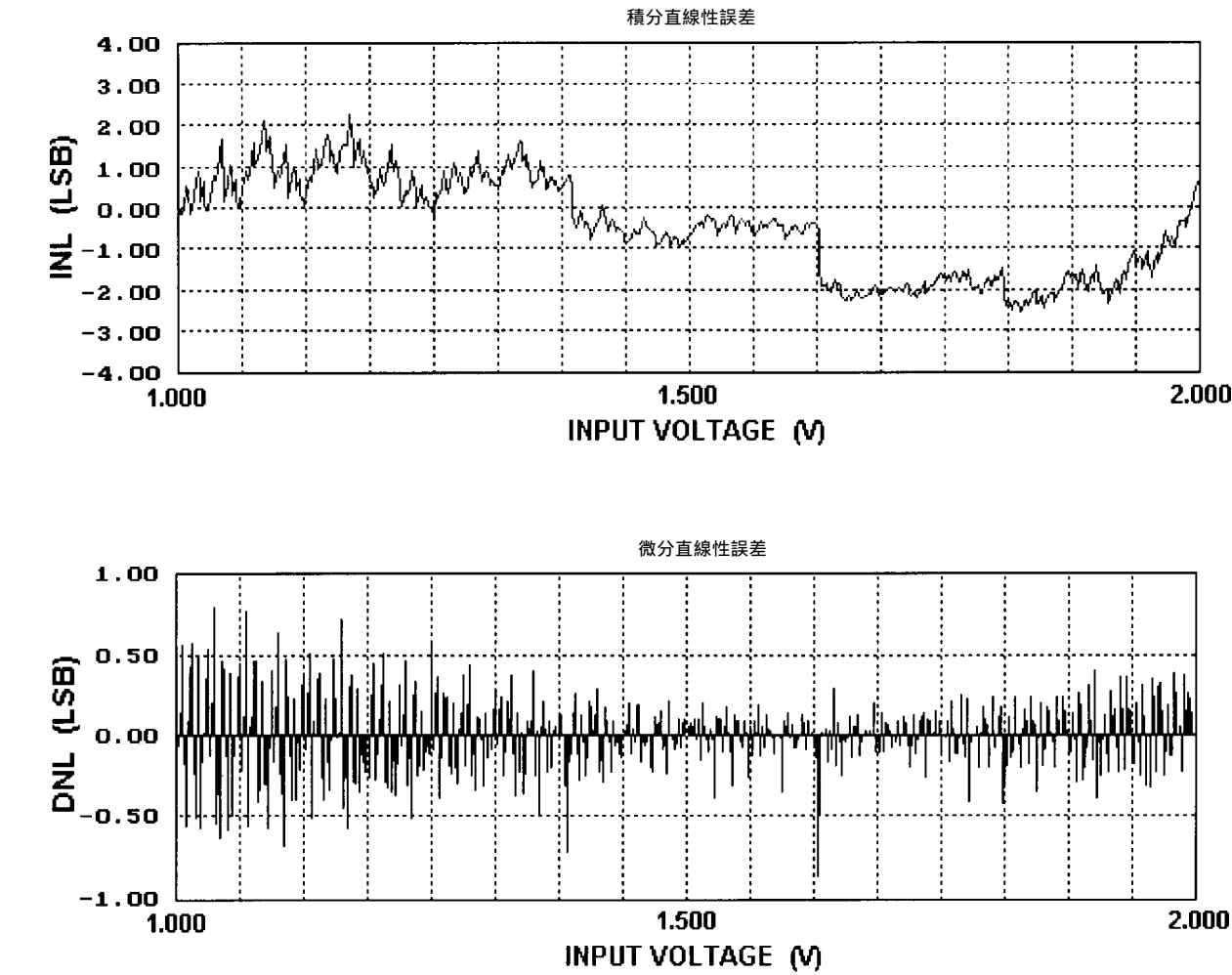
このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

タイミング図



代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_S = DV_{DD} = +3\text{V}$ 、 $\text{REFB} = 1\text{V}$ 、 $\text{REFT} = 2\text{V}$ 、仕様入力範囲 = 1V、サンプリング・レート = 20MHzです。



動作原理

ADS932は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動トポロジおよびデータ誤り訂正回路を使用して9ビットの分解能を保证しています。トラック/ホールド回路を図1に示します。重なりのない2つの位相信号 $\phi 1$ および $\phi 2$ からなる内部クロックによってスイッチを制御します。サンプリング時には、入力信号が入力キャパシタのボトム・プレートを通してサンプルされます。次のクロック位相($\phi 2$)では、入力キャパシタのボトム・プレートが相互に接続され、帰還キャパシタ C_H はオペアンプ出力に接続されます。このとき、電荷が C_i および C_H の間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDC値としてホールドした値となります。通常の動作モードでは、反転入力を同相モード電圧に接続します。この場合、トラック/ホールド回路が、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換します。したがって、入力信号がゲイン2で増幅され、信号/雑音比の性能が向上します。小信号およびフルパワー・バンド幅、広帯域雑音などのパラメータもこの段で定義されます。

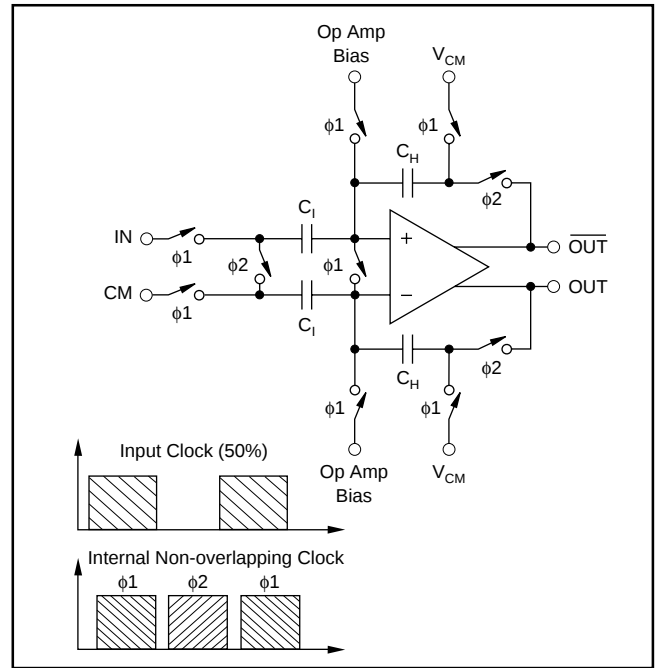


図1. 入力トラック/ホールドの構成とタイミング信号

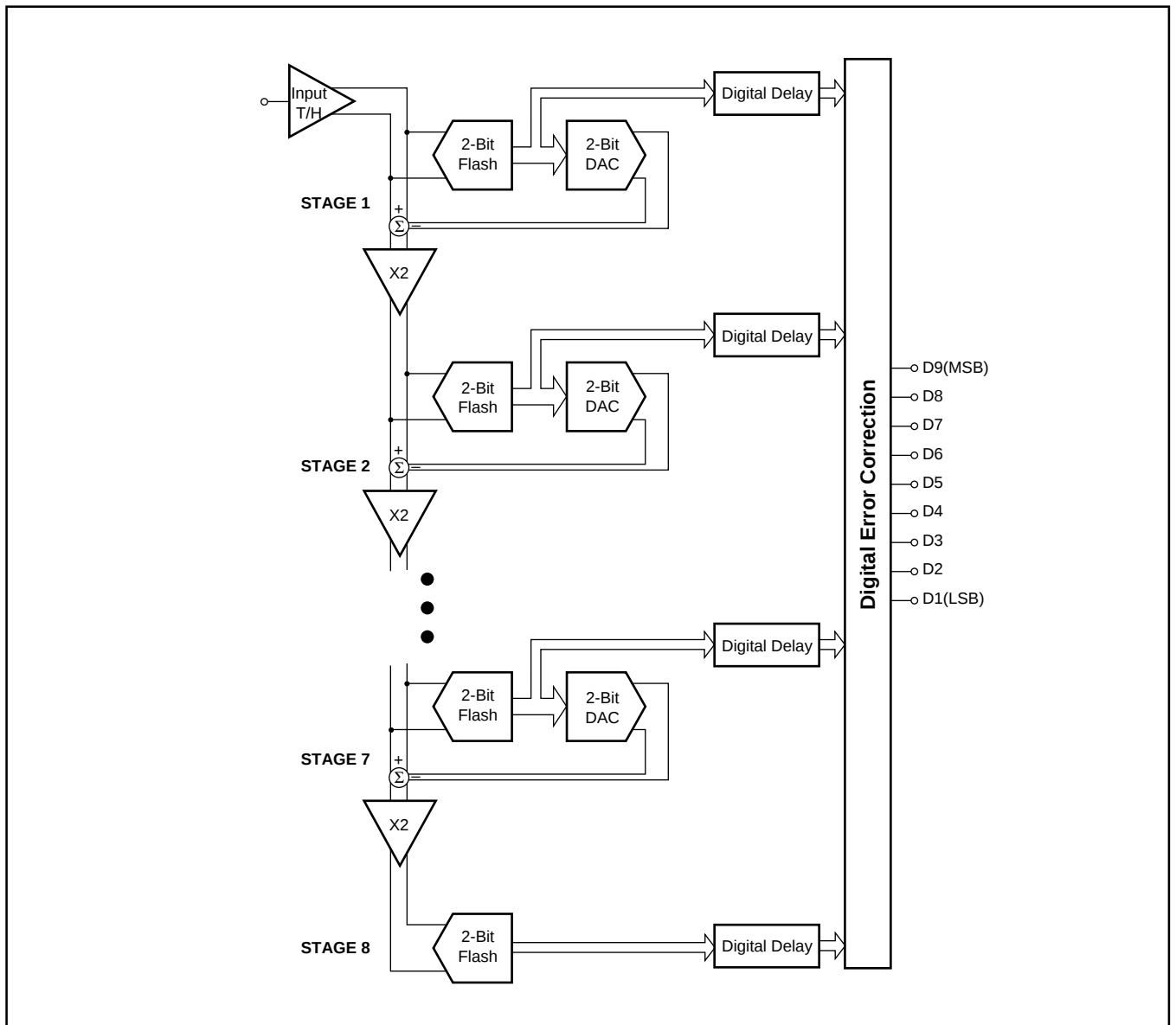


図2. パイプライン方式A/Dのアーキテクチャ

図2に示すように、パイプライン方式の量子化回路アーキテクチャは8段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックと同じ周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に供給されます。ADS932はこの技術により、優れた微分直線性が得られ、9ビット・レベルのノー・ミッシング・コードが保証されます。

バイポーラの信号スイングに対応するには、ADS932を外部基準電圧による同相モード電圧(V_{CM})を用いて動作させます。ADS932に内蔵された対称型の抵抗ラダーのため、 V_{CM} は高電位基準電圧と低電位基準電圧の中心電位になります。同相モード電圧は、式(1)を使用して計算できます。

$$V_{CM} = (REFT + REFB) / 2 \quad (1)$$

同時に、2つの外部基準電圧レベルによりADS932のフルスケール入力レンジが定義されます。これにより、フロント・エンドの信号スイングに合わせて入力レンジを調整することができます。

デジタル出力データ

9ビット出力データは、CMOSロジック・レベルで出力されます。変換開始信号から有効データ出力まで4.0クロック・サイクルのデータ・レイテンシがあります。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。ADS932のデジタル出力は、 $\overline{OE}$ (ピン16)にロジック“ハイ”を与えることによって高インピーダンス状態にできます。ピン16が“ロー”またはオープン(内部でプルダウン)になっている場合は、通常動作になります。この機能はテストの目的で備えられており、動的に利用することは推奨されません。デジタル出力の容量性負荷は、15pF以下に抑えることが必要です。

信号スイングおよび同相モードに関する検討事項

ADS932は、+3Vの単一電源電圧で動作するように設計されていますが、電源範囲は+2.7Vから+5.5Vであり、+5Vのアプリケーションにも最適です。公称入力信号スイングは、+1Vから+2Vの1Vp-pです。これは、3Vのレールを使用するとき、信号が+1.5Vの同相モード電圧(5V電源では+2.5V)を中心に±0.5Vスイングすることを意味します。ADS932を+5V電源で使用するアプリケーションの場合は、入力信号スイングを大きくすることにより性能を向上させることができます。例えば、入力信号スイングを2Vp-pまで大きくすると、信号/雑音比性能が向上します。ただし、過度の歪を避けるために、ドライブ回路のリニアな動作範囲に信号スイングを維持することが必要です。極端な場合は、入力電圧により入力スイッチ・オン抵抗が大きく変動するため、コンバータの性能が劣化します。したがって、通常動作時の信号スイングは、アナログ・グランドおよびアナログ電源のレールまで約0.5V以上の範囲に保つ必要があります。

アプリケーション

アナログ入力のドライブ

図3に、デュアル電源で動作する高速オペアンプ(OPA650、OPA658)を使用したAC結合のシングル・エンド・インターフェース回路の例を示します。中心基準電圧 V_{CM} によってバイポーラのグランド基準入力信号がバイアスされます。コンデンサ C_1 および抵抗 R_1 は、-3dB周波数が次式により設定されるハイパス・フィルタを形成します。

$$f_{-3dB} = 1 / (2\pi R_1 C_1) \quad (2)$$

C_1 および R_1 の値は、ほとんどのアプリケーションでは重要ではなく、任意に設定することができます。図3の値は、1.6kHzのコーナー周波数に対応します。

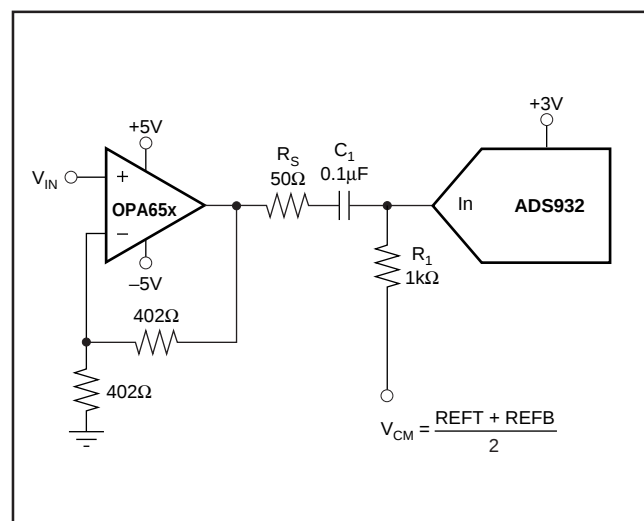


図3. AC結合、シングル・エンドのインターフェース回路

図4に、単一電源アプリケーションに使用できる回路を示します。中心基準電圧によってオペアンプが適切な同相モード電圧(例えば $V_{CM} = +1.5V$)にバイアスされます。コンデンサ C_G の使用により、非反転オペアンプ入力のDCゲインは、+1V/Vに設定されます。この結果、伝達関数は次式のようにになります。

$$V_{OUT} = V_{IN}(1 + R_F / R_G) + V_{CM} \quad (3)$$

この場合も、入力のカップリング・コンデンサ C_1 および抵抗 R_1 がハイパス・フィルタを形成します。同時に、 R_1 によって入力インピーダンスが定義されます。オペアンプにはOPA680、OPA68X ファミリーなどが可能です。抵抗 R_S は、オペアンプ出力を容量性負荷から分離してゲインのピークや発振を防止します。また、定義された帯域幅のシングル・ポールのローパスフィルタを形成して高周波雑音をロールオフするために使用することもできます。推奨値は、通常10Ωから100Ωの間です。

DC結合のインターフェース回路

図5に、 -1V/V 以上のゲインに設定できる単一電源のDC結合回路を示します。ADS932の適切な同相モード電圧が得られるように、ゲインに応じて抵抗 R_1 および R_2 で設定される分圧比を調整することが必要です。 $+3\text{V}$ 電源の場合、ADS932の入力信号範囲は、通常、外部基準電圧によって設定される $+1.5\text{V}$ の同相モード電圧を中心とする 1Vp-p になります。

外部基準電圧

ADS932では、ピン22(REFT)および24(REFB)に外部基準電圧を接続することが必要です。これらのピンは、内部で公称 $4\text{k}\Omega$ ($\pm 15\%$)の抵抗ラダーを通じて接続されています。ラダー両端の適正な電圧降下を確立するには、外部基準回路が通常 $250\mu\text{A}$ の電流を供給することが必要です。この電流により、ADS932のフルスケール入力レンジが 1Vp-p に設定されます。

一般に、ADS932のフルスケール入力レンジ(FSR)はREFTおよびREFB間の電圧降下によって決まります。スパンは、式(4)を使用して計算できます。

$$\text{FSR} = \text{REFT} - \text{REFB} \quad (4)$$

代表的性能を劣化させずにADS932に外部基準電圧を供給するソリューションには、アプリケーションに応じて各種のものが考えられます。

低コストな基準電圧のソリューション

必要な基準電圧を形成する最も簡単な方法は、図6に示すように、ADS932の基準ラダーを電源レールの間に配置することで、適正なラダーの電流を設定するために、2つの抵抗(R_T 、 R_B)を追加することが必要です。

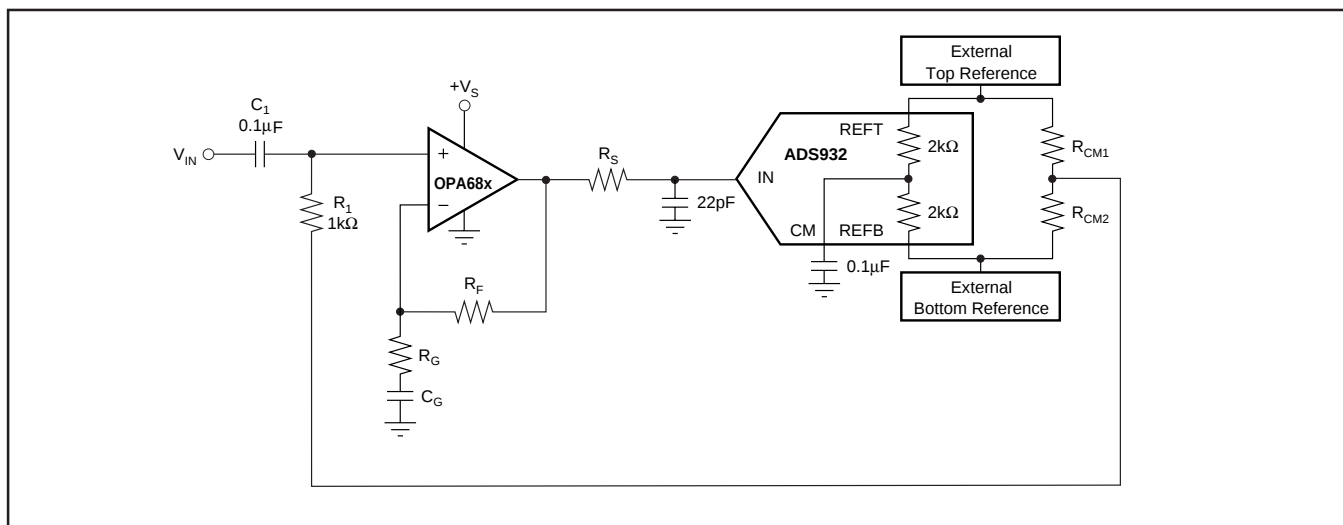


図4. 単一電源インターフェース回路

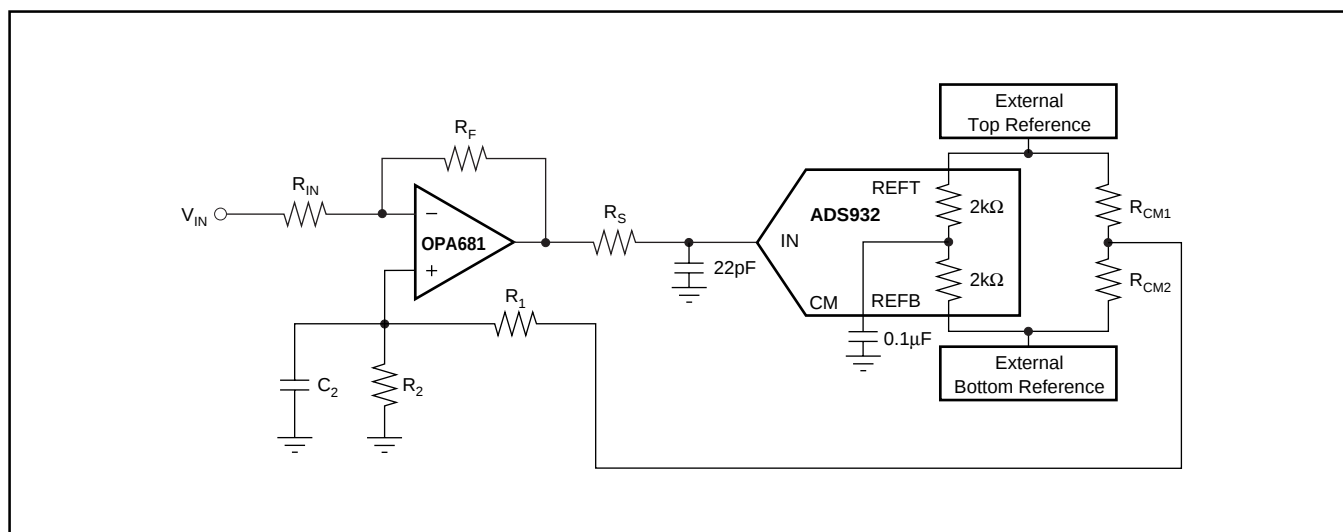


図5. シングル・エンドのDC結合インターフェース回路

図6の表に、いくつかの構成の値を示します。必要なフルスケールのスイングおよび電源電圧に応じて、別の抵抗値を選択することもできます。

シングル・エンド入力	ストレート・オフセット・バイナリ (SOB)
+FS(IN = +2V)	11111111
+FS-1LSB	11111111
+FS-2LSB	11111110
+3/4フルスケール	11100000
+1/2フルスケール	11000000
+1/4フルスケール	10100000
+1LSB	10000001
バイポーラ・ゼロ(IN = +1.5V)	10000000
-1LSB	01111111
-1/4フルスケール	01100000
-1/2フルスケール	01000000
-3/4フルスケール	00100000
-FS+1LSB	00000001
-FS(IN = +1V)	00000000

表I. ADS932のコード表

この基準電圧回路を選択した場合のトレードオフは、部品の許容差と電源変動による基準電圧の変動です。図6に示すように、必ず0.1μF以上のセラミック・コンデンサで基準ラダーをバイパスすることを推奨します。このコンデンサは、2つの目的を兼ねています。第1に、クロックおよびサンプル/ホールド段からのスイッチング雑音のフィードスルーによって発生するほとんどの高周波トランジェント雑音をバイパスします。第2に、電荷を蓄積して内部ノードへ瞬時に電流を供給します。

精密な基準電圧のソリューション

高レベルのDC精度やドリフトが要求されるアプリケーションには、精密な基準素子による基準回路を使用することができま

す(図7参照)。安定な+1.2V基準電圧は、2端子バンドギャップ基準電圧REF1004-1.2によって確立されます。OPA2237、OPA2234、OPA268Xなどの汎用の単一電源デュアル・オペアンプ(A1)を使用して各オペアンプを適正なゲインに設定することにより、ADS932に必要な2つの基準電圧(例えば、+2VのREFT、+1VのREFB)を発生させることができます。

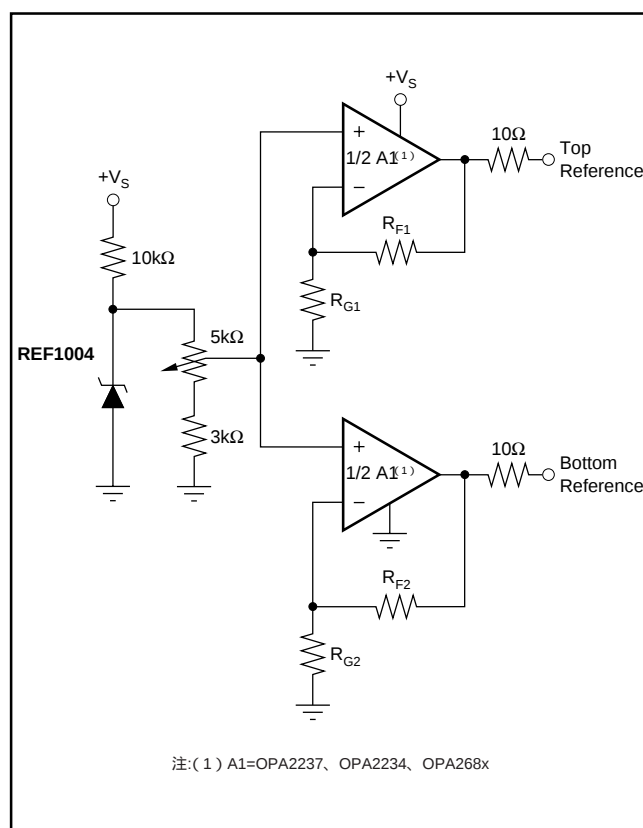


図7.精密な外部基準電圧のソリューション

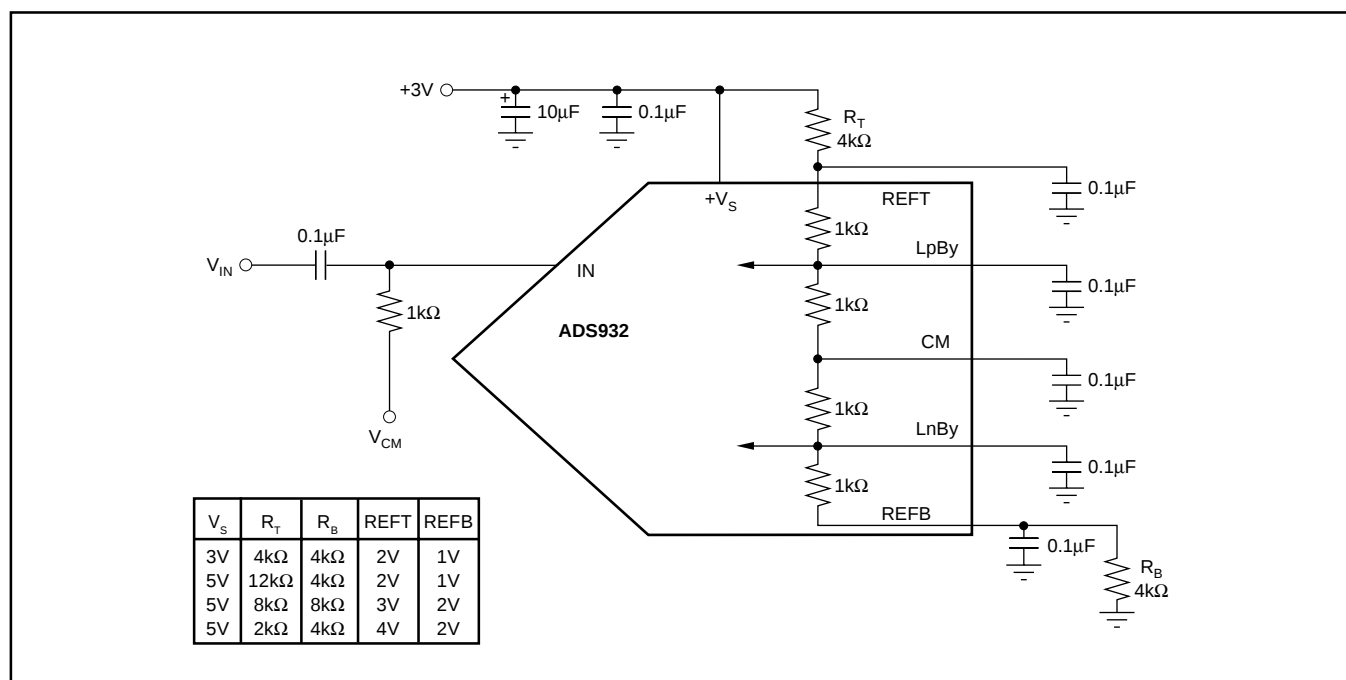


図6. 低コストな外部基準電圧のソリューション

クロック入力

ADS932のクロック入力は、+5Vまたは+3VのCMOSロジック・レベルを使用するように設計されています。最小限のデューティ・サイクルの変動でクロック入力をドライブし、最大サンプリング・レート(20MSPS)をサポートするには、ハイスピードまたはアドバンスドCMOSロジック(HC/HCT、AC/ACT)を使用することが必要です。高いサンプリング・レートで量子化を実行するときに定格性能を満たすためには、デューティ・サイクルを50%に保持して高速な立ち上がり/立ち下がり時間(2ns以下)を確保することを推奨します。ただし、ADS932は、 $\pm 10\%$ までのデューティ・サイクルの変動を許容し、これは性能に影響しません。ナイキスト($f_{CLK}/2$)までの入力周波数で動作するアプリケーションやアンダーサンプリングのアプリケーションでは、クロックのジッタを低く抑えるために特別な注意が必要です。クロックのジッタは、良好なSNR性能を最終的に制限するアパーチャ・ジッタ(t_A)の原因になります。式(5)に、アパーチャ・ジッタ、入力周波数および信号/雑音比の間の関係を示します。

$$SNR = 20 \log_{10} [1 / (2 \pi f_{IN} t_A)] \quad (5)$$

例えば、10MHzのフルスケール入力信号、アパーチャ・ジッタ $t_A = 20ps$ の場合、SNRはクロック・ジッタの58dBに制限されます。

デジタル出力

ADS932のデジタル出力は、ハイスピードTTLおよびCOMSロジック・ファミリのどちらとも互換性をもつように設計された標準CMOS段です。低電圧CMOSのロジック・スレシールドは、 $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$ で、ADS932を3Vロジックと直接インターフェースできます。ADS932のデジタル出力には、専用のデジタル電源ピン(ピン2、 DV_{DD})が使用されます。 DV_{DD} の電圧を調整することにより、各デジタル出力レベルが変化します。

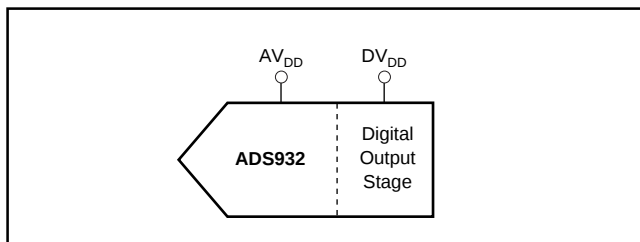


図8. 出力段のための独立した電源端子

データ・ラインの容量性負荷を仕様の15pF以下に維持するため、ファンアウトは1つにすることを推奨します。必要な場合は、外部バッファまたはラッチを使用してバス上のデジタル動作からA/Dコンバータを分離し、性能を劣化させる高周波雑音のカップリングを防止することができます。

パワーダウン・モード

ADS932の消費電力は、パワーダウン・モードに切り替えることによりさらに低減できます。パワーダウン・モードに切り替えるには、チップ・イネーブル($\overline{CE}$ 、ピン17)をロジック“ハイ”に接続します。これにより、電源から引かれる電流が約70%低減されます。パワーダウン・モードは、通常動作時には内部ブルダウ

ン抵抗(50k Ω)によってディスエーブルされます。

パワーダウン・モードではデジタル出力が3ステートになります。クロックを印加しても、コンバータはサンプリングされた信号を正確に処理しません。パワーダウン・モードを解除した後の4クロック・サイクルの出力データは無効です(データ・レイテンシ)。

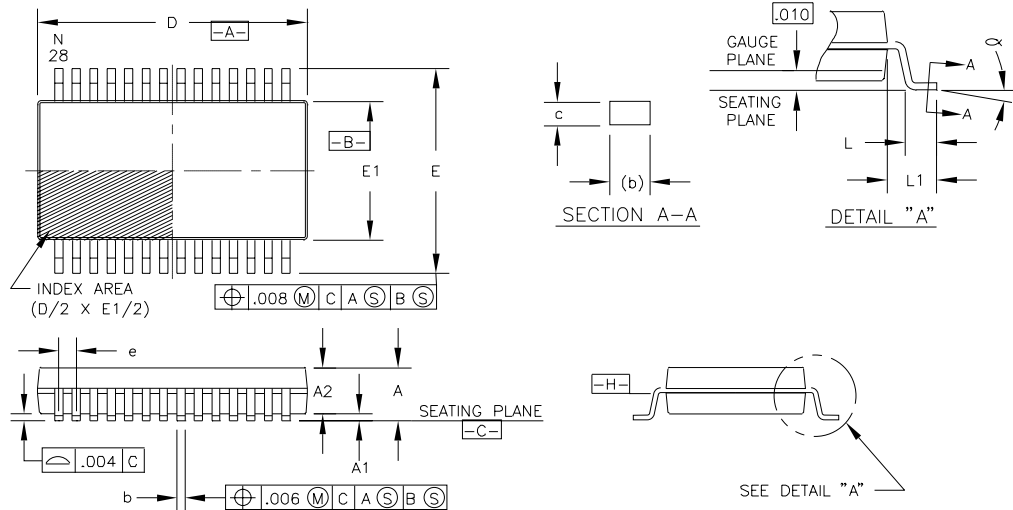
デカップリングおよびグランディングに関する検討事項

ADS932には複数の電源ピンがあり、その1つはデジタル出力ドライバの電源専用です。他の電源ピンはチップ内部で接続されており、アナログおよびデジタル電源ピンに分かれていません。このため、コンバータをアナログ・コンポーネントとして扱い、アナログ電源のみからコンバータに電源を供給することを推奨します。デジタル電源ラインにはしばしば高レベルの広帯域雑音が発生し、コンバータとカップリングして性能が制限されることがあります。

パイプライン・アーキテクチャのため、コンバータには電源および基準ラインに戻るような高周波トランジェントや雑音も発生します。このため、電源および基準ピンを十分にバイパスすることが必要です。ほとんどの場合、0.1 μF のセラミック・チップ・コンデンサを使用することにより広い周波数レンジにわたって十分な低インピーダンスを維持することができます。コンデンサの有効性は、各電源ピンとの距離に大きく依存するため、できるだけ電源ピンの近くに配置します。また、プリント基板のコンバータ回路の近くに大きいバイパス・コンデンサ(1 μF から22 μF)を接続します。

外觀

パッケージ番号324 - 28ピンSSOP



DIM	INCHES		MILLIMETERS		N O T E
	MIN.	MAX.	MIN.	MAX.	
A	--	.079	--	2.00	
A1	.002	--	0.05	--	
A2	.065	.073	1.65	1.85	
b	.009	.015	0.22	0.38	3,7
c	.004	.010	0.09	0.25	7
D	.390	.413	9.90	10.50	2
E	.291	.323	7.40	8.20	
E1	.196	.220	5.00	5.60	2
e	.0256	BASIC	0.65	BASIC	
L	.022	.037	0.55	0.95	4
L1	.049	REF	1.25	REF	
N	28		28		5
θ	0°	8°	0°	8°	

- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1982.
 2. D AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS, BUT DO INCLUDE MOLD MISMATCH AND ARE MEASURED AT DATUM PLANE $\boxed{-H-}$ MOLD PARTING LINE. MOLD FLASH OR PROTRUSION SHALL NOT EXCEED .008 INCH PER SIDE.
 3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .005 INCH TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION.

4. DIMENSION L TO BE DETERMINED AT SEATING PLANE-DATUM C.
5. N IS THE NUMBER OF TERMINAL POSITIONS.
6. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
7. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .004 AND .010 INCH FROM THE LEAD TIP.

PACKAGE NUMBER: ZZ324 REV.: C
JEDEC NUMBER: MO-150