

10ビット、20MHz、+3V電源 A/Dコンバータ

特 長

- 低消費電力：48mW(+3V)
- 電源範囲：+2.7V ~ +3.7V
- 外部基準電圧によりフルスケール・レンジを調整可能
- ノー・ミッシング・コード
- 広帯域トラック/ホールド：350MHz
- パワーダウン：15mW
- パッケージ：28ピンSSOP

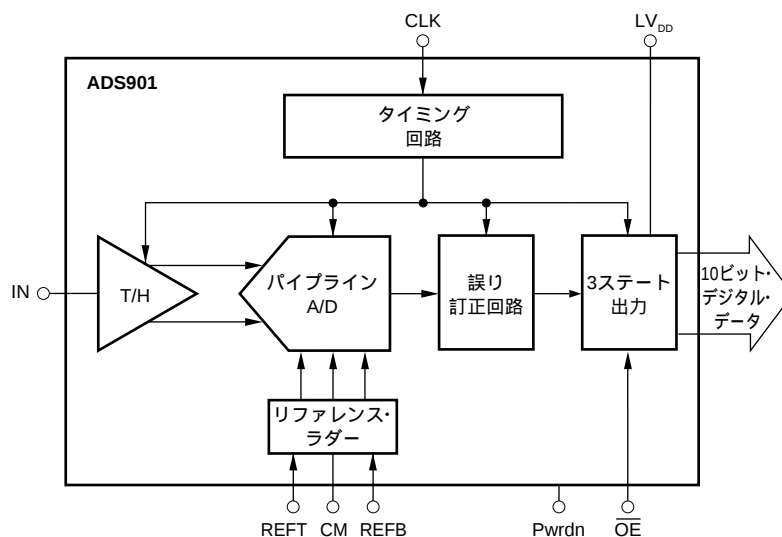
概 要

ADS901は、+3V電源で動作する高速なパイプライン方式のA/Dコンバータです。この完成されたコンバータは、広帯域幅のトラック/ホールドおよび10ビット量子化回路を備えています。フルスケール入力レンジは外部基準電圧により設定します。

ADS901は、データ誤り訂正回路の採用により優れた微分直線性を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。また、低歪や高SNRなどの特長により、通信、ビデオ、テスト装置などのアプリケーションに必要な特性に対し、十分な余裕が得られます。パッケージは、28ピンSSOPで供給されます。

アプリケーション

- バッテリ動作装置
- ビデオ・カメラ
- デジタル・カメラ
- コンピュータ・スキャナ
- 通信



仕様

特に記述のない限り、 $T_A = +25$ 、 $V_S = LV_{DD} = +3V$ 、 $REFB = 1V$ 、 $REFT = 2V$ 、定格入力レンジ = $1V \sim 2V$ 、サンプリング・レート = $20MHz$ です。

[illegible]

仕様(続き)

特に記述のない限り、 $T_A = +25$ 、 $V_S = LV_{DD} = +3V$ 、 $REFB = 1V$ 、 $REFT = 2V$ 、定格入力レンジ = $1V \sim 2V$ 、サンプリング・レート = $20MHz$ です。

パラメータ	条件	温度	ADS901E			単位
			最小	標準	最大	
精度 ゲイン誤差 入力オフセット ⁽⁶⁾ 電源除去(ゲイン) 電源除去(オフセット) 外部REFT電圧範囲 外部REFB電圧範囲 基準電圧入力抵抗	$\Delta V_S = +10\%$	全温度 全温度 全温度 全温度 全温度 全温度 全温度	 $REFB + 0.5$ 0.8	2.5 0.4 56 68 2 1 4	 $V_S - 0.8$ $REFT - 0.5$	%FS %FS dB dB V V k Ω
電源条件 電源電圧: $+V_S$ 電源電流: $+I_S$ 消費電力 消費電力(パワーダウン) 熱抵抗、 θ_{JA} 28ピンSSOP	動作時 動作時 動作時 動作時	全温度 全温度 全温度 全温度	+2.7	+3.0 16 49 15	+3.7 60	V mA mW °C/W

注:(1)シングル・エンド入力レンジはREFBおよびREFTの値によって設定します。(2)スプリアスフリー・ダイナミック・レンジは、最大高調波の振幅を参照します。(3)dBFSは、フルスケールを基準とするdBを表します。(4)(SINAD - 1.76)/6.02に基づきます。(5)ビットの「ロールオーバー」はありません。(6)理想の負のフルスケールからのオフセット偏差。

絶対最大定格

$+V_S$	+6V
ロジック V_{DD}	+6V
アナログ入力	$+V_S + 0.3V$
ロジック入力	$+V_S + 0.3V$
ケース温度	+100
接合部温度	+150
保存温度	+125



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

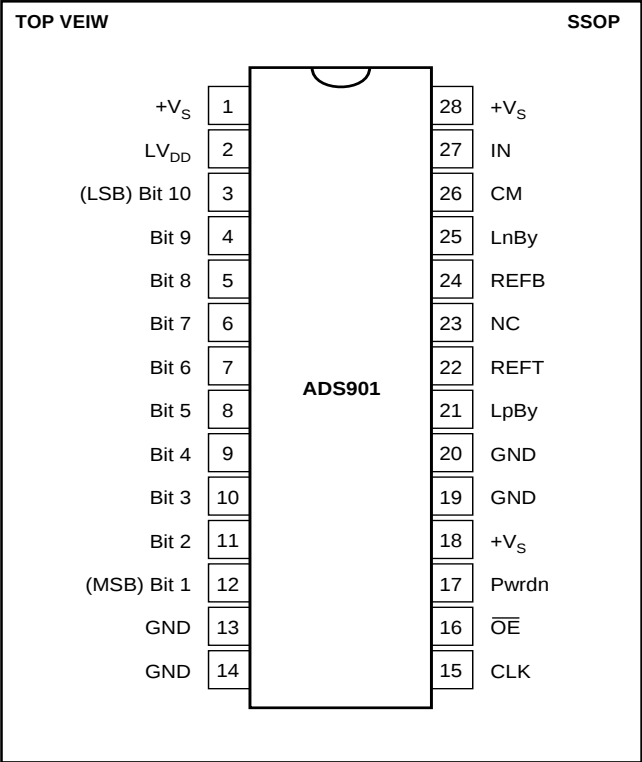
パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
ADS901E	28ピンSSOP	324	- 40 ~ +85	ADS901E	ADS901E	マガジン
ADS901E	28ピンSSOP	324	- 40 ~ +85	ADS901E	ADS901E/1K	テーブリール

注:(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/1Kはリール1本あたりデバイスが1,000個入りであることを示します)。“ADS901E/1K”を発注すると、1,000個入りのテーブリールが1本納入されます。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

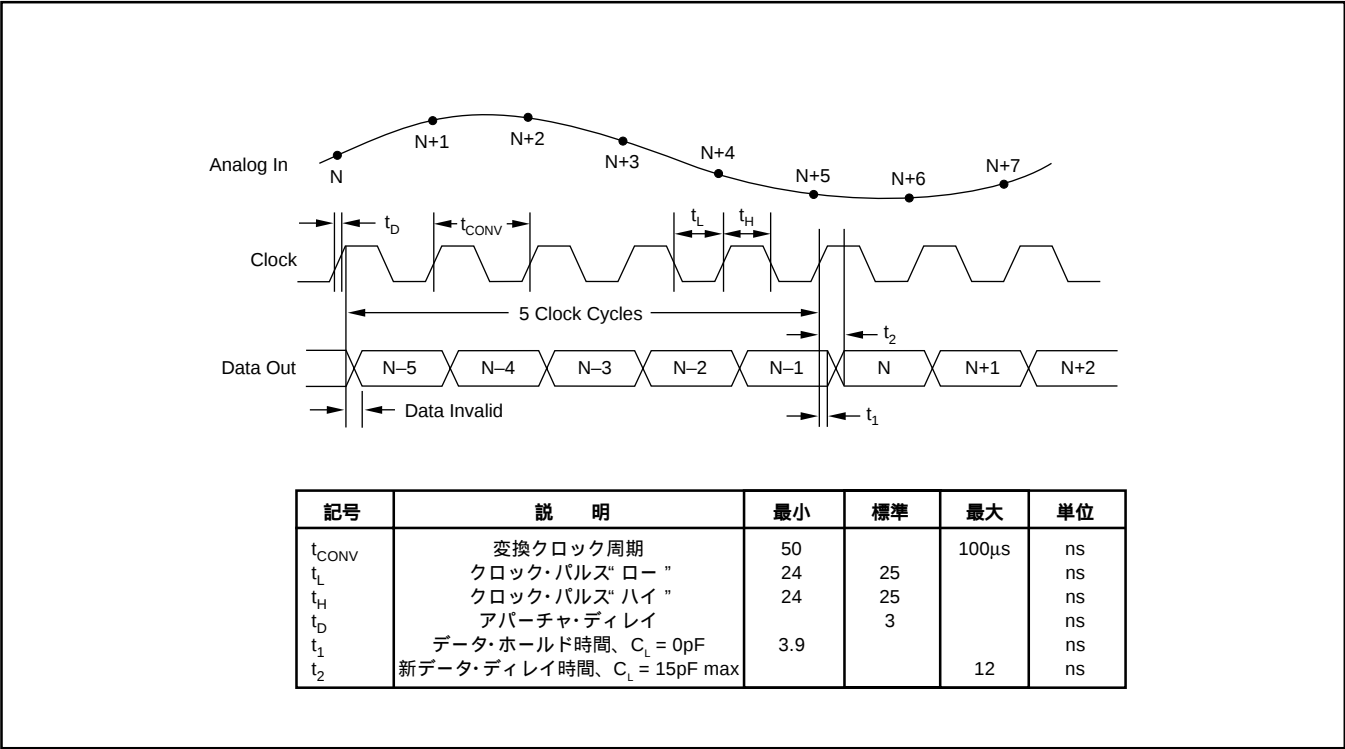
ピン配置



ピン構成

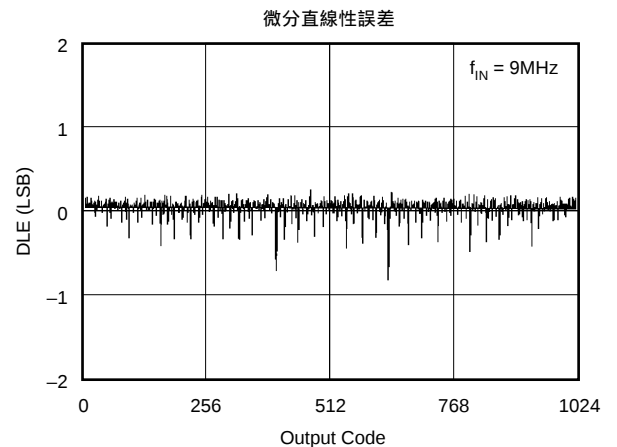
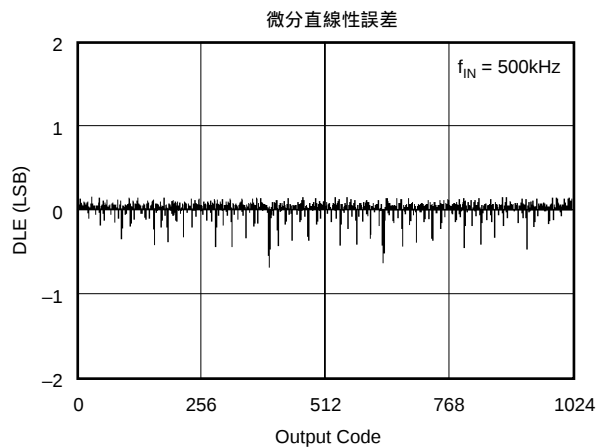
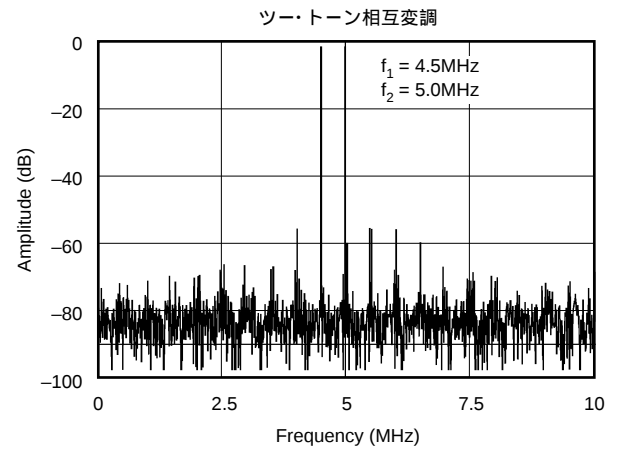
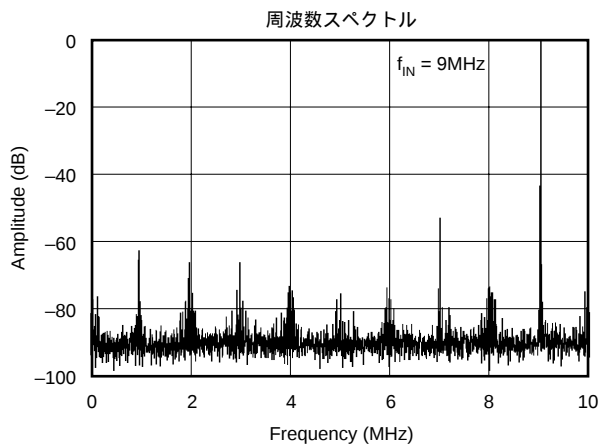
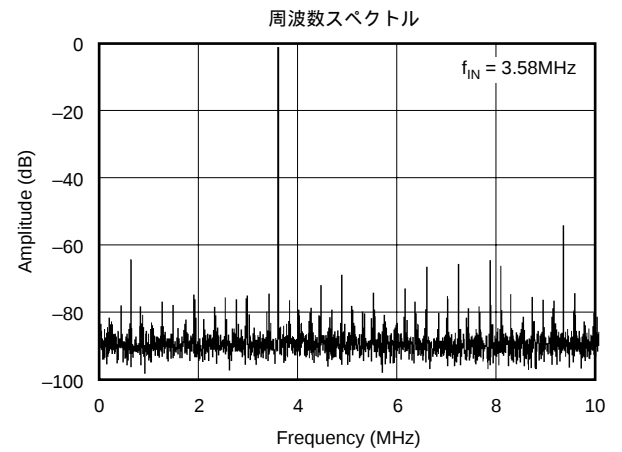
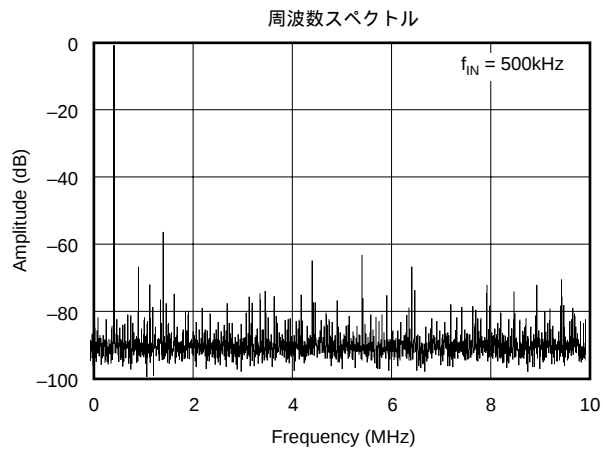
ピン	名称	説明
1	+V _S	アナログ電源
2	LV _{DD}	出力ロジックドライバ電源電圧
3	Bit 10	データ・ビット10(D0)(LSB)
4	Bit 9	データ・ビット9(D1)
5	Bit 8	データ・ビット8(D2)
6	Bit 7	データ・ビット7(D3)
7	Bit 6	データ・ビット6(D4)
8	Bit 5	データ・ビット5(D5)
9	Bit 4	データ・ビット4(D6)
10	Bit 3	データ・ビット3(D7)
11	Bit 2	データ・ビット2(D8)
12	Bit 1	データ・ビット1(D9)(MSB)
13	GND	アナログ・グランド
14	GND	アナログ・グランド
15	CLK	変換クロック入力
16	$\overline{\text{OE}}$	出力イネーブル。アクティブ・ロー
17	Pwr _{dn}	パワーダウン・ピン
18	+V _S	アナログ電源
19	GND	アナログ・グランド
20	GND	アナログ・グランド
21	LpBy	ポジティブ・ラダー・バイパス
22	REFT	高電位基準電圧入力
23	NC	外部接続不可
24	REFB	低電位基準電圧入力
25	LnBy	ネガティブ・ラダー・バイパス
26	CM	同相モード電圧出力
27	IN	アナログ入力
28	+V _S	アナログ電源

タイミング図



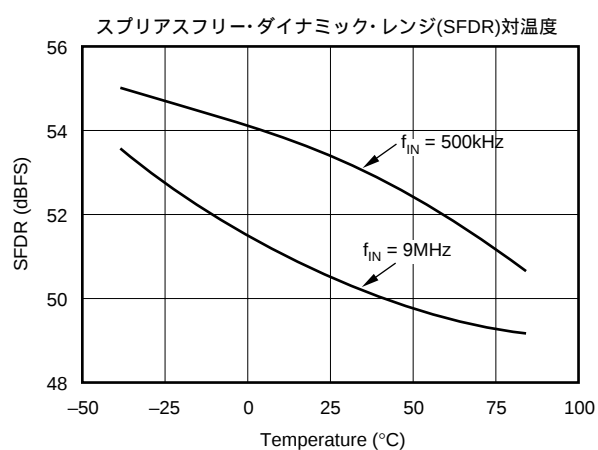
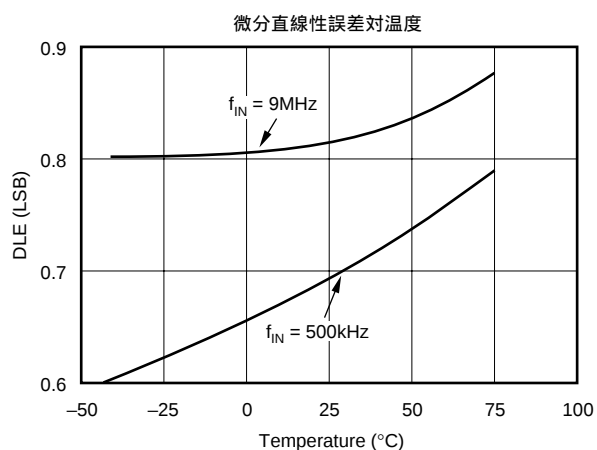
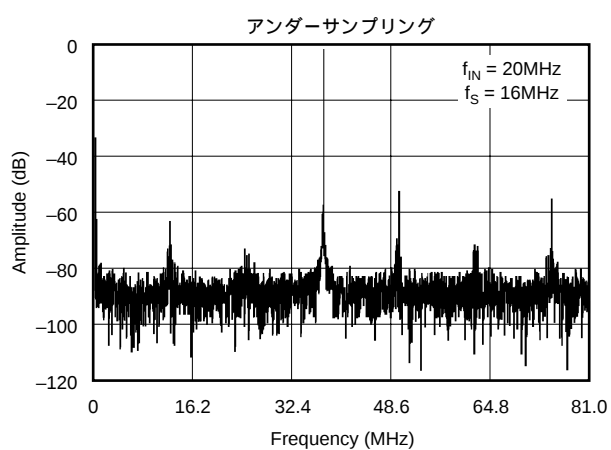
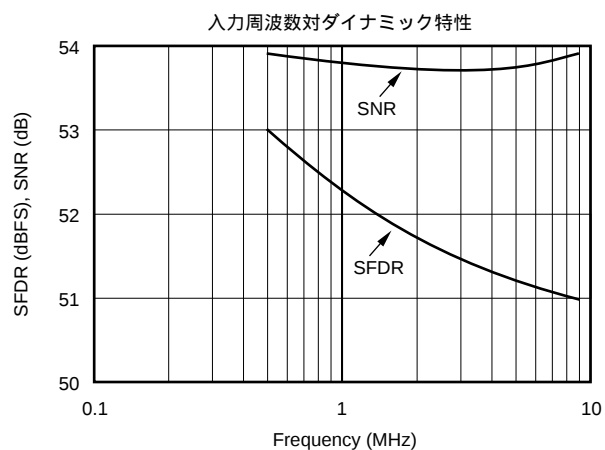
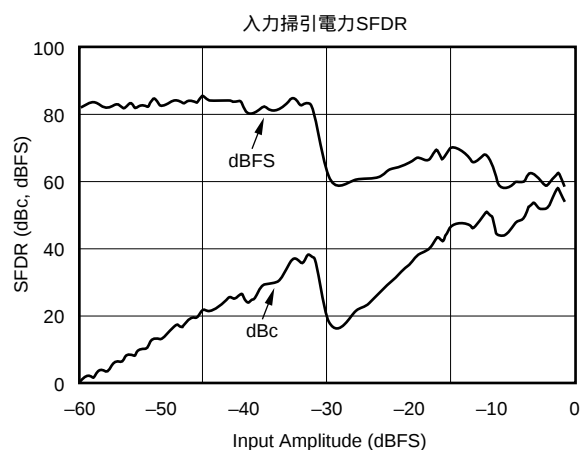
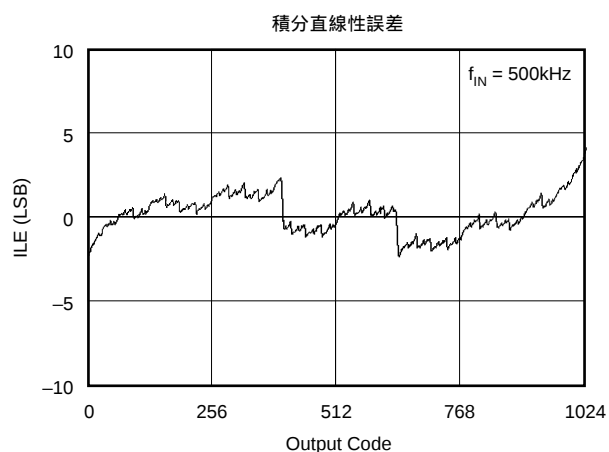
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_S = LV_{DD} = +3V$ 、 $REFB = 1V$ 、 $REFT = 2V$ 、定格入力レンジ = $1V \sim 2V$ 、サンプリング・レート = $20MHz$ です。



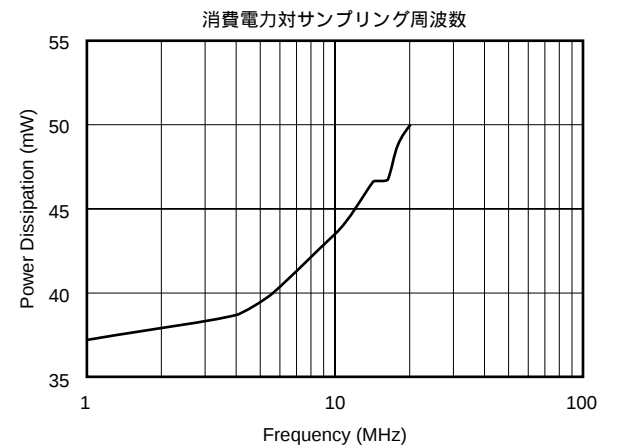
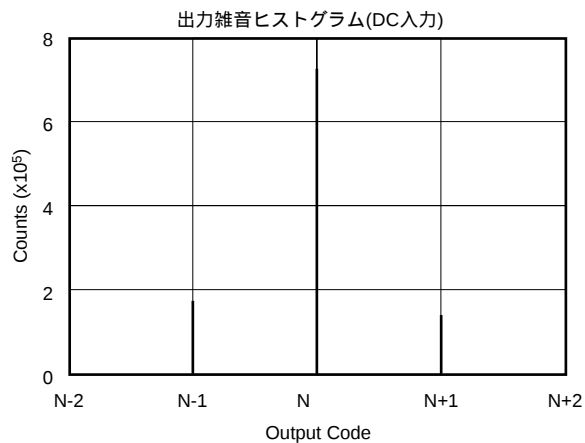
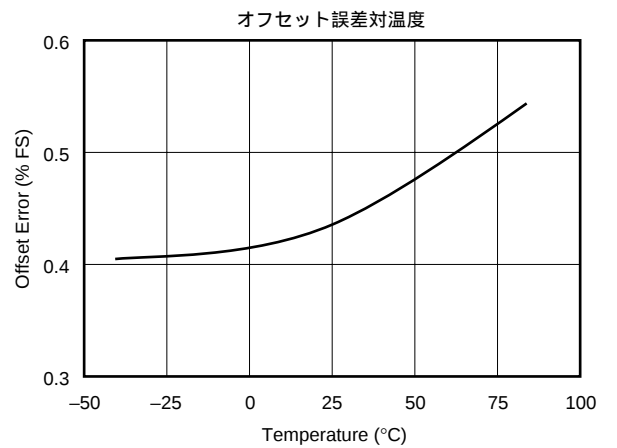
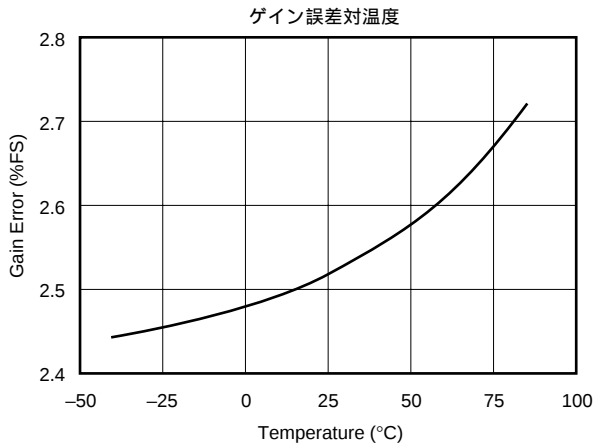
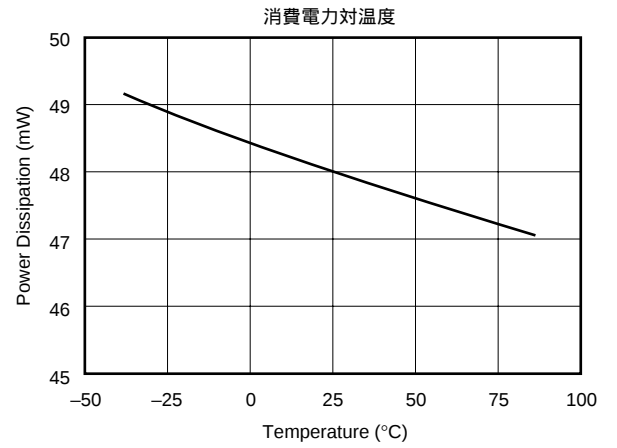
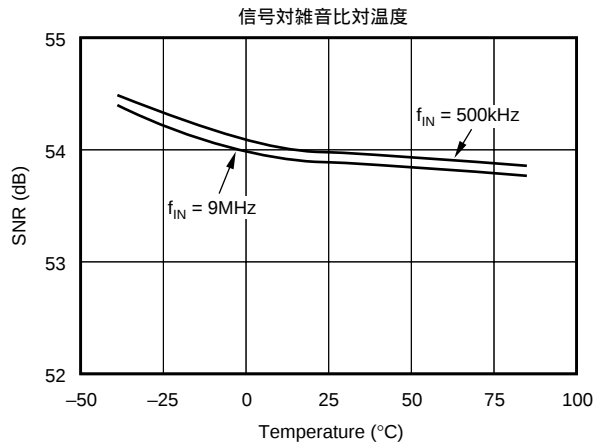
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_S = LV_{DD} = +3V$ 、 $REFB = 1V$ 、 $REFT = 2V$ 、定格入力レンジ = $1V \sim 2V$ 、サンプリング・レート = $20MHz$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_S = LV_{DD} = +3V$ 、 $REFB = 1V$ 、 $REFT = 2V$ 、定格入力レンジ = $1V \sim 2V$ 、サンプリング・レート = $20MHz$ です。



動作原理

ADS901は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動トポロジおよびデータ誤り訂正回路を使用して、10ビットの分解能を保証しています。差動トラック/ホールド回路を図1に示します。重なりのない2つの位相信号 ϕ_1 および ϕ_2 からなる内部クロックによって、スイッチを制御します。サンプリング時には、入力信号が入力キャパシタのボトム・プレートを通してサンプルされます。次のクロック位相(ϕ_2)では、入力キャパシタのボトム・プレートが相互に接続され、帰還キャパシタ C_H はオペアンプ出力に接続されます。このとき、電荷が C_I および C_H の間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDC値としてホールドした値となります。トラック/ホールド回路は、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換することもできます。したがって、入力信号/雑音性能、小信号およびフルパワー帯域幅、広帯域雑音などのパラメータもこの段で定義されます。

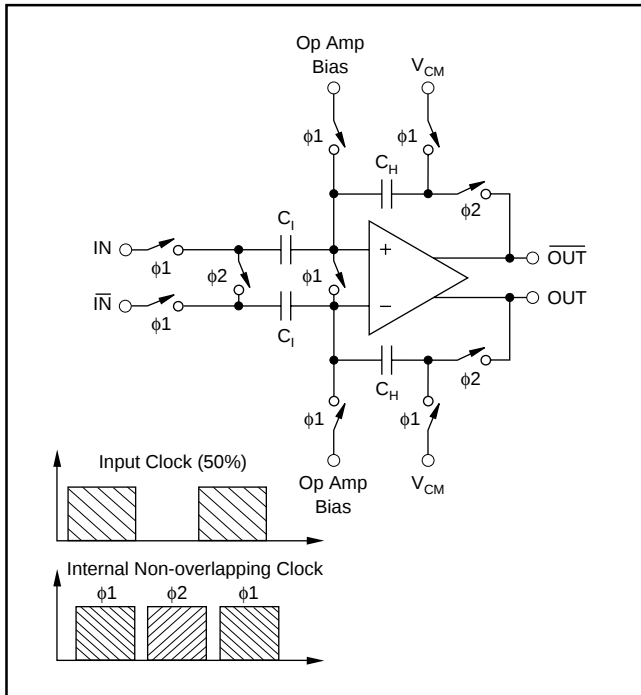


図1.入力トラック/ホールドの構成とタイミング信号

パイプライン方式の量子化回路アーキテクチャは9段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックと同じ周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に送られます。ADS901は、この技術により優れた微分直線性を実現し、10ビット・レベルのノー・ミッシング・コードを保証します。

バイポーラの信号スイングに対応するため、ADS901は外部基準電圧による同相モード電圧(V_{CM})で動作します。ADS901に内蔵された対称型の抵抗ラダーのため、 V_{CM} は高電位基準電圧と低電位基準電圧の中間電圧になります。同相モード電圧は、式(1)を使用して計算できます。

$$V_{CM} = (REFT + REFB) / 2 \quad (1)$$

変換開始信号から有効データ出力まで5.0クロック・サイクルのデータ待ち時間があります。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。ADS901のデジタル出力は、3ステート(ピン16)にロジック“ハイ”を与えることによって高インピーダンス状態にできます。ピン16が“ロー”またはオープン(内部でプルダウン)になっている場合は、通常動作になります。この機能は、テストの目的では使用できますが、動的に使用することはありません。

アプリケーション

信号スイングおよび同相モードに関する検討事項

ADS901は、+3Vの単一電源で動作するように設計されています。公称入力信号スイングは、+1V ~ +2Vの1Vp-pです。これは、信号が+1.5Vの同相モード電圧(電源電圧の1/2、すなわち $V_{CM} = V_S / 2$)を中心に $\pm 0.5V$ スイングすることを意味します。アプリケーションによっては、入力信号スイングを大きくすることにより信号/雑音比性能を向上することができます。ただし、過度の歪を避けるために、ドライブ回路のリニアな動作範囲に信号スイングを維持することが必要です。極端な場合、入力電圧による入力スイッチ・オン抵抗の変動のためにコンバータの性能が劣化します。したがって、通常動作時の信号スイングは、両方のレールから約0.5V以上の範囲に維持します。

アナログ入力のドライブ AC結合ドライバ

図2に、デュアル電源で動作する高速オペアンプ(OPA650、OPA658)を使用したAC結合のシングル・エンド・インターフェース回路の例を示します。ミッド・ポイント基準電圧 V_{CM} によってバイポーラのグラウンドを基準とする入力信号をバイアスします。キャパシタ C_I および抵抗 R_I は、-3dB周波数が次式により設定されるハイパス・フィルタを形成します。

$$f_{-3dB} = 1 / (2\pi R_I C_I) \quad (2)$$

C_I および R_I の値は、ほとんどのアプリケーションでは重要ではなく、任意に設定することができます。図示の値は、1.6kHzの周波数に対応します。

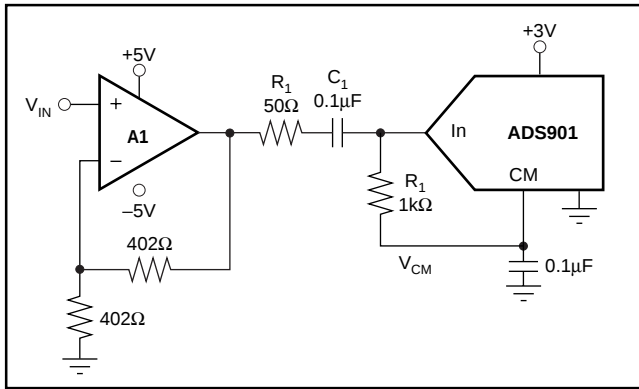


図2. AC結合のシングルエンド・インターフェース回路

図3に、単一電源アプリケーションに使用できる回路を示します。ミッド・ポイント基準電圧によってオペアンプが適切な同相モード電圧(例えば $V_{CM} = +1.5V$)にバイアスされます。コンデンサ C_G の使用により、非反転オペアンプ入力側のDCゲインは、 $+1V/V$ に設定されます。この結果、伝達関数は次のようになります。

$$V_{OUT} = V_{IN} \{ (1 + R_F / R_G) + V_{CM} \} \quad (3)$$

この場合も、入力のカップリング・コンデンサ C_1 および抵抗 R_1 がハイパス・フィルタを形成します。同時に、 R_1 によって入力インピーダンスが定義されます。抵抗 R_S は、オペアンプ出力を容量性負荷から分離してゲインのピークや発振を防止します。ま

た、定義された帯域幅を設定して広帯域雑音を低減するためにも使用します。推奨値は、通常 10Ω から 100Ω の間です。

DC結合のインターフェース回路

多くのシステムでは、A/Dコンバータおよびそのドライバにおいて+3Vのシングル電源が求められます。図4に+3Vシングル電源でのDC結合構成の例を示します。OPA632がこのアプリケーションにおいて素晴らしい性能を発揮します。OPA632の広入出力電圧範囲、低歪みがADS901をサポートします。OPA632はゲイン+2に設定されています。入力側の 374Ω および $2.26k\Omega$ の抵抗が V_{IN} をレベルシフトするため、 $V_{IN} = 0$ のとき V_{OUT} は許容出力電圧範囲内に収まります。ドライバ回路の入力インピーダンスは 50Ω のソース・インピーダンスでマッチングがとれるように設定してあります。入力のレベルシフトは、 V_{IN} の $0V$ から $5V$ の変化に対してADS901に対する出力電圧が $1V$ から $2V$ になるように設計されています。OPA632およびADS901には、電圧を節減するために同じ極性のパワーダウン機能ピンが付いています。

外部基準電圧

ADS901では、ピン22(REFT)および24(REFB)に外部基準電圧を接続することが必要です。これらのピンは、内部で公称 $4k\Omega$ ($\pm 15\%$)の抵抗ラダーを通じて接続されています。ラダー両端に適切な電圧降下を確保するには、外部基準回路が通常 $250\mu A$ の電流を供給することが必要です。この電流により、ADS901のフルスケール入力レンジが $+1V \sim +2V$ 、すなわち $1V_{p-p}$ に設定されます。

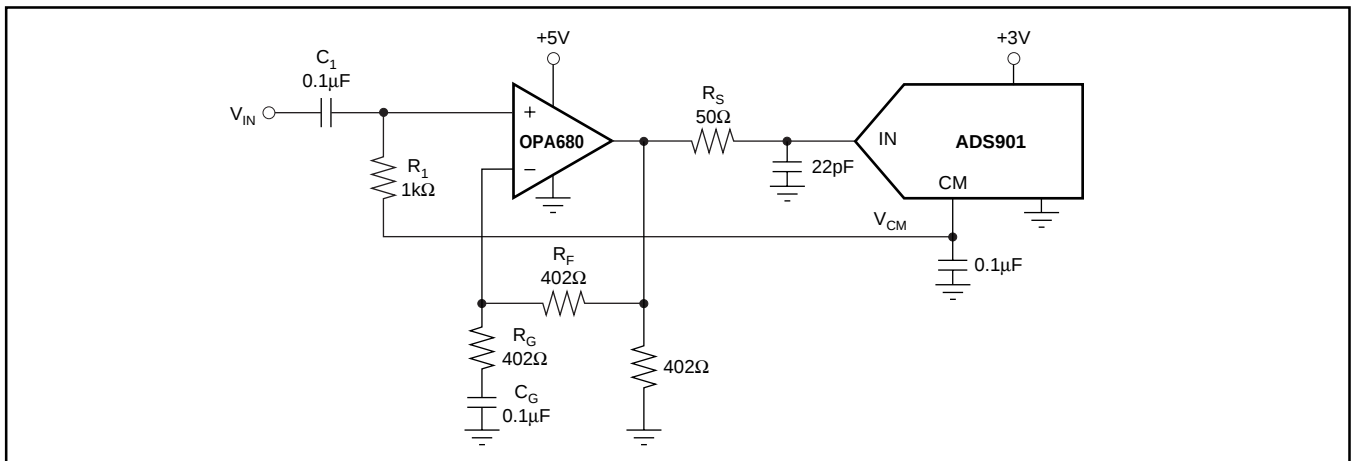


図3. 電圧帰還アンプOPA680を使用したインターフェース回路

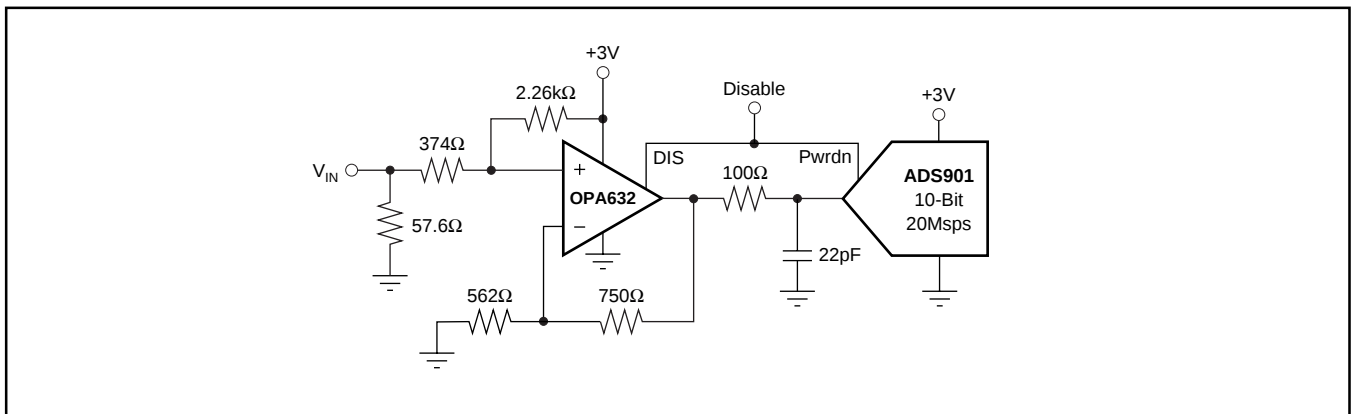


図4. +3Vシングル電源動作のDC結合インターフェース回路

アプリケーションに応じて、代表的性能を劣化させずに ADS901 に外部基準電圧を供給するためのソリューションがいくつか考えられます。

アプリケーションに応じて、代表的性能を劣化させずに ADS901 に外部基準電圧を供給するためのソリューションがいくつか考えられます。

低コストな基準電圧のソリューション

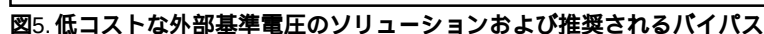
低コストな基準電圧のソリューション

精密な基準電圧のソリューション

精密な基準電圧のソリューション

クロック入力

ADS901のクロック入力は、+5Vまたは+3VのCMOSロジックレベルを使用するように設計されています。最小限のデューティ・サイクルの変動でクロック入力をドライブし、最大サンプリング・レート(20MSPS)をサポートするには、高速または高度なCMOSロジック(HC/HCT、AC/ACT)を使用することが必要です。高いサンプリング・レートで量子化を実行するときは、クロックのデューティ・サイクルを50%に保持して高速な立ち上がり/立ち下がり時間(2ns以下)を確保すれば、定格性能を満たすことができます。ただし、ADS901は、性能の劣化なしに $\pm 10\%$ までのデューティ・サイクルの変動を許容します。

表I. ADS901のコード表

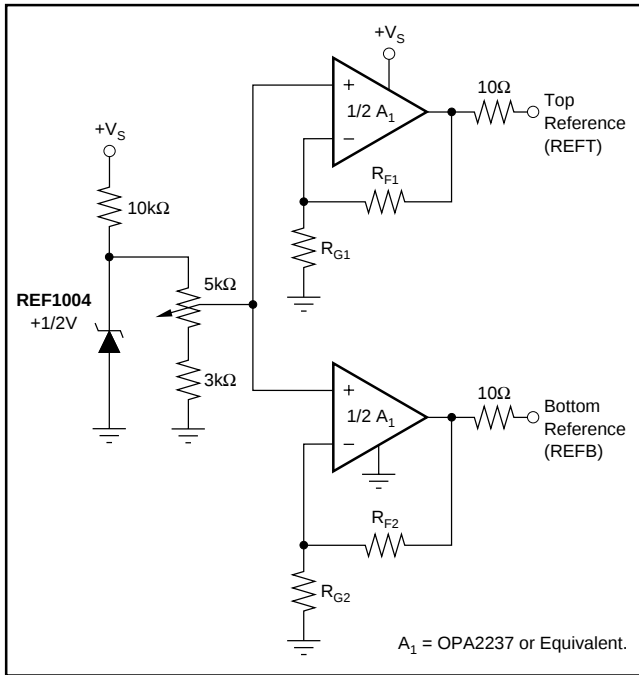


図6. 精密な外部基準電圧のソリューション

ナイキストまでの入力周波数で動作するアプリケーションやアンダーサンプリングのアプリケーションでは、クロックのジッタを低く抑えるために特別な注意が必要です。クロックのジッタは、良好なSNR性能を最終的に制限するアパーチャ・ジッタ (t_A) の原因になります。式(5)に、アパーチャ・ジッタ、入力周波数、信号/雑音比の関係を示します。

$$\text{SNR} = 20 \log_{10} [1 / (2\pi f_{\text{IN}} t_A)] \quad (5)$$

例えば、10MHzのフルスケール入力信号、アパーチャ・ジッタ $t_A = 20\text{ps}$ の場合、SNRは58dBにクロック・ジッタ制限されます。

デジタル出力

変換開始信号から有効データ出力まで5.0クロック・サイクルのデータ待ち時間があります。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。ADS901のデジタル出力は、3ステート (ピン16) にロジック “ハイ” を与えることによって高インピーダンス状態にできます。ピン16が “ロー” またはオープン (内部でプルダウン) になっている場合は、通常動作になります。この機能は、テストの目的では使用できますが、動的に使用することは推奨されません。

パワーダウン・モード

ADS901の低消費電力は、パワーダウン・モードに切り替えることによりさらに低減できます。

パワーダウン・モードに切り替えるには、PwrDnピン (ピン17) をロジック “ハイ” に接続します。これにより、電源から引かれる電流が約70%低減されます。パワーダウン・モードは、通常動作時には内部プルダウン抵抗 (50kΩ) によってディスエーブルされます。

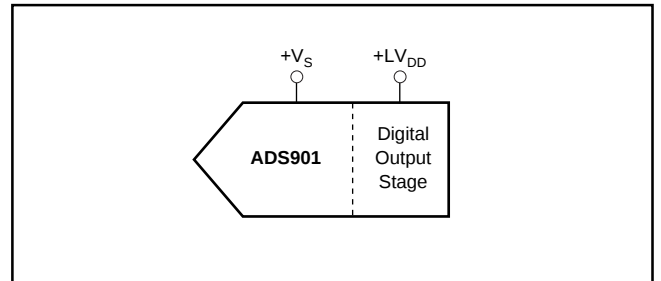


図7. 出力段のための独立した電源端子

パワーダウン・モードではデジタル出力が3ステートになります。クロックを印加しても、コンバータはサンプリングされた信号を正確に処理しません。パワーダウン・モードを解除した後の5クロック・サイクルの出力データは無効です (データ待ち時間)。

デカップリングおよびグラウンディングに関する検討事項

ADS901には複数の電源ピンがあり、その1つは出力ドライバの電源専用です。他の電源ピンはチップ内部で接続されているため、アナログまたはデジタル電源ピンには分かれていません。このため、コンバータをアナログ・コンポーネントとして扱い、アナログ電源のみからコンバータに電源を供給することを推奨します。デジタル電源ラインにはしばしば高レベルの雑音が発生し、コンバータとカップリングして達成可能な性能が制限されることがあります。

バイブライン・アーキテクチャのため、コンバータには電源および基準ラインに戻るような高周波トランジェントや雑音も発生します。このため、電源および基準ピンを十分にバイパスすることが必要です。図8に、アナログ電源の推奨されるデカップリング方法を示します。ほとんどの場合、0.1μFのセラミック・チップ・コンデンサを使用することにより広い周波数範囲にわたって十分な低インピーダンスを維持することができます。コンデンサの有効性は、各電源ピンとの距離に大きく依存するため、できるだけ電源ピンの近くに配置します。

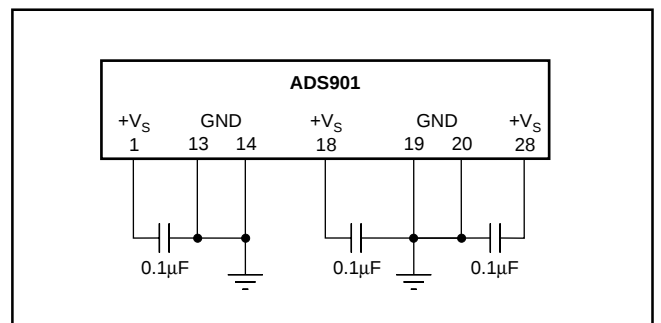


図8. アナログ電源ピンの推奨されるバイパス方法

