



16ビット、高速マイクロパワー・サンプリング A/Dコンバータ

特 長

- バイポーラ入力レンジ
- サンプリング・レート：100kHz
- マイクロパワー：
4.5mW(100kHz)
1mW(10kHz)
- パワーダウン：3 μ A(最大)
- パッケージ：8ピンMSOP
- ADS7816およびADS7822とピン・コンパチブル
- シリアル(SPI/SSI)インターフェース

アプリケーション

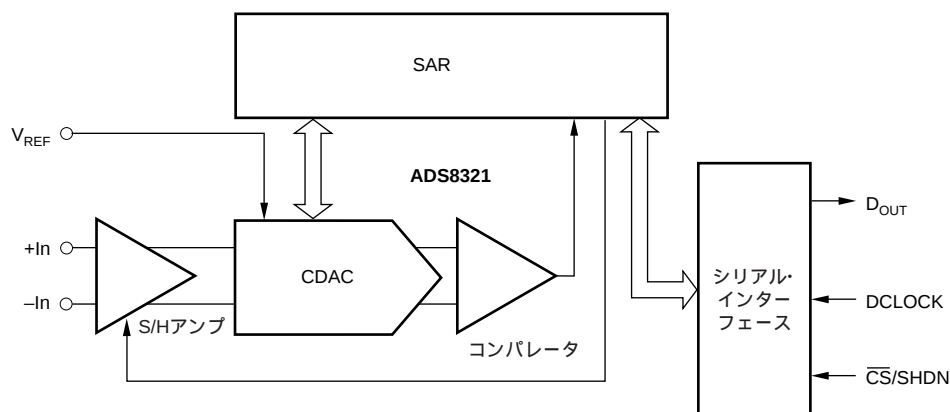
- バッテリ駆動システム
- リモート・データ・アキュイジション
- 絶縁型データ・アキュイジション
- 同時サンプリング、マルチチャンネル・システム
- 工業用制御
- ロボット
- 振動分析

概 要

ADS8321は、4.75Vから5.25Vの電源範囲で仕様が保証された、16ビット・サンプリングA/Dコンバータです。データレート100kHz(最大)での動作時にも、わずかな電力しか消費しません。データレートが低い場合は、デバイスの高速性能により、ほとんどの時間がパワーダウン・モードとして動作するため、データレートが10kHzの場合、平均消費電力は1mW未満になります。

ADS8321は、同期シリアル(SPI/SSIコンパチブル)インターフェースや差動入力機能も備えています。リファレンス電圧は500mVから2.5Vまでの範囲で任意の値に設定することができます。

超低消費電力で小型なADS8321は、携帯用バッテリ駆動システムに理想的です。また、リモート・データ・アキュイジション・モジュール、同期マルチチャンネル・システム、絶縁型データ・アキュイジションにも完全に適応します。ADS8321は8ピンMSOPパッケージで供給されます。



仕様: +V_{CC} = +5V

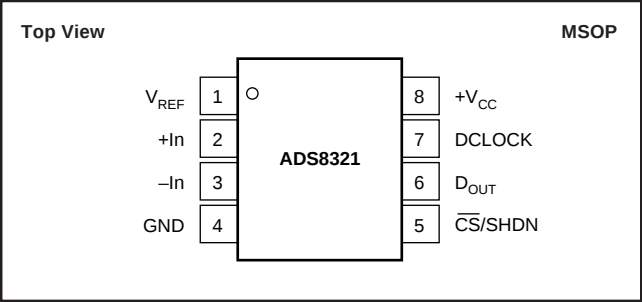
特に記述のない限り、-40 ~ +85、V_{REF} = +2.5V、-I_{IN} = 2.5V、f_{SAMPLE} = 100kHz、f_{CLK} = 24 • f_{SAMPLE}です。

パラメータ	条件	ADS8321E			ADS8321EB			単位
		最小	標準	最大	最小	標準	最大	
分解能				16			*	Bits
アナログ入力 フルスケール入力スパン 絶対入力範囲	+I _{IN} - (-I _{IN}) +I _{IN} -I _{IN}	-V _{REF} -0.1 -0.1		+V _{REF} V _{CC} + 0.1 +4.0	*	*	*	V V V
容量 リーク電流			25 1			*	*	pF nA
システム性能 ノー・ミッシング・コード 積分直線性誤差 オフセット誤差 オフセット温度ドリフト ゲイン誤差、正負 ゲイン温度ドリフト ノイズ 同相モード除去比 電源除去比		14	±0.008 ±0.4 ±1	±0.018 ±2 ±0.05 ±0.05	15	±0.006 ±0.2 *	±0.012 ±1 ±0.024 ±0.024	Bits % of FSR mV μV/ % % ppm/ μVrms dB LSB ⁽¹⁾
サンプリングのダイナミック性能 変換時間 アキュイジション時間 スループット・レート クロック周波数レンジ				16 100 2.9	*		*	Clk Cycles Clk Cycles kHz MHz
ダイナミック特性 全高調波歪 SINAD スプリアスフリー・ダイナミック・レンジ SNR	V _{IN} = 5Vp-p at 10kHz V _{IN} = 5Vp-p at 10kHz V _{IN} = 5Vp-p at 10kHz		-84 82 84 85			-86 84 86 87		dB dB dB dB
電圧リファレンス入力 電圧範囲 抵抗 電流ドレイン	$\overline{CS} = GND, f_{SAMPLE} = 0Hz$ $\overline{CS} = V_{CC}$ f _{SAMPLE} = 10kHz CS = V _{CC}	0.5	5 5 40 0.8 0.1	V _{CC} /2 80 3	*	*	*	V GΩ GΩ μA μA μA
デジタル入出力 ロジック・ファミリ ロジック・レベル V _{IH} V _{IL} V _{OH} V _{OL} データ・フォーマット	I _{IH} = +5μA I _{IL} = +5μA I _{OH} = -250μA I _{OL} = 250μA	3.0 -0.3 4.0	CMOS	V _{CC} + 0.3 0.8 0.4	*	*	*	V V V V
電源 V _{CC} V _{CC} レンジ ⁽²⁾ 無信号時電流 消費電力 パワーダウン	仕様に規定された性能 f _{SAMPLE} = 10kHz ^(3,4) CS = V _{CC}	4.75 2.7	1100 250 5.5 0.3	5.25 5.25 1700 8.5 3	*	*	*	V V μA μA mW μA
温度範囲 仕様性能		-40		+85	*		*	

*印はADS8321Eの仕様と同じであることを表わします。
注：(1)LSBは最下位ビットを示します。(2)詳細は代表的性能曲線を参照してください。(3)f_{CLK} = 2.4MHz、各240クロック・サイクルのうち216サイクルでCS = V_{CC}です。(4)低サンプリング・レートでの動作については、「消費電力」の項を参照してください。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



ピン構成

ピン番号	名称	説明
1	V_{REF}	リファレンス入力
2	$+In$	非反転入力
3	$-In$	反転入力
4	GND	グランド
5	$\overline{CS}/SHDN$	“ロー”のときにはチップ・セレクト、“ハイ”のときにはシャットダウン・モード。
6	D_{OUT}	シリアル出力データワードは16ビットのデータで構成されています。動作中はDCLOCKの立ち下がりエッジでデータが有効になります。CSの立ち下がりエッジの後、2つ目のクロック・パルスでシリアル出力がイネーブルされます。1つのヌル・ビットの後、次の16エッジの間データが有効になります。
7	DCLOCK	データ・クロックはシリアルデータ転送の同期を取り、変換速度を決定します。
8	$+V_{CC}$	電源

絶対最大定格⁽¹⁾

V_{CC}	+6V
アナログ入力	-0.3 ~ ($V_{CC} + 0.3V$)
ロジック入力	-0.3V ~ 6V
ケース温度	+100
接合部温度	+150
保存温度	+125
外部リファレンス電圧	+5.5V

注：(1) 絶対最大定格を超えるストレスをデバイスに加えると、デバイスに永久的な損傷を与えます。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

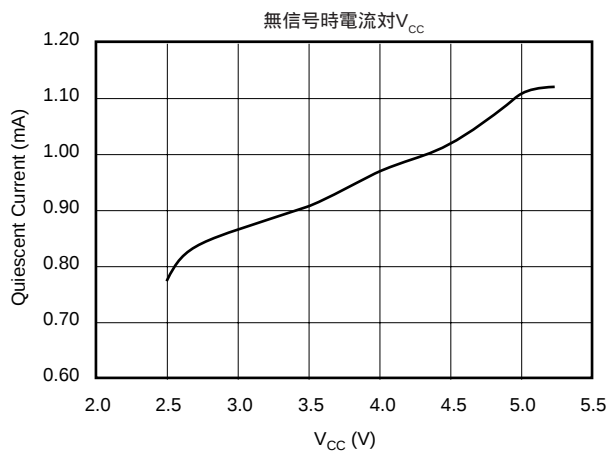
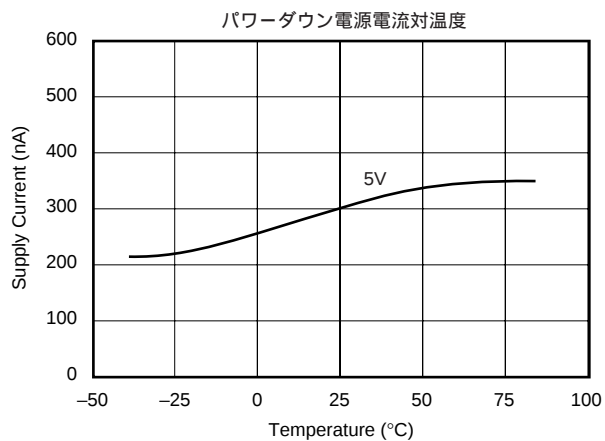
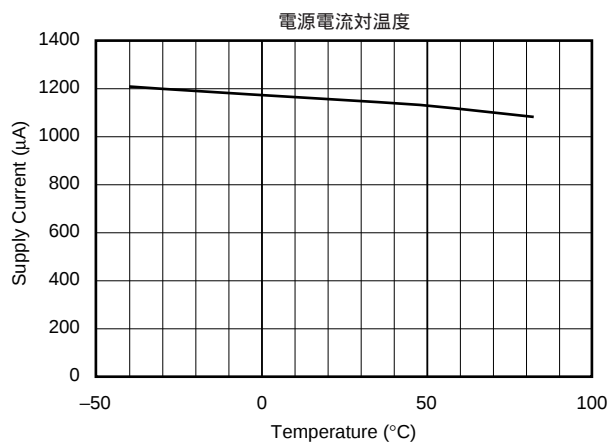
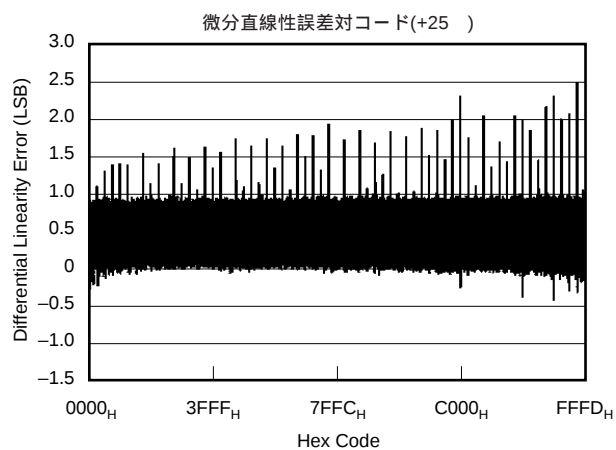
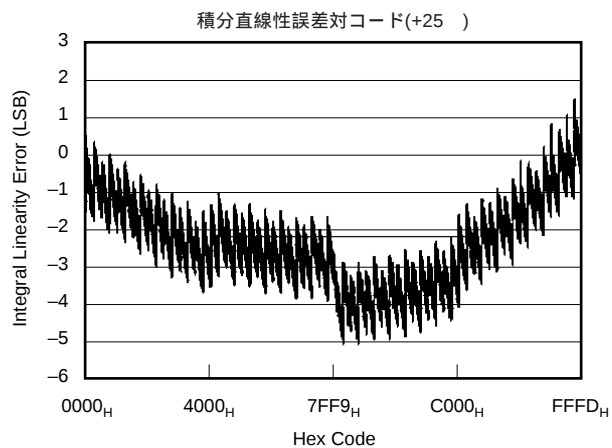
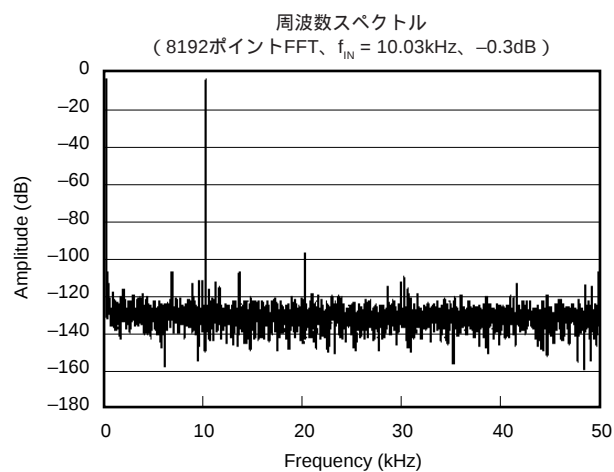
パッケージ情報/ご発注の手引き

モデル	最大積分直線性誤差 (LSB)	ノー・ミッシング・コード (LSB)	パッケージ	パッケージ 図番号 ⁽¹⁾	仕様温度範囲	発注番号 ⁽²⁾	供給時の状態
ADS8321E	0.018%	14	MSOP	337	-40 ~ +85	ADS8321E/250	テーブリール
ADS8321E	0.018%	14	MSOP	337	-40 ~ +85	ADS8321E/2K5	テーブリール
ADS8321EB	0.012%	15	MSOP	337	-40 ~ +85	ADS8321EB/250	テーブリール
ADS8321EB	0.012%	15	MSOP	337	-40 ~ +85	ADS8321EB/2K5	テーブリール

注：(1) 詳細図および寸法表は、データシートの巻末を参照してください。(2) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(たとえば、/2K5は2,500個で1リールであることを示します)。「ADS8321EB/2K5」をご注文の場合、2,500個入りのテーブリールが1本納入されます。

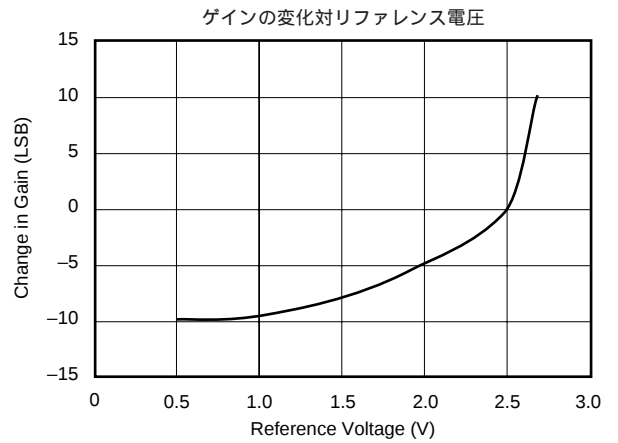
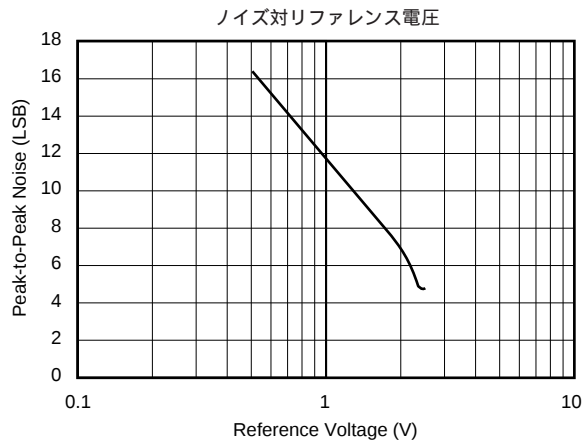
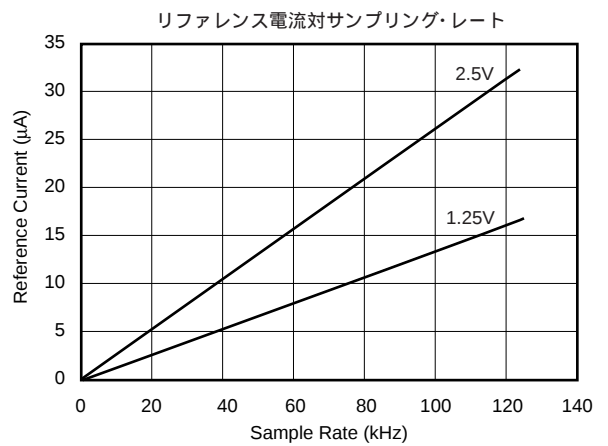
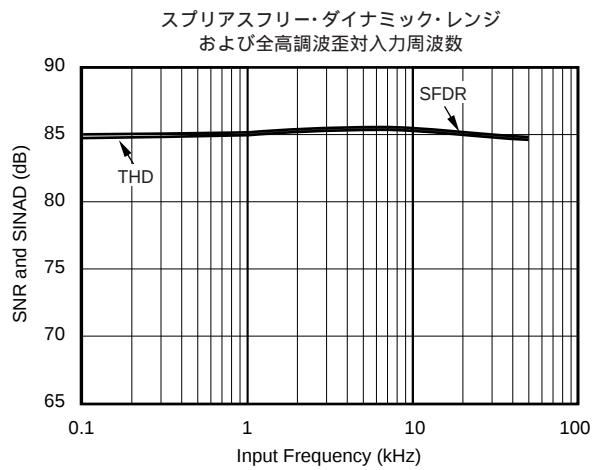
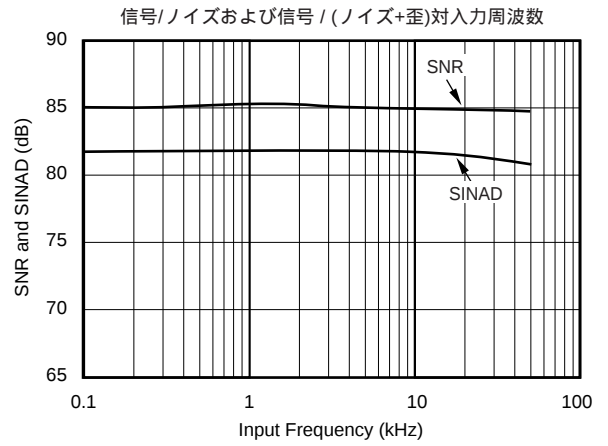
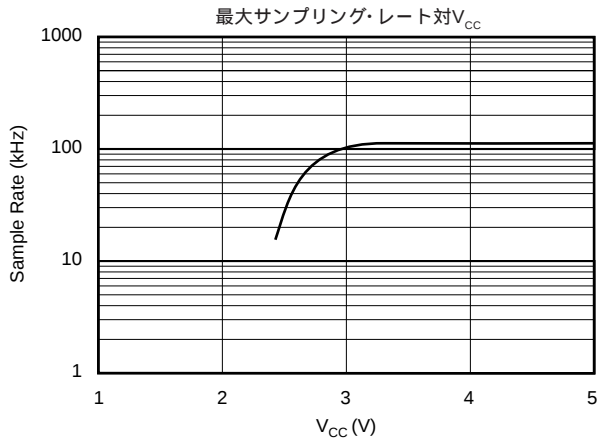
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = +5V$ 、 $V_{REF} = +2.5V$ 、 $f_{SAMPLE} = 100kHz$ 、 $f_{CLK} = 24 \cdot f_{SAMPLE}$ です。



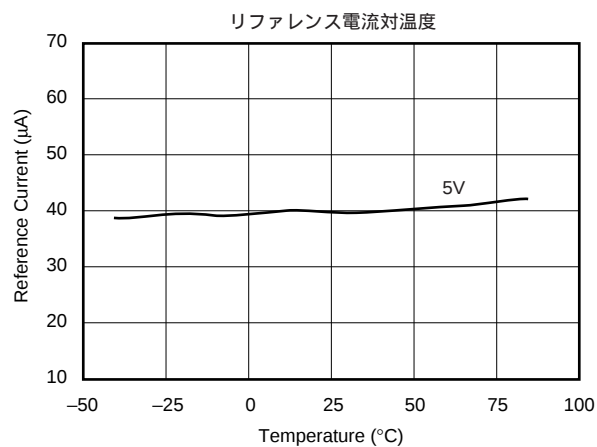
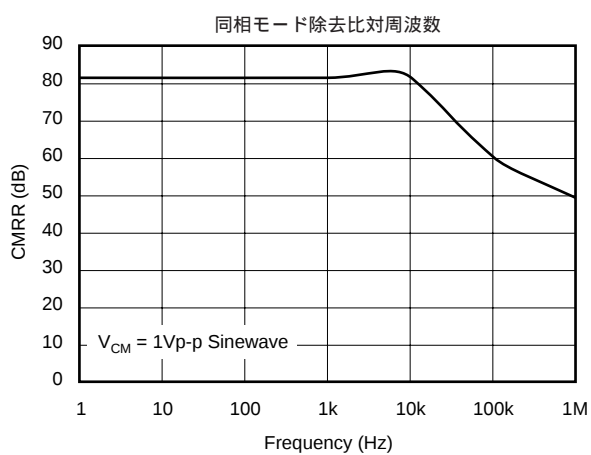
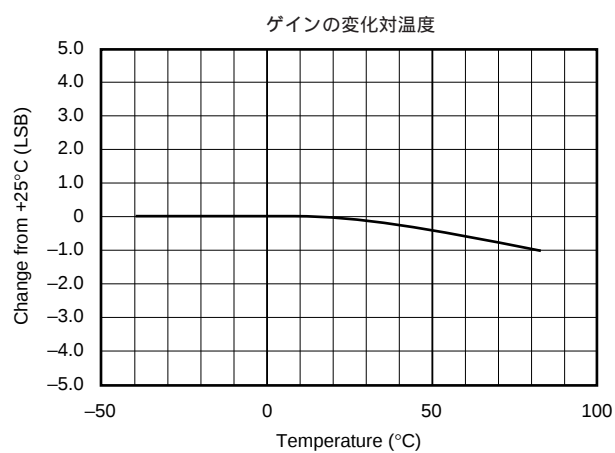
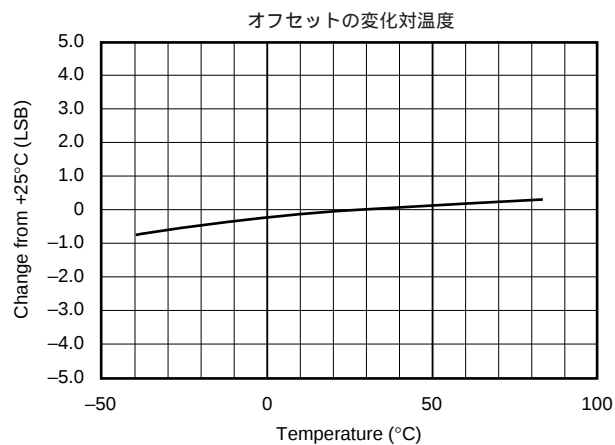
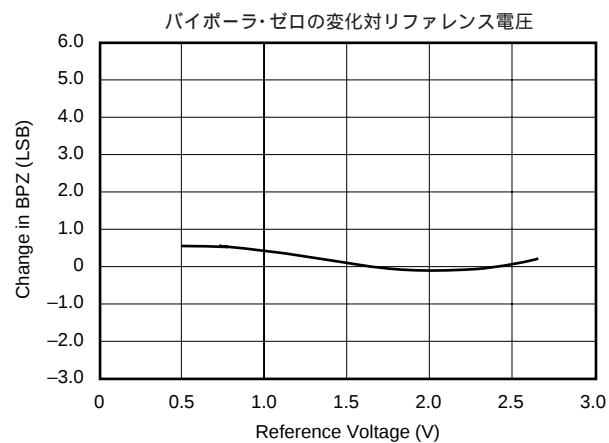
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = +5V$ 、 $V_{REF} = +2.5V$ 、 $f_{SAMPLE} = 100kHz$ 、 $f_{CLK} = 24 \cdot f_{SAMPLE}$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}}$ です。



動作原理

ADS8321は、クラシックな逐次比較型レジスタ(SAR)方式のA/Dコンバータです。この変換アーキテクチャは、本質的にサンプル/ホールド機能を備えた容量再分配技術に基づき、 0.6μ のCMOSプロセス技術で製造されています。このアーキテクチャとプロセス技術により、ADS8321は最大毎秒100,000回の変換速度でアナログ信号を捕捉して変換することができ、 V_{CC} からの消費電力は5.5mW未満です。

ADS8321には外部リファレンス、外部クロック、単一電源(V_{CC})が必要です。外部リファレンスの出力電圧を500mVから2.5Vの範囲内で任意の値に設定することができます。電圧リファレンスの出力値により、アナログ入力電圧範囲が直接設定されます。リファレンス入力電流はADS8321の変換速度に応じて異なります。

外部クロックは24kHz(1kHzのスループット)と2.4MHz(100kHzのスループット)の間で変化させることができます。“ハイ”時間と“ロー”時間の最小値が200ns以上(4.75V以上)である限り、クロックのデューティ・サイクルは本質的に重要ではありません。ADS8321の内部にあるコンデンサのリークによって最低クロック周波数が設定されます。

アナログ入力は2つの入力ピン、+Inと-Inに供給されます。変換が開始される直前に、これらのピンの差動入力が内部キャパシタ・アレイにサンプリングされます。変換が実行されている間、2つの入力はすべての内部機能から切り離されています。

変換のデジタル結果はDCLOCK入力によってクロック・アウトされ、MSBファーストで D_{OUT} ピンにシリアルに供給されます。 D_{OUT} ピンに供給されたデジタルデータは現在実行中の変換に対するものであり、パイプライン遅延はありません。また、変換が終了した後もADS8321に継続してクロックを供給することにより、シリアルデータをLSBファーストで取得することができます。詳細については、デジタル・インターフェースの項を参照してください。

アナログ入力

アナログ入力はバイポーラで完全な差動です。ADS8321のアナログ入力をドライブする一般的な方法として、シングル・エンドと差動の2つがあります(図1を参照)。入力がシングル・エンドのとき、-In入力は固定電圧に保持されます。+In入力は-In入力の固定電圧と同じ電圧を中心にスイングし、ピーク・ツー・ピークの振幅は $2 \cdot V_{REF}$ になります。 V_{REF} の値によって、同相モード電圧の変動する範囲が決まります(図2を参照)。

入力が差動のとき、入力の振幅は+Inおよび-In入力の差の(+In) - (-In)になります。電圧または信号は、両方の入力に共通です。各入力のピーク・ツー・ピークの振幅は、この同相モード電圧を中心とする V_{REF} です。ただし、入力の位相が180度ずれているため、差動電圧のピーク・ツー・ピークの振幅は $2 \cdot V_{REF}$ になります。 V_{REF} の値によって、両方の入力に共通の電圧の範囲も決まります(図3を参照)。

いずれの場合も、+Inおよび-In入力をドライブするソースの出力インピーダンスをマッチするように注意が必要です。マッチしない場合は、2つの入力のセトリングタイムに差ができ、温度や入力電圧とともに変化するオフセット誤差、ゲイン誤差、および直線性誤差の原因になります。インピーダンスをマッチできない場合は、ADS8321のアクイジション時間を長くすることにより誤差を小さくできます。

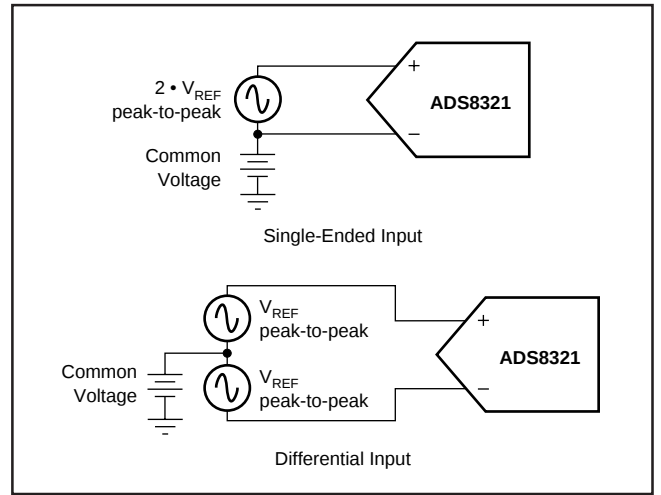


図1．ADS8321をシングル・エンドまたは差動でドライブする方法

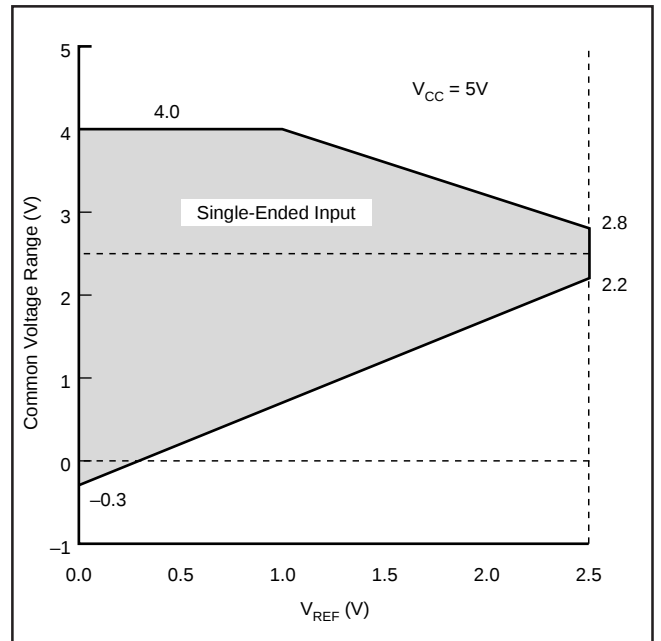


図2．シングル・エンド入力：コモン電圧範囲対 V_{REF}

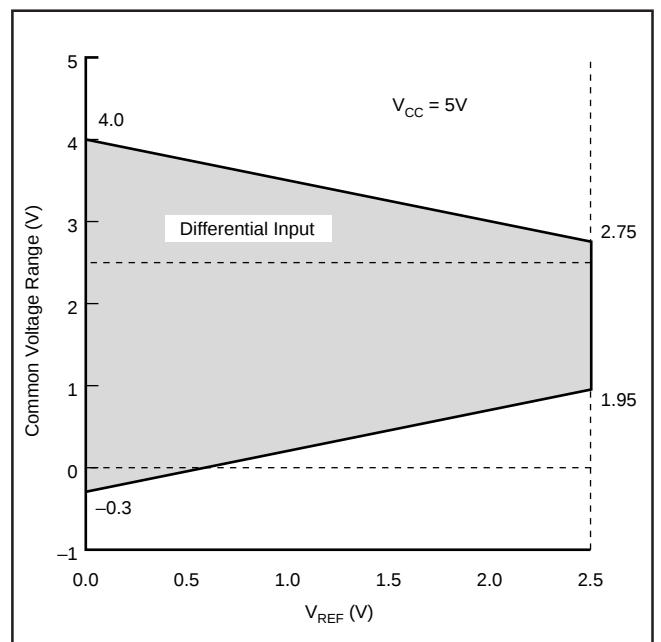


図3．差動入力：コモン電圧範囲対 V_{REF}

アナログ入力の入力電流はサンプリング・レート、入力電圧、ソース・インピーダンスなど、さまざまな要因によって変化します。本質的に、ADS8321の入力電流はサンプリング実行期間中に内部キャパシタ・アレイを充電します。このキャパシタンスが完全な充電状態になると、その後さらに電流が入力されることはありません。アナログ入力電圧のソースは入力キャパシタンス(25pF)を4.5クロック・サイクル以内に16ビットのセトリング・レベルまで充電できなければなりません。コンバータがホールド・モードに入ったとき、またはパワーダウン・モードに入っている間は、入力インピーダンスは1GΩより大きくなります。

絶対アナログ入力電圧に関しては細心の注意を払う必要があります。+In入力は常にGND-300mVから $V_{CC}+300\text{mV}$ までの範囲に収まらなければなりません。-In入力は常にGND-300mVから4Vまでの範囲に収まらなければなりません。この範囲を超えると、コンバータの直線性が仕様に合わなくなる場合があります。

リファレンス入力

外部リファレンス入力により、アナログ入力範囲が設定されます。ADS8321は、500mVから2.5Vまでの電圧リファレンスで動作します。ここで重要な留意点がいくつかあります。

リファレンス電圧を低くすると、これに応じて各デジタル出力コードのアナログ電圧の重み付けも小さくなります。これはLSB(最下位ビット)サイズと呼ばれ、 $2 \cdot V_{REF}$ を65,535で除算した値と等しくなります。すなわち、リファレンス電圧を低くすると、A/Dコンバータに固有のオフセット誤差やゲイン誤差のLSB単位の値が増加します。

LSBサイズが小さくなると、コンバータに固有のノイズの値も増加します。+2.5Vのリファレンスでは、コンバータの内部ノイズが出力コードに寄与する潜在的誤差は通常わずか5LSBピーク・ツー・ピークです。外部リファレンスが500mVの場合は、内部ノイズからの潜在的誤差の寄与は約3.2倍に増加し、16LSBになります。内部ノイズによる誤差はガウス分布なので、連続的な変換結果を平均化することによってノイズを低減することが可能です。

ノイズの詳細については、代表的性能曲線「ノイズ対リファレンス電圧」を参照してください。有効ビット数(ENOB)は1kHz、0dBの入力信号でコンバータの信号/(ノイズ+歪)比に基づいて計算されていることに注意してください。SINADとENOBには次のような関係があります。

$$\text{SINAD} = 6.02 \cdot \text{ENOB} + 1.76$$

リファレンス電圧として低い値を使用するには、適切な電源バイパス、クリーンな電源、低ノイズ電圧リファレンス、低ノイズ入力信号などに十分配慮して、クリーンな回路レイアウト設計を行うように注意を払わなければなりません。LSBサイズが小さいので、コンバータも近接したデジタル信号や電磁波干渉の影響を受けやすくなります。

ノイズ

ADS8321自体のノイズフロアは極端に低く(図4および図5を参照)、競合するA/Dコンバータ製品の値を大きく下回っています。これは、ADS8321に低ノイズのDC入力と2.5Vのリファレンスを印加して、5,000回の変換を行うことによってテストされています。A/Dコンバータのデジタル出力は、ADS8321内部のノイズによって出力コードが変動します。これは、すべての16ビットSAR型A/Dコンバータに言えることです。ヒストグラムに出力コードをプロットすると、分布はベル型になり、ベル曲線のピークが入力値に対する公称コードを示します。 $\pm 1\sigma$ 、 $\pm 2\sigma$ 、 $\pm 3\sigma$ の分布は、それぞれ全コードの68.3%、95.5%、99.7%を表します。トランジション・ノイズは、 $\pm 3\sigma$ 分布(すなわち全コードの99.7%)に相当する実測されたコードの数を6で割って求めることができます。統計的には、1,000回実行したときに最大3つのコードが分布範囲から外れる可能性があります。ADS8321の場合、 $\pm 3\sigma$ 分布に相当する出力コードは5個で、トランジション・ノイズは $\pm 0.8\text{LSB}$ になります。この低ノイズ性能を達成するためには、入力信号とリファレンスのピーク・ツー・ピーク・ノイズが50μV未満でなければならないことに注意してください。

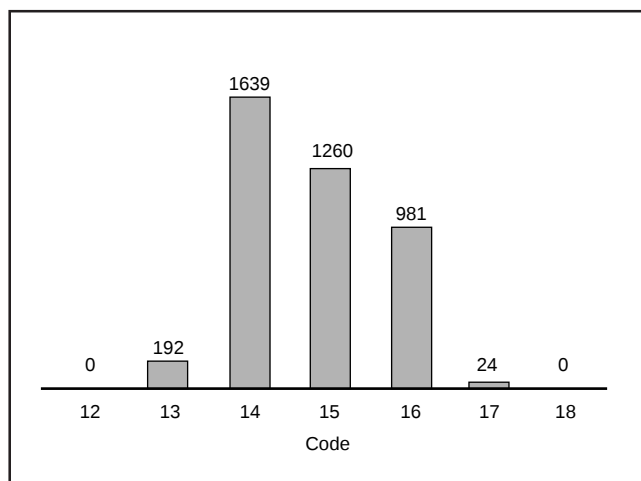


図4 . DC入力の変換5,000回のヒストグラム(コード・トランジション)

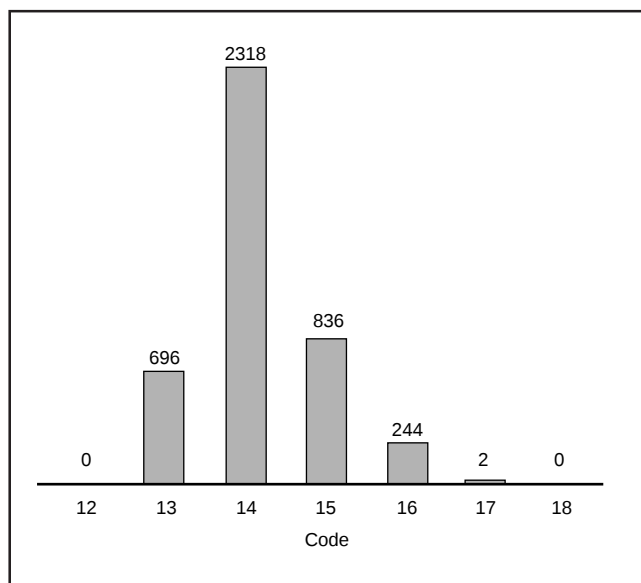


図5 . DC入力の変換5,000回のヒストグラム(コード中央)

平均化

A/Dコンバータのノイズは、デジタルコードの平均化によって補償することができます。変換結果を平均化することにより、トランジション・ノイズは $1/\sqrt{n}$ の割合で減少します(nは平均した個数)。たとえば、4つの変換結果を平均するとトランジション・ノイズが $1/2$ に減少し、 $\pm 0.4\text{LSB}$ になります。平均化は、周波数がDCに近い入力信号に対してだけ使用するようにします。

AC信号の場合、デジタルフィルタをローパスフィルタとして使って出力コードのデシメーションを行うことができます。これは平均化と同様の効果があります。2だけデシメーションを行うごとに、信号対ノイズ比が3dB改善します。

デジタル・インターフェース

信号レベル

ADS8321のデジタル入力は、 V_{CC} の値に関係なく5.5Vまでのロジック・レベルに適應します。

CMOSデジタル出力(D_{OUT})は0Vから V_{CC} の間をスイングします。 V_{CC} が3Vで、デジタル出力が5VのCMOSロジック入力に接続されている場合、ICは通常より大きな電源電流を必要とし、伝播遅延もわずかに大きくなる場合があります。

シリアル・インターフェース

ADS8321は、同期3線式シリアル・インターフェースを介してマイクロプロセッサや他のデジタルシステムと通信します(図6および表 を参照)。DCLOCK信号は、DCLOCKの立ち下がりエッジで送信される各ビットにデータ転送を同期させます。ほとんどの受信システムは、DCLOCKの立ち上がりエッジでビットストリームを捕捉します。ただし、 D_{OUT} の最小ホールド時間が許容できる場合は、DCLOCKの立ち下がりエッジを使って各ビットを捕捉することもできます。

記号	説明	最小	標準	最大	単位
t_{SMPL}	アナログ入力サンプリング時間	4.5		5.0	Clk Cycles
t_{CONV}	変換時間		16		Clk Cycles
t_{CYC}	スループット・レート			100	kHz
t_{CSD}	$\overline{CS}$ 立ち下がりからDCLOCK “ロー”まで			0	ns
t_{SUCS}	$\overline{CS}$ 立ち下がりからDCLOCK 立ち上がりまで	20			ns
t_{hDO}	DCLOCK立ち下がりから現在の D_{OUT} 無効まで	5	15		ns
t_{dDO}	DCLOCK立ち下がりから次の D_{OUT} 有効まで		30	50	ns
t_{dis}	$\overline{CS}$ 立ち上がりから D_{OUT} トライステートまで		70	100	ns
t_{en}	DCLOCK立ち下がりから D_{OUT} イネーブルまで		20	50	ns
t_f	D_{OUT} 立ち下がり時間		5	25	ns
t_r	D_{OUT} 立ち上がり時間		7	25	ns

表 . タイミング仕様($V_{CC} = 5V, -40 \sim +85$)

$\overline{CS}$ 信号の立ち下がりによって、変換とデータ転送が開始されます。変換サイクルの最初の4.5から5.0クロック周期が入力信号のサンプリングに使用されます。DCLOCKの5つ目の立ち下がりエッジで、 D_{OUT} がイネーブルされ、1クロック周期の間 “ロー” が出力されます。続く16回のDCLOCK周期の間、 D_{OUT} はMSBファーストで変換結果を出力します。LSB(B0)が出力された後、続くクロックでは同じ出力データをLSBファーストで出力します。

MSB(B15)がもう一度出力された後、 D_{OUT} はトライステート状態になります。それ以降のクロックはコンバータには影響を与えません。新しい変換は、 $\overline{CS}$ を “ハイ” にして再び “ロー” にするまでは開始されません。

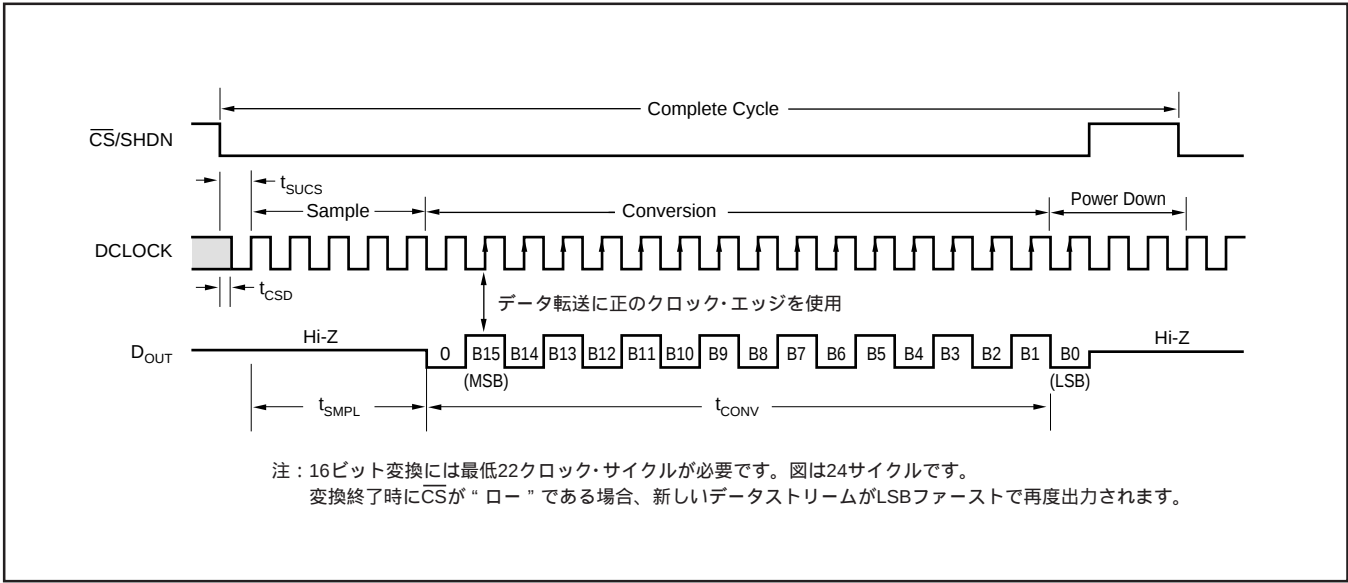


図6 . ADS8321の基本タイミング図

データ・フォーマット

ADS8321の出力データは表 に示すようにバイナリ2の補数フォーマットです。この表は、特定の入力電圧に対する理想的な出力コードを示しており、オフセット、ゲインまたはノイズの影響は含まれていません。

説明	アナログ入力	デジタル出力 バイナリ2の補数	
		バイナリ・コード	16進コード
フルスケール・レンジ	$2 \cdot V_{REF}$		
最下位ビット (LSB)	$2 \cdot V_{REF} / 65536$		
+フルスケール	$+V_{REF} - 1LSB$	0111 1111 1111 1111	7FFF
ミッドスケール	0V	0000 0000 0000 0000	0000
ミッドスケール-1LSB	$0V - 1LSB$	1111 1111 1111 1111	FFFF
-フルスケール	$-V_{REF}$	1000 0000 0000 0000	8000

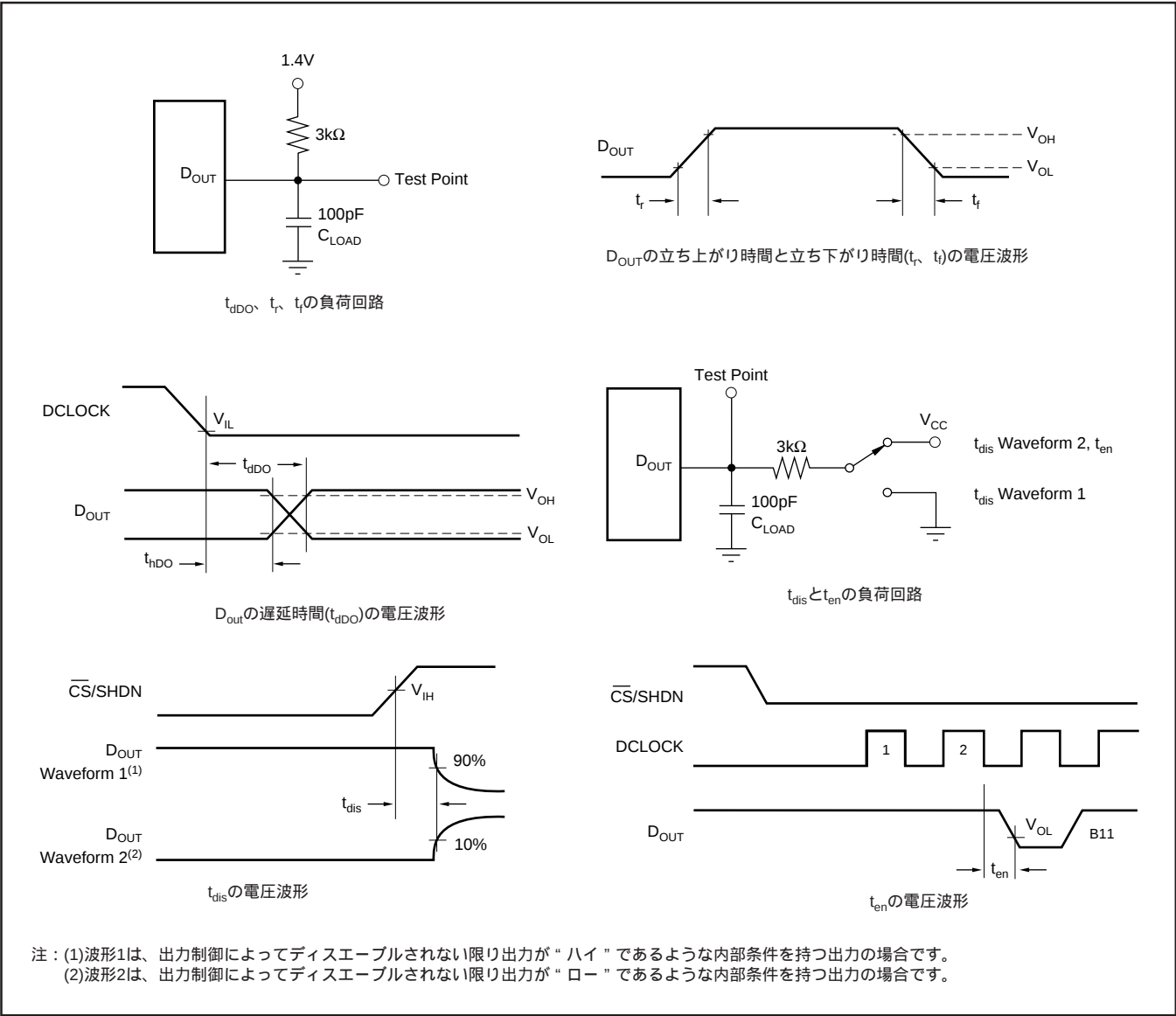
表 . 理想的な入力電圧と出力コード

消費電力

コンバータのアーキテクチャと半導体製造プロセスに工夫を凝らし、注意深く設計されたADS8321は、最大100kHzで変換を行いながら、非常にわずかな電力しか消費しません。それでも、絶対最小消費電力について注意すべき点があります。

ADS8321の消費電力は、変換速度に応じて直接増大します。したがって、最小消費電力を達成するための最初のステップは、システムの要件を満たす最小の変換速度を見つけることです。

また、ADS8321は、変換が完了したときと、CSが “ ハイ ” になったときにパワーダウン・モードになります(図6を参照)。理想的には、各変換は可能な限り高速で、できれば2.4MHzのクロック速度で行う必要があります。それによって、コンバータがパワーダウン・モードに入っている時間をできるだけ長くします。コンバータは(通常のデジタルCMOSコンポーネントのように)DCLOCK遷移時にだけ電力を消費するのではなく、コンパレータのようなアナログ回路でも電力を消費します。アナログ部分では、パワーダウン・モードに入るまで継続的に電力を消費します。



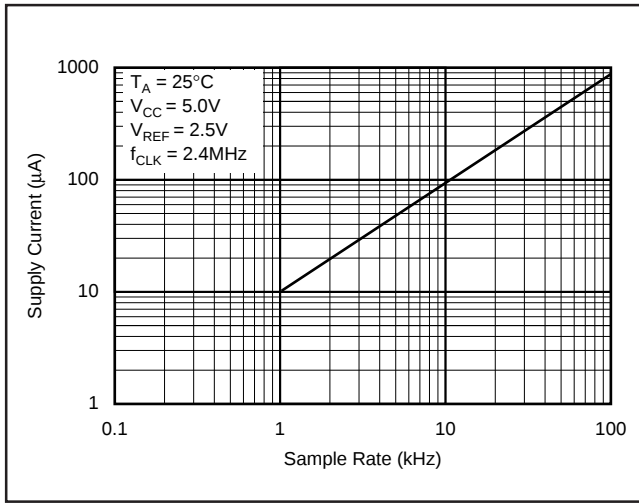


図8. f_{CLK} を可能な限り最大のレートに維持することにより、電源電流はサンプリング・レートに対してリニアに減少する

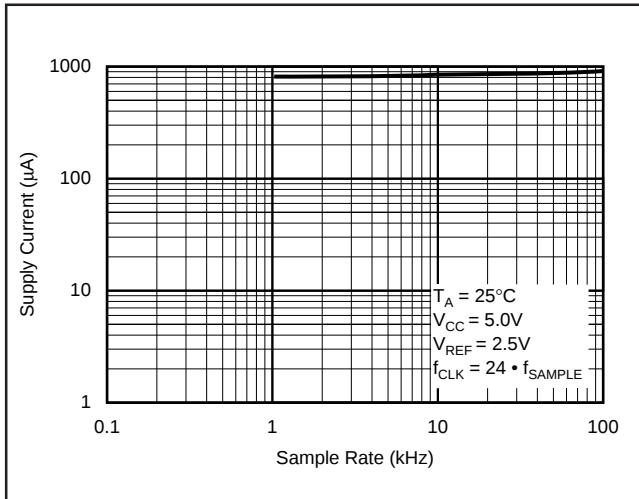


図9. f_{CLK} をスケーリングすると、電源電流はサンプリング・レートに対してわずかにしか減少しない

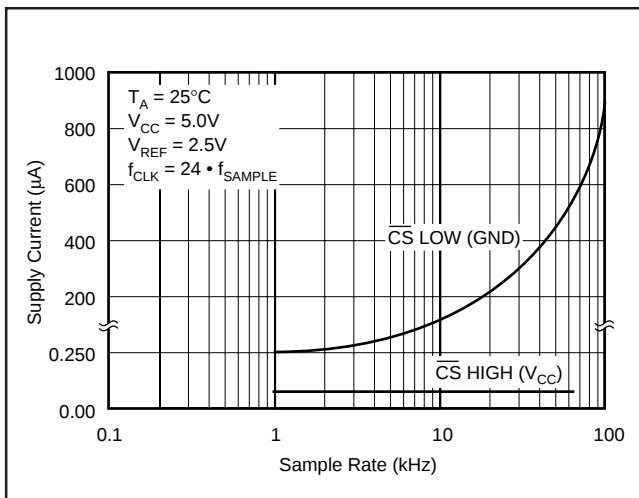


図10. $\overline{CS}$ が “ハイ” のときのシャットダウン電流はクロックに関係なく通常は50nAであり、 $\overline{CS}$ が “ロー” のときのシャットダウン電流はサンプリング・レートによって変化する

図8は、ADS8321の消費電流対サンプリング・レートのグラフです。このグラフでは、コンバータのクロックはサンプリング・レートに関係なく2.4MHzです。サンプリング周期内の残りの期間では $\overline{CS}$ は“ハイ”です。図9も消費電流対サンプリング・レートのグラフですが、DCLOCK周期がサンプリング周期の1/24である場合です。DCLOCKサイクル16回のうち1回で $\overline{CS}$ が“ハイ”になります。

変換完了後のパワーダウン・モードと $\overline{CS}$ が“ハイ”になったときの完全なパワーダウン・モードとの間には重要な区別があります。 $\overline{CS}$ が“ロー”の場合、アナログ部分だけがシャットダウンされます。デジタル部分が完全にシャットダウンされるのは、 $\overline{CS}$ が“ハイ”になったときだけです。したがって、変換の終わりに $\overline{CS}$ が“ロー”のままの状態でもコンバータに連続してクロックが供給されると、消費電力は $\overline{CS}$ が“ハイ”のときほど低くなりません。詳細は図10を参照してください。

ショート・サイクル

電力を節約するもう1つの方法は、 $\overline{CS}$ 信号を利用して変換のショート・サイクルを行うことです。ADS8321は最新のデータ・ビットをその生成時に D_{OUT} ラインに置くので、コンバータのショート・サイクルは簡単です。ショート・サイクルとは、変換を任意の時点で終了させる機能です。たとえば、変換結果のうち14ビットだけが必要である場合、14番目のビットがクロック・アウトされた後で変換を終了させる($\overline{CS}$ を“ハイ”にする)ことができます。

この技法は、何らかの条件が真になるまでアナログ信号を監視するようなアプリケーションで消費電力を低減する(または変換速度を上げる)ために使用できます。たとえば、信号が事前に定義した範囲の外にあり、16ビットの変換結果の全部は必要でない場合もあります。そのような場合は、最初のnビットの後で変換を終了させることができます(nは3や4といった小さな数)。この結果、コンバータにおいて(システム内のそれ以外の部分でも)パワーダウン・モードの時間が長くなり、消費電力が低減されます。

回路レイアウト

最適な性能を確保するためには、ADS8321の回路のレイアウト設計に細心の注意を払う必要があります。これは特にリファレンス電圧が低い場合やコンバータの変換速度が高い場合、またはその両方に言えることです。100kHzの変換レートで、ADS8321は416nsごとにビットを判定します。つまり、各ビットの判定ごとに、直前のビット判定の結果によるデジタル出力の更新、キャパシタ・アレイの適切なスイッチングと充電、およびコンバータ入力の16ビット・レベルへの安定が、すべて1クロック・サイクル内で行われなければなりません。

SARアーキテクチャは基本的にコンバータの出力がラッチされる直前に発生する電源、リファレンス、グランド接続のスパイクに敏感です。したがって、“n”ビットのSARコンバータによって1回の変換動作が実行される期間中に、大きな外部トランジェント電圧の発生によって変換結果に容易に悪影響が及ぶ可能性の高い“ウィンドウ”がn個存在することになります。このようなスパイクは電源、デジタル・ロジック、ハイパワー・デバイスなどのスイッチングによって生じる場合があります。グリッチがコンバータのDCLOCK信号にほとんど同期している場合、特定の誤差ソースを突き止めるのは困難です。これは、グリッチと信号の間の位相差が時間と温度によって変化し、散発的な誤動作が起こるためです。

これらに十分留意し、ADS8321にはクリーンな電源を用意し、十分にバイパスしてください。0.1 μ Fのバイパス用セラミック・コンデンサをデバイスに可能な限り近接させて配置してください。さらに、容量が1 μ Fから10 μ Fまでのコンデンサと5 Ω または10 Ω の直列抵抗を使用して、ノイズ発生要因である電源のローパスフィルタ処理を行うことも可能です。

電圧リファレンスも同様に0.1 μ Fのコンデンサでバイパスしてください。ここでも、直列抵抗と容量の大きなコンデンサを使用してリファレンス電圧のローパスフィルタ処理を行うことが可能です。リファレンス電圧をオペアンプから生成している場合には、そのオペアンプが発振せずにバイパス・コンデンサをドライブする能力を備えていることを確認してください(この場合には直列抵抗が役立ちます)。ADS8321が電圧リファレンスから消費する平均電流はほんのわずかに過ぎませんが、それでも外部入力とリファレンス回路には瞬間的に大きな電流が流れる場合があることに注意してください。

バー・ブラウンのOPA627オペアンプは信号とリファレンス入力の両方のバッファリングに最適なパフォーマンスを提供します。低コスト、低電圧の単一電源アプリケーションに対しては、デュアル・オペアンプOPA2350またはOPA2340をお勧めします。

ADS8321アーキテクチャには、本質的に電圧リファレンス入力に関するノイズまたは電圧変動の除去性能が用意されていないことにも注意してください。電圧リファレンス入力を電源に接続する際、この点が特に重要な留意事項になります。電源からノイズとリップルが少しでも発生しただけで、デジタル結果に直接反映されます。前の項で説明したように、高周波ノイズ

はフィルタによって除去することが可能ですが、ライン周波数(50Hzまたは60Hz)による電圧変動を排除することは非常に困難です。

ADS8321のGNDピンはクリーンなグランド・ポイントに接続してください。多くの場合、これを“アナログ・グランド”にします。マイクロプロセッサ、マイクロコントローラまたはデジタル・シグナル・プロセッサのグランド・ポイントに極端に近接した箇所に接続を行わないでください。必要であれば、コンバータから電源の入口までを直接接続するグランド・パターンを設けてください。コンバータと関連アナログ回路専用のアナログ・グランド・プレーンを用意すると理想的な回路レイアウトになります。

アプリケーション回路

図11に基本的なデータ・アキュイジション・システムを示します。リファレンス入力が外部の+2.5Vリファレンスに接続されているので、ADS8321の入力レンジは+2.5V $\pm$ 2.5Vです。5 Ω の抵抗と1 μ Fから10 μ Fのコンデンサによって、電源のマイクロコントローラ“ノイズ”や電源自体の高周波ノイズのフィルタ処理が行われます。フィルタがノイズを適切に除去するように、正確な値を選んでください。

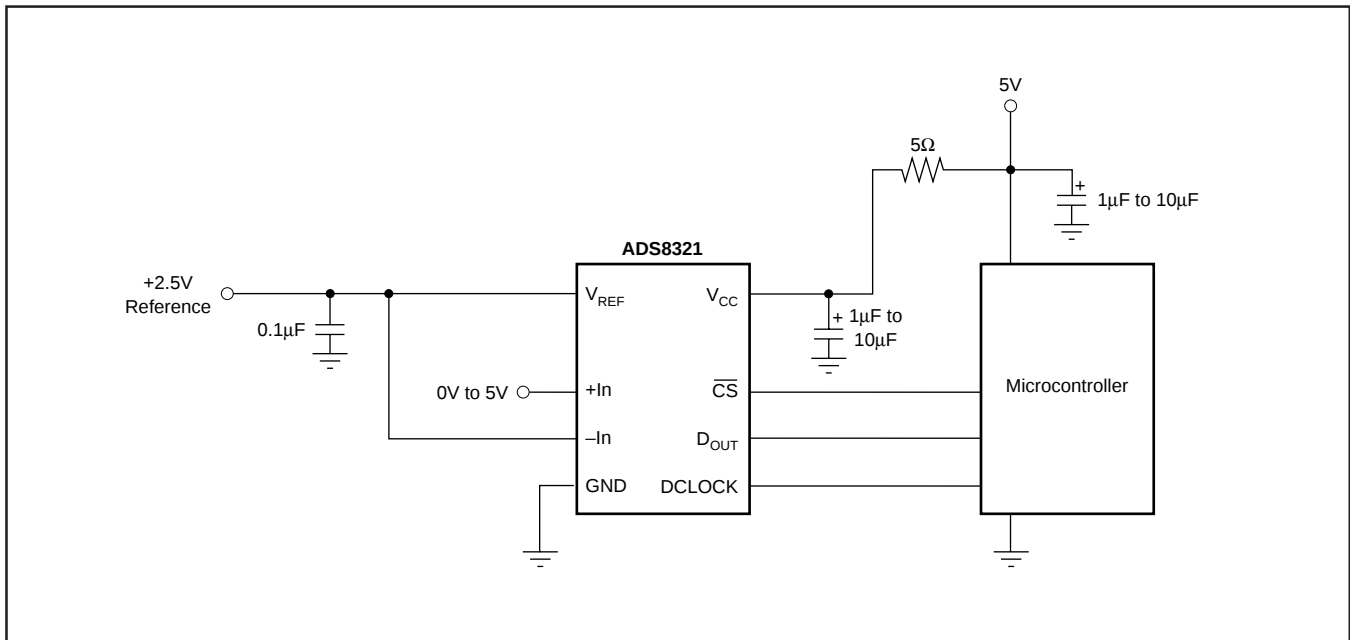


図11．基本的なデータ・アキュイジション・システム

外觀

