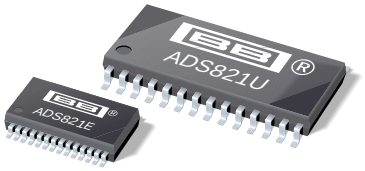
BURR-BROWN®

先端技術の融合と創造

ADS821



SpeedPLUS™

10ビット、40MHzサンプリング A/Dコンバータ

特　長

- ノー･ミッシング･コード
- 低消費電力：380mW
- 基準電圧内蔵
- 高SNR：58dB
- 広帯域トラック/ホールド：65MHz
- パッケージ：28ピンSOPおよびSSOP

アプリケーション

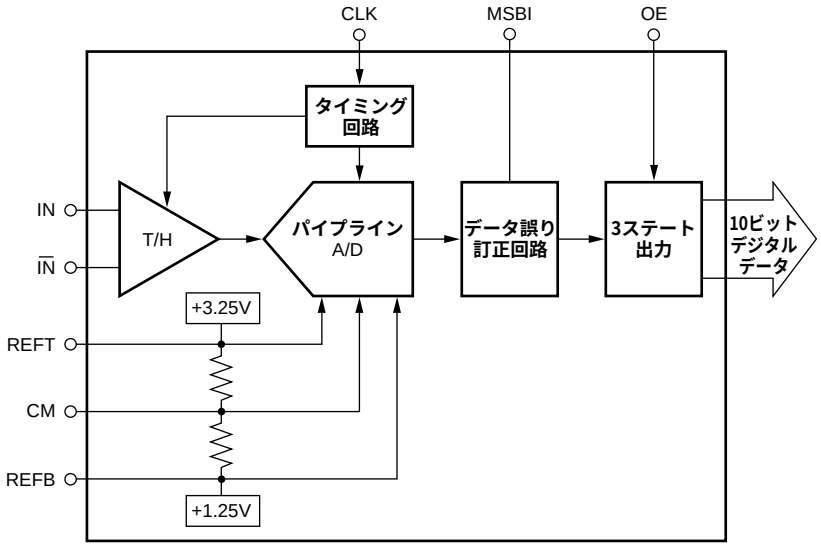
- IFおよびベースバンドのデジタル信号化
- 超音波画像処理
- ガンマ･カメラ
- デジタル通信
- CCD画像処理
  - 複写機
  - スキャナ
  - カメラ
- ビデオのデジタル信号化

概　要

ADS821は、サブ･ミクロン･ルールのCMOSプロセスによる低消費電力なモノリシック10ビット、40MHz A/Dコンバータです。この完成されたコンバータは、10ビット量子化回路、内部トラック/ホールド、基準電圧および3ステート出力を備えています。+5V単一電源で動作し、構成により差動入力信号もシングル･エンド入力信号も処理できます。

ADS821は、データ誤り訂正回路の採用により優れたナイキスト微分直線性性能を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。低歪、高SNR、高いオーバ･サンプリング能力などの特長により、通信やビデオなどのアプリケーションに必要な特性に対し、十分な余裕が得られます。

この高性能コンバータは、40MHzのサンプリング･レートで指定された、または全温度範囲にわたってACおよびDC性能の仕様が規定されています。ADS821は、28ピンSOPおよびSSOPで供給されます。



仕様

特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

パラメータ	条件	温度	ADS821U(SOP) 最小	ADS821U(SOP) 標準	ADS821U(SOP) 最大	ADS821E(SSOP) 最小	ADS821E(SSOP) 標準	ADS821E(SSOP) 最大	単位
分解能					10			*	Bits
仕様温度範囲	$T_{AMBIENT}$		–40		+85	*(1)		*	°C
アナログ入力									
差動フルスケール入力レンジ			+1.25		+3.25	*		*	V
同相モード電圧				+2.25			*		V
アナログ入力帯域幅(–3dB)									
小信号	–20dBFS(2) 入力	+25°C		120			*		MHz
フルパワー	0dBFS 入力	+25°C		65			*		MHz
入力インピーダンス				1.25 ‖ 4			*		MΩ ‖ pF
デジタル入力									
ロジック・ファミリ				TTL/HCT互換CMOS			TTL/HCT互換CMOS		
変換コマンド	変換開始			立ち下がりエッジ			立ち下がりエッジ		
精度(3)									
ゲイン誤差		+25°C		±0.6	±1.5		*	*	%
		全温度		±1.1	±2.5		*	*	%
ゲイン温度係数				±85			*		ppm/°C
ゲインの電源除去	Δ$+V_S$=±5%	+25°C		0.01	0.15		*	*	%FSR/%
入力オフセット誤差		全温度		±2.1	±3.5		*	*	%
オフセットの電源除去	Δ$+V_S$=±5%	+25°C		0.02	0.15		*	*	%FSR/%
変換特性									
サンプリング・レート			10k		40M	*		*	サンプル/s
データ待ち時間				6.5			*		変換サイクル
ダイナミック特性									
微分直線性誤差	t_H = 13ns(4)								
f=500kHz		+25°C		±0.5	±1.0		*	*	LSB
		0°C～+70°C		±0.6	±1.0		*	*	LSB
f=12MHz		+25°C		±0.5	±1.0		*	*	LSB
		0°C～+70°C		±0.6	±1.0		*	*	LSB
ノー・ミッシング・コード		0°C～+70°C		保証			*		
積分直線性誤差 (f=500kHz)		0°C～+70°C		±0.5	±2.0		*	*	LSB
スプリアスフリー・ダイナミック・レンジ (SFDR)									
f=500kHz(–1dBFS入力)		+25°C	60	70		*	*		dBFS
		全温度	54	67		*	*		dBFS
f=12MHz(–1dBFS入力)		+25°C	58	63		*	*		dBFS
		全温度	54	62		*	*		dBFS
ツートーン相互変調歪 (IMD)(5)									
f=4.4MHzおよび4.5MHz (–7dBFS、各トーン)		+25°C		–61			*		dBc
		全温度		–60			*		dBc
信号対雑音比 (SNR)									
f=500kHz(–1dBFS入力)		+25°C	57	59		55	*		dB
		全温度	55	59		53	*		dB
f=12MHz(–1dBFS入力)		+25°C	56	58		54	*		dB
		全温度	54	58		52	*		dB
信号対(雑音+歪)(SINAD)									
f=500kHz(–1dBFS入力)		+25°C	56	58.5		*	*		dB
		全温度	52	58		*	*		dB
f=12MHz(–1dBFS入力)		+25°C	53	57		*	*		dB
		全温度	50	56		*	*		dB
微分ゲイン誤差	NTSCまたはPAL	+25°C		0.5			*		%
微分位相誤差	NTSCまたはPAL	+25°C		0.1			*		degrees
有効ビット(6)	f_{IN} = 3.58MHz	+25°C		9.3			*		Bits
アパーチャ・ディレイ時間		+25°C		2			*		ns
アパーチャ・ジッタ		+25°C		7			*		ps rms
過電圧復帰時間(7)	1.5×フルスケール入力	+25°C		2			*		ns

注：(1)*印仕様は、ADS821Uと同じであることを示します。 (2)dBFSは、フルスケールのdBを表します。 (3)パーセンテージ精度は、内部A/Dのフルスケール・レンジ4Vp-pを基準とします。 (4)SOPおよびSSOPの保証された微分直線性の性能およびノー・ミッシング・コード条件については、タイミング図の注を参照して下さい。 (5)IMDは、2つの入力信号のうち大きい方を基準とします。ピーク・エンベロープ電力(≈0dB)を基準とする場合、相互変調積は7dB低くなります。 (6) (SINAD – 1.76) / 6.02に基づきます。 (7)ビットの' ロールオーバ 'はありません。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様 (続き)

特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

パラメータ	条件	温度	ADS821U(SOP) 最小	ADS821U(SOP) 標準	ADS821U(SOP) 最大	ADS821E(SSOP) 最小	ADS821E(SSOP) 標準	ADS821E(SSOP) 最大	単位
出力									
ロジック・ファミリ				TTL/HCT互換CMOS			TTL/HCT互換CMOS		
ロジック・コーディング	ロジック選択可能			SOBまたはBTC			SOBまたはBTC		
ロジック・レベル	ロジック"ロー"、C_L=15pF(最大)	全温度	0		0.4	*		*	V
	ロジック"ハイ"、C_L=15pF(最大)	全温度	+2.5		$+V_S$	*		*	V
3ステート・イネーブル時間				20	40		*	*	ns
3ステート・ディスエーブル時間		全温度		2	10		*	*	ns
電源条件									
電源電圧：$+V_S$	動作時	全温度	+4.75	+5	+5.25	*	*	*	V
電源電流：$+I_S$	動作時	+25°C		76	88		*	*	mA
	動作時	全温度		78	90		*	*	mA
消費電力	動作時	+25°C		380	440		*	*	mW
	動作時	全温度		390	450		*	*	mW
熱抵抗、θ_{JA}				75			50		°C/W

パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ図番号(1)	温度範囲
ADS821U	28ピンSOP	217	–40°C～+85°C
ADS821E	28ピンSSOP	324	–40°C～+85°C

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

絶対最大定格

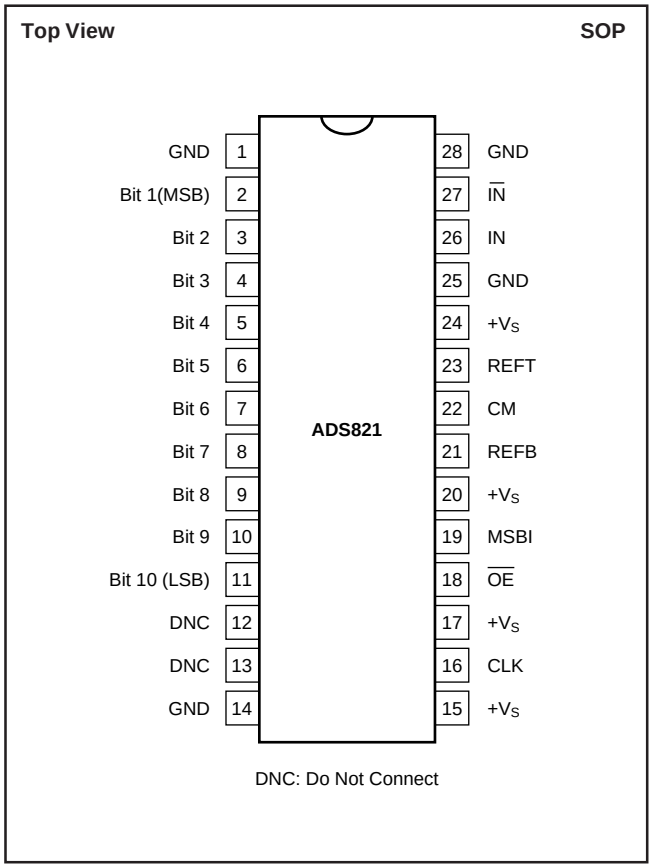
$+V_S$	+6V
アナログ入力	0V～($+V_S$+300mV)
ロジック入力	0V～($+V_S$+300mV)
ケース温度	+100°C
接合部温度	+150°C
保存温度	+125°C
高電位基準電圧(REFT)への外部印加電圧	+3.4V(最大)
低電位基準電圧(REFB)への外部印加電圧	+1.1V(最小)

注：(1)定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

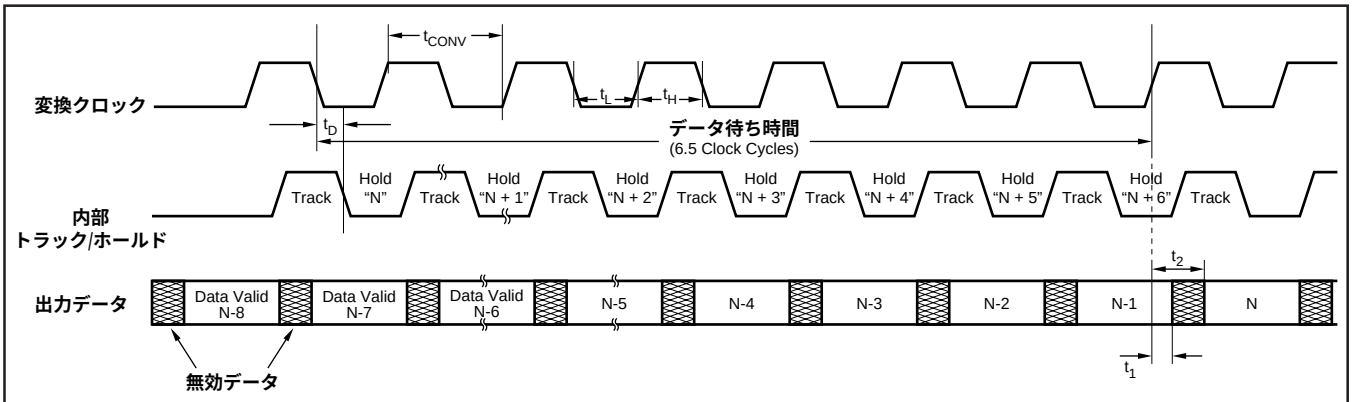
ピン配置



ピン構成

ピン	記号	説明
1	GND	グランド
2	B1	ビット1、最上位ビット
3	B2	ビット2
4	B3	ビット3
5	B4	ビット4
6	B5	ビット5
7	B6	ビット6
8	B7	ビット7
9	B8	ビット8
10	B9	ビット9
11	B10	ビット10、最下位ビット
12	DNC	外部接続不可(オープン)。
13	DNC	外部接続不可(オープン)。
14	GND	グランド
15	$+V_S$	+5V電源
16	CLK	変換クロック入力、50%デューティ・サイクル
17	$+V_S$	+5V電源
18	$\overline{OE}$	ハイは高インピーダンス状態。ローまたはオープンでは通常動作。内部プルダウン抵抗。
19	MSBI	最上位ビット反転。ハイはMSBが反転されたバイナリ2の補数出力(BTC)。 ローまたはオープンではストレート出力(SOB)。内部プルダウン抵抗。
20	$+V_S$	+5V電源
21	REFB	低電位基準電圧バイパス。内部+1.25V基準電圧の外部バイパス用。
22	CM	同相モード電圧。(REFT+REFB)/2で求まる。
23	REFT	高電位基準電圧バイパス。内部+3.25V基準電圧の外部バイパス用。
24	$+V_S$	+5V電源
25	GND	グランド
26	IN	非反転入力
27	$\overline{IN}$	反転入力
28	GND	グランド

タイミング図



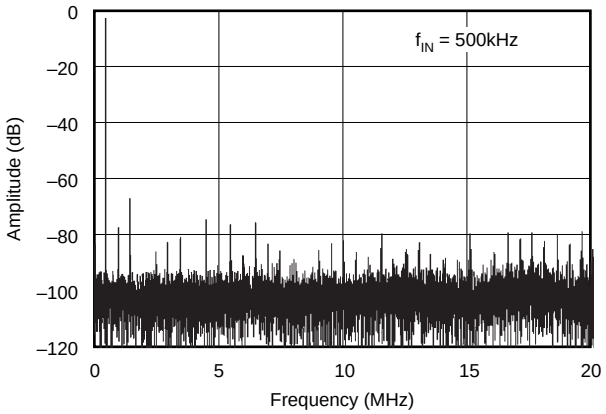
記号	説明	最小	標準	最大	単位
t_{CONV}	変換クロック時間	25		100μs	ns
t_L	クロック・パルス"ロー"	12	12.5		ns
t_H	クロック・パルス"ハイ"	12(2)	12.5		ns
t_D	アパーチャ・ディレイ		2		ns
t_1	データ・ホールド時間 C_L = 0pF	3.9			ns
t_2	新データ・ホールド時間 C_L = 15pF max			12.5	ns

注：(1) " ≀ " は、低速のサンプリング・レートで広がる波形の部分を示します。
(2)SOPでは条件として$t_{CONV} \leq 28ns$で$f_{IN} < 2MHz$の場合、ミッシング・コードを発生させないためにはt_Hを13ns(最小)にして下さい。SSOPで最高の性能を得るためには、入力周波数にかかわらずt_Hを13ns(最小)にし、$t_{CONV} \leq 28ns$でなければなりません。この条件を満たすことが可能なクロック・スキュー回路を、クロック条件の項に示します。

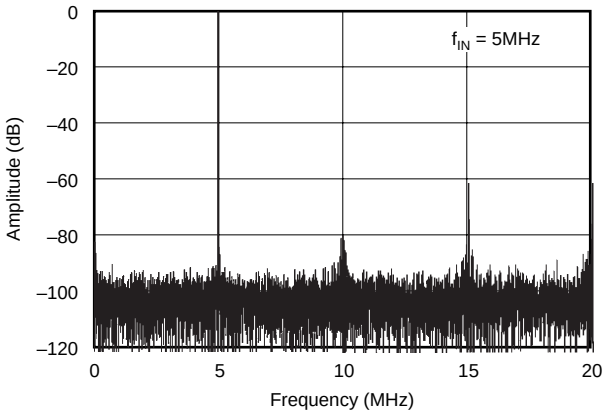
代表的性能曲線

特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

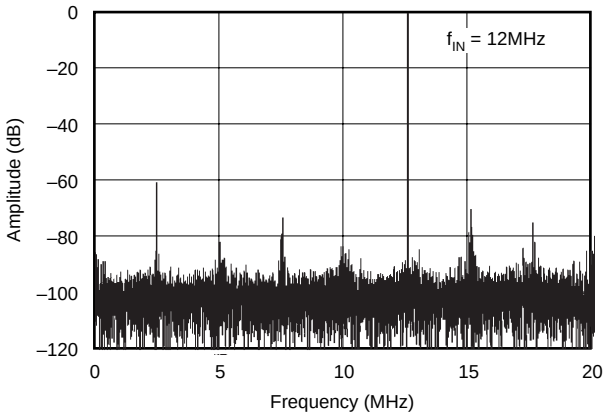
周波数スペクトル



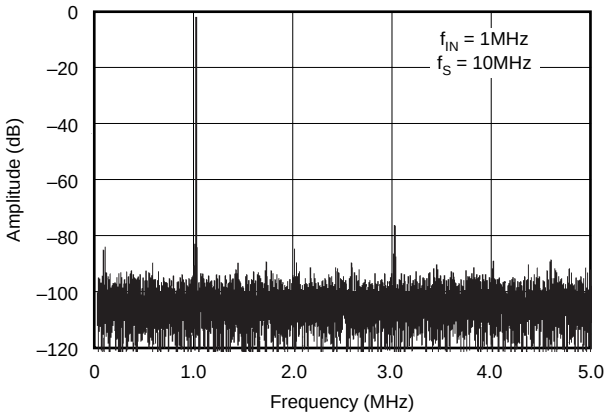
周波数スペクトル



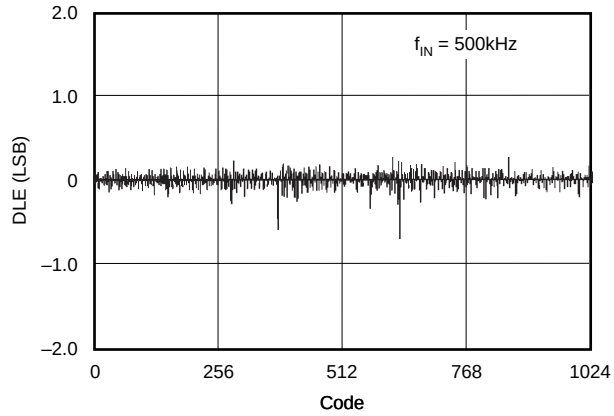
周波数スペクトル



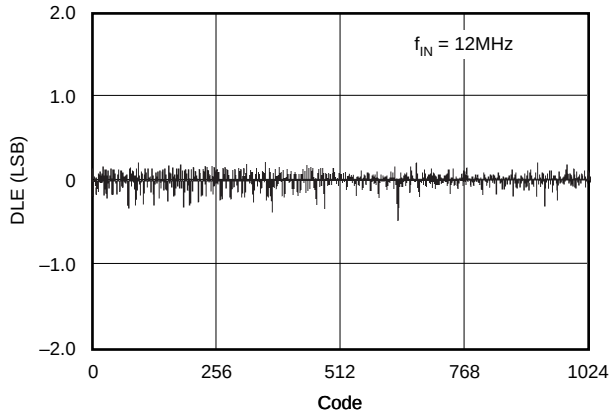
周波数スペクトル



微分直線性誤差



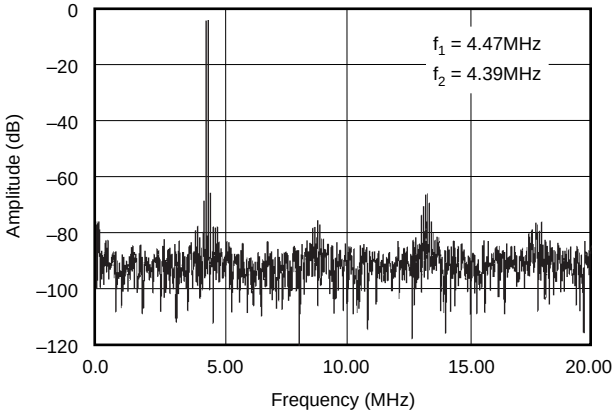
微分直線性誤差



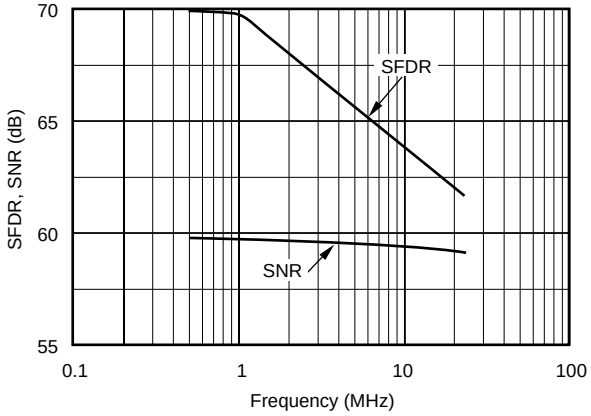
代表的性能曲線

特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

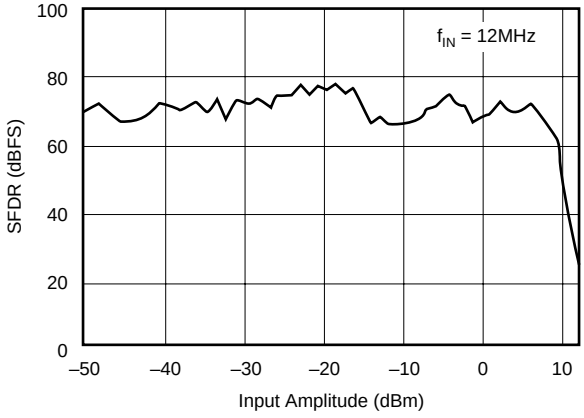
ツートーン相互変調



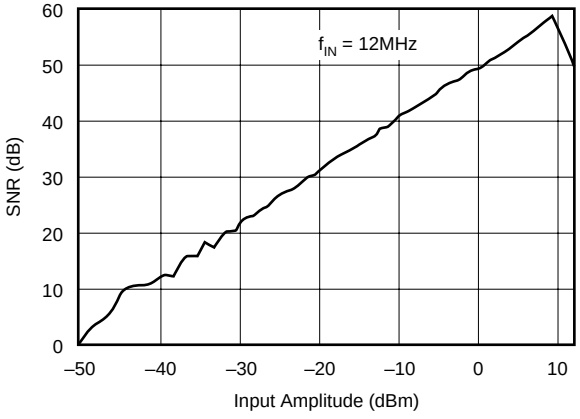
入力周波数対ダイナミック特性



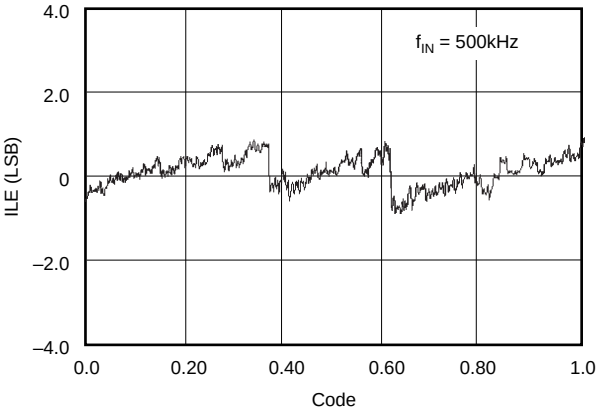
入力掃引電力対SFDR



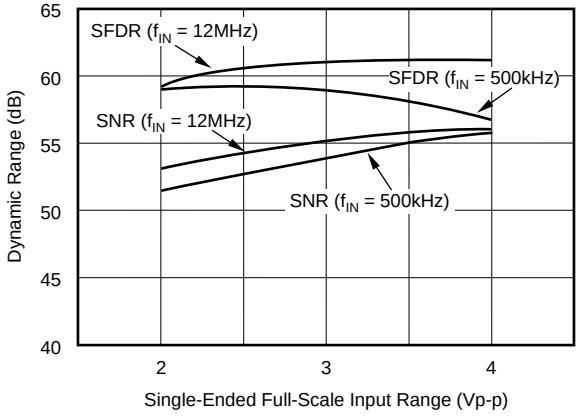
入力掃引電力対SNR



積分直線性誤差



ダイナミック性能対シングルエンド・フルスケール入力レンジ

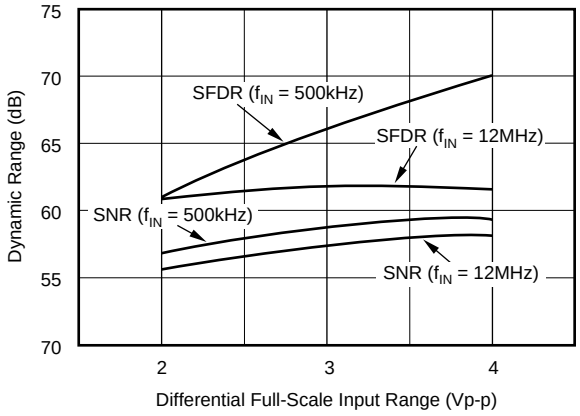


注：外部$REFT_{EXT}$を変化させ、REFBを+1.25Vの内部値に固定。

代表的性能曲線

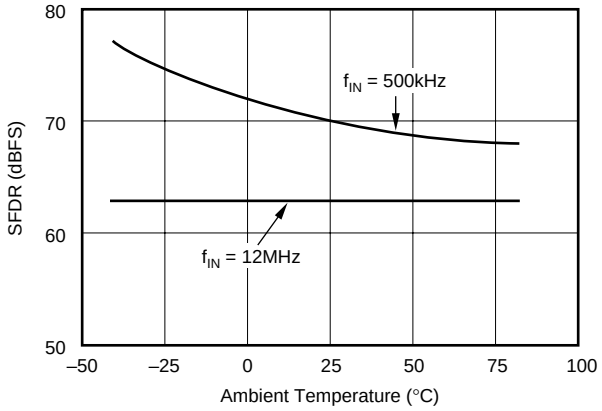
特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

ダイナミック性能対差動フルスケール入力レンジ

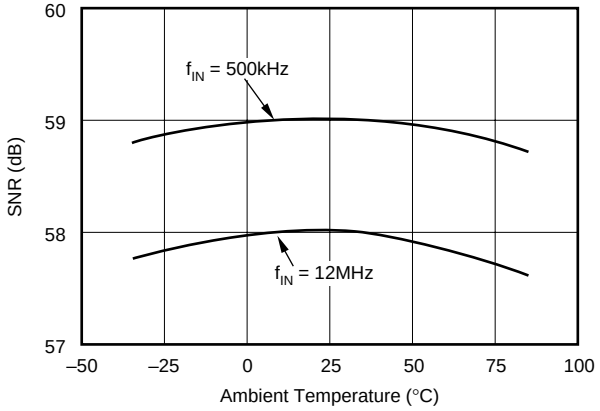


注：外部$REFT_{EXT}$を変化させ、REFBを+1.25Vの内部値に固定。

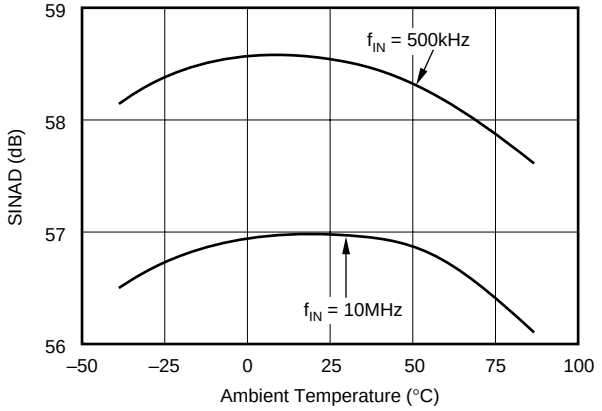
スプリアスフリー・ダイナミック・レンジ(SFDR)対温度



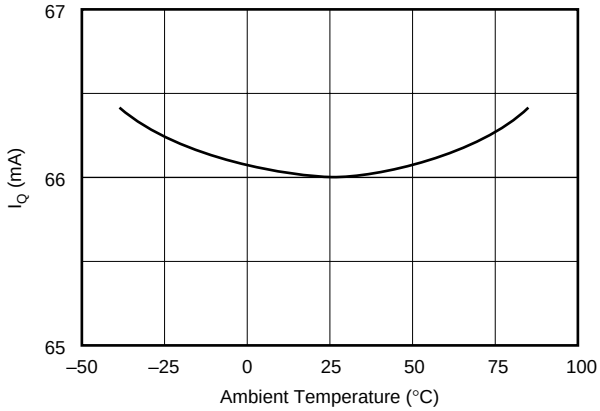
信号/雑音比対温度



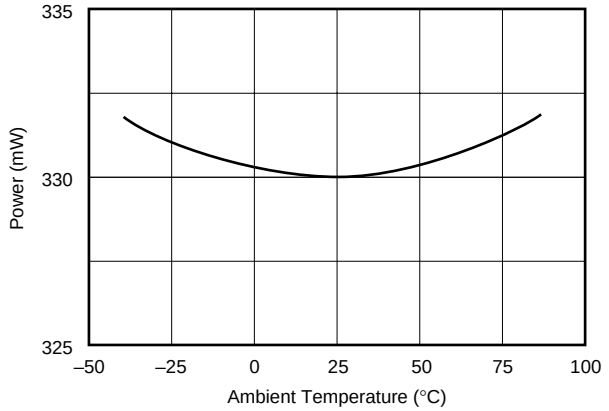
信号/(雑音+歪)対温度



電源電流対温度



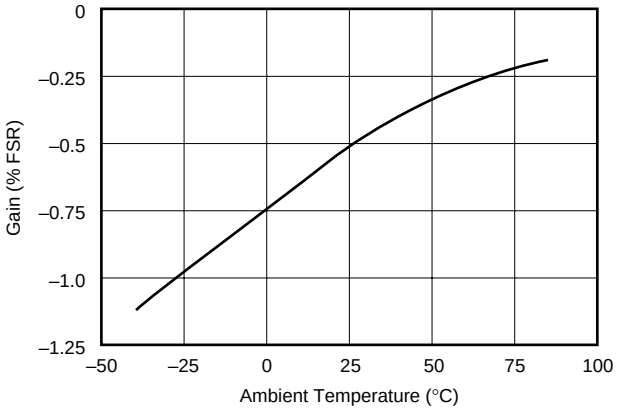
消費電力対温度



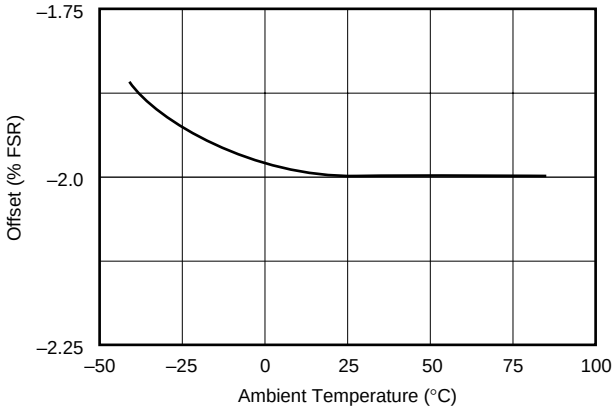
代表的性能曲線

特に記述のない限り、T_A=+25°C、V_S=+5V、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

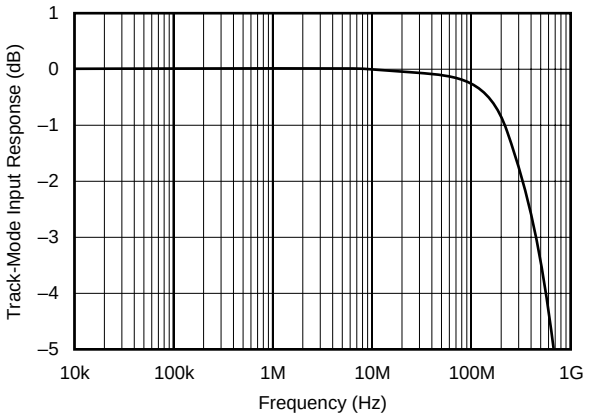
ゲイン誤差対温度



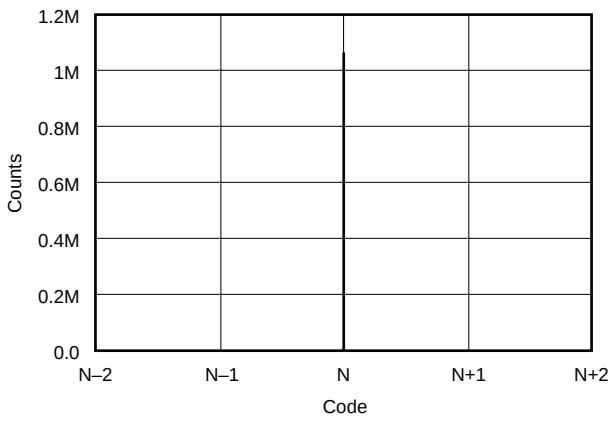
オフセット誤差対温度



トラック・モード小信号帯域幅



出力雑音ヒストグラム（入力は接地）



動作原理

ADS821は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動アーキテクチャおよびデータ誤り訂正回路を使用して10ビットの分解能を保証しています。差動トラック/ホールド回路を図1に示します。重なりのない2つの位相信号φ1およびφ2からなる内部クロックによってスイッチを制御し、サンプリング時には、入力信号がオペアンプ・バイアスを基準電位とした入力コンデンサC_Iにチャージされます。次のクロック位相(φ2)では、入力コンデンサの入力側電極が相互に接続され、帰還コンデンサC_Hはオペアンプ出力に接続されます。このとき、電荷がC_IおよびC_Hの間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDC値としてホールドした値となります。トラック/ホールド回路は、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換することもできます。

図2に示すように、パイプライン方式の量子化回路アーキテクチャは9段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックの2倍の周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。

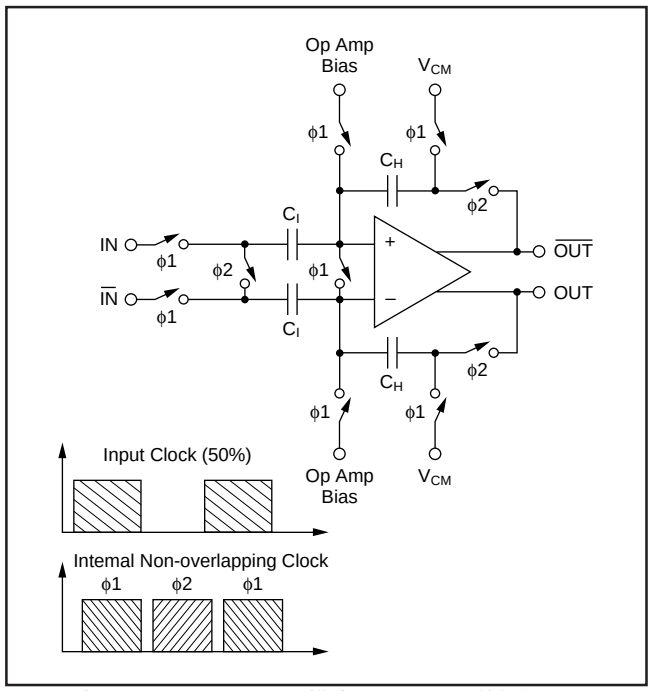


図1. 入力トラック/ホールドの構成とタイミング信号

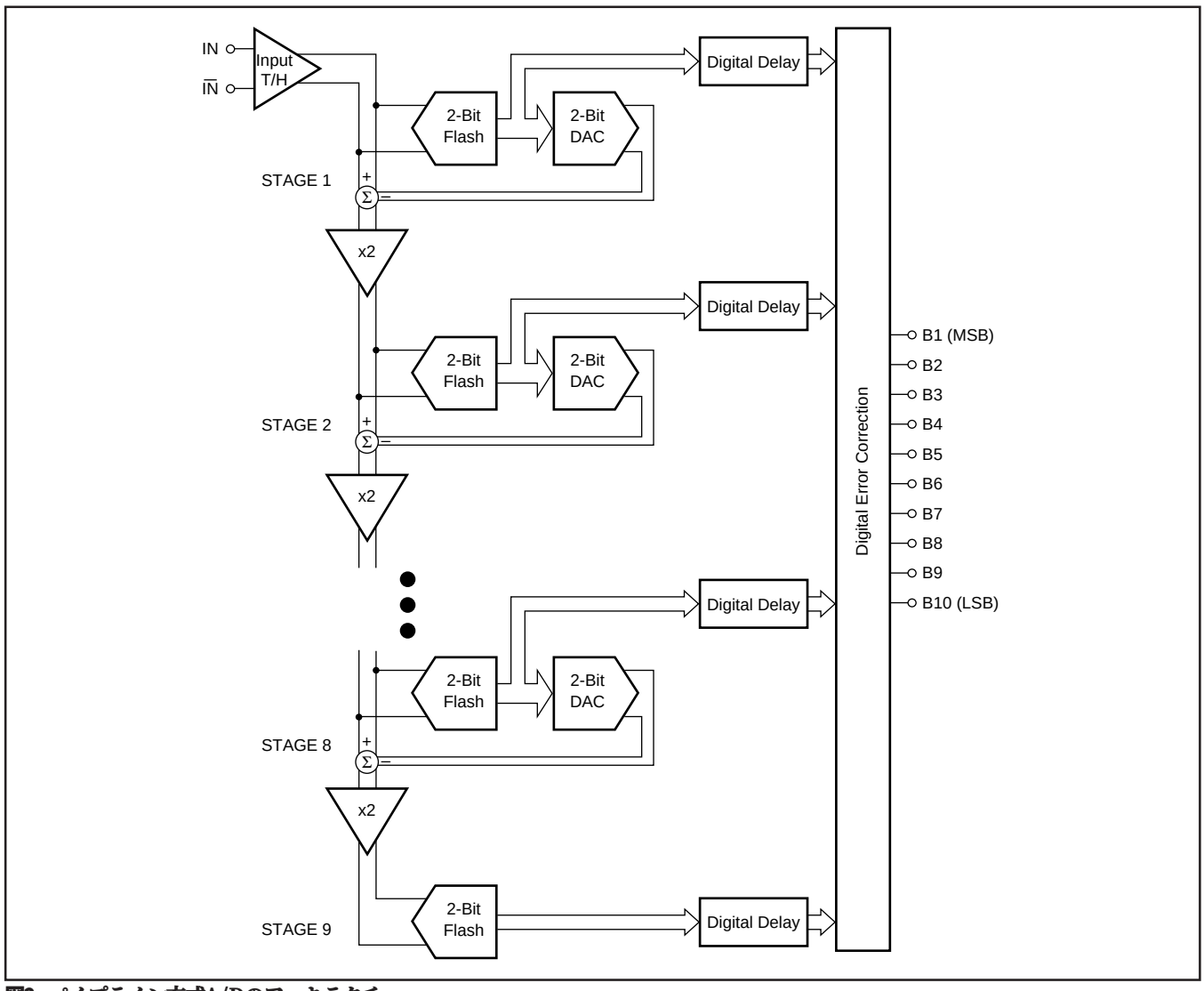


図2. パイプライン方式A/Dのアーキテクチャ

このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に供給されます。ADS821はこの技術により、優れた微分直線性が得られ、10ビット・レベルのノー・ミッシング・コードが保証されます。

変換開始信号から有効データ出力まで6.5クロック・サイクルのデータ待ち時間があります。出力データのフォーマットは、ストレート・オフセット・バイナリ(SOB)またはバイナリ2の補数(BTC)を使用できます。

アナログ入力および内部基準電圧

ADS821のアナログ入力は、信号の性質や要求される性能レベルに応じて構成を変え、いろいろな回路でドライブすることができます。ADS821は、A/Dのフルスケール入力レンジを設定する内部基準電圧を備えています。差動入力レンジでは、各入力が+2.25Vの同相モード電圧を中心として、2つの入力に対するフルスケール・レンジはそれぞれ+1.25V～+3.25Vになっています。各入力のスパン電圧は2Vで、相互に180° の位相差があるため、量子化回路に供給される差動入力信号は4Vになります。図3に示すように、同相モード電圧(CM)に対し高電位の基準電圧(REFT)および低電位の基準電圧(REFB)には外部バイパス用のピンが設けられています。また、同相モード電圧(CM)を基準電圧として利用し、ドライブ回路に適正なオフセットを供給できます。ただし、この基準ノードには大きな負荷をかけないように注意することが必要です。外部基準電圧、シングル・エンド入力およびADS821のドライブ回路の詳細については、アプリケーションの項を参照して下さい。

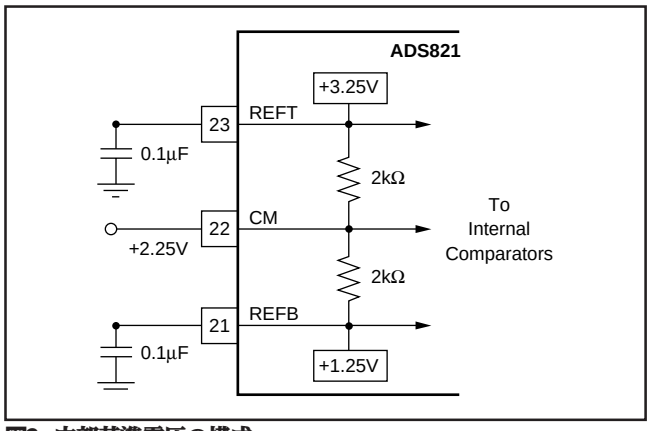


図3. 内部基準電圧の構成

クロック条件

CLKピンにはCMOSレベルのクロックを入力します。外部から与えられるクロックの立ち上がりおよび立ち下がりエッジは、パイプラインにおける各ステージの変換を制御します。したがって、クロック信号のジッタ、立ち上がり/立ち下がり時間およびデューティ・サイクルは変換性能に影響をおよぼします。

- クロック・ジッタは、周波数軸上の処理を行う環境においてSNR特性に大きく影響します。
- クロックの立ち上がり/立ち下がり時間は、可能な限り短くします(2ns以内が最良)。
- ほとんどのアプリケーションでは、クロック・デューティは50%に設定します。

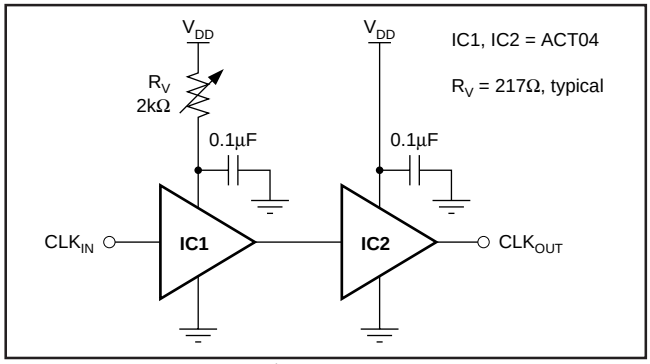


図4. クロック・スキュー回路

しかし、ノー・ミッシング・コードを必要とするアプリケーションで、SOPを使用する場合、デューティ・サイクルに微妙なスキュー差を与えることで、変換レート35MHz以上および入力周波数2MHz以下(タイミング図を参照)でのDNL特性を向上させます。SSOPで最良の性能を得るには、変換レートが35MHz以上の場合は、入力の信号周波数に関係なくクロックをスキューさせます。50%デューティ・サイクル・ソースをスキューする方法については、図4を参照してください。

デジタル出力データ

10ビット出力データは、CMOSロジック・レベルで出力されます。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。この条件は、ピン19が ロー "またはオープン(内部で抵抗によりプルダウン)になっている場合です。このピンにハイ電圧を印加すると、最上位ビットが反転するバイナリ2の補数出力になります。ADS821のデジタル出力は、$\overline{OE}$(ピン18)にロジック" ハイ "を与えることによって高インピーダンス状態にできます。ピン18が ロー "またはオープン(内部でプルダウン)になっている場合は、通常動作になります。この機能を利用して、直接デジタル・バスをドライブしたり変換プロセス中に動的に変更すると精度が悪化します。

	出力コード	
差動入力[1]	SOB ピン19 オープンまたはロー	BTC ピン19 ハイ
+FS (IN =+3.25V、$\overline{IN}$ =+1.25V)	1111111111	0111111111
+FS –1LSB	1111111111	0111111111
+FS –2LSB	1111111110	0111111110
+3/4フルスケール	1110000000	0110000000
+1/2フルスケール	1100000000	0100000000
+1/4フルスケール	1010000000	0010000000
+1LSB	1000000001	0000000001
バイポーラ・ゼロ (IN =$\overline{IN}$ =+2.25V)	1000000000	0000000000
–1LSB	0111111111	1111111111
–1/4フルスケール	0110000000	1110000000
–1/2フルスケール	0100000000	1100000000
–3/4フルスケール	0010000000	1010000000
–FS+1LSB	0000000001	1000000001
–FS (IN =+1.25V、$\overline{IN}$ =+3.25V)	0000000000	1000000000

注：シングル・エンド入力モードでは+FS = +4.25V、–FS = +0.25Vになります。

表I. 出力データのコード表

アプリケーション

ADS821のドライブ

ADS821は、+2.25Vの同相モード基準電圧と差動入力を備えています。AC結合のアプリケーションでこの差動入力を作る最も簡単な方法は、トランスの1次側をシングル・エンド入力でドライブすることです。図5のように、センター・タップを+2.25Vの同相モード電圧(CM)に接続すると、2次側に適正な差動出力が発生します。このトランス結合による入力の構成では、良好な高周波AC性能が得られます。

トランスは、コアがフルスケール電圧レベルで飽和しない低歪なものを選択することが重要です。この例では、トランスが内部基準電圧の分割抵抗に大きな負荷をかけないため、同相モード(CM)出力のバッファは必要ありません。一般には、分割抵抗の直線性を維持するため、CM出力ピンから取り出す電流を0.5μA以下に抑えて下さい。OPA130などのFET入力オペアンプは、基準電圧をバッファして外部回路をドライブするのに適します。アナログINおよび$\overline{IN}$入力は、トラック/ホールドのグリッチを最小限に抑えて高周波入力の性能を改善するため、22pFコンデンサでバイパスすることが必要です。

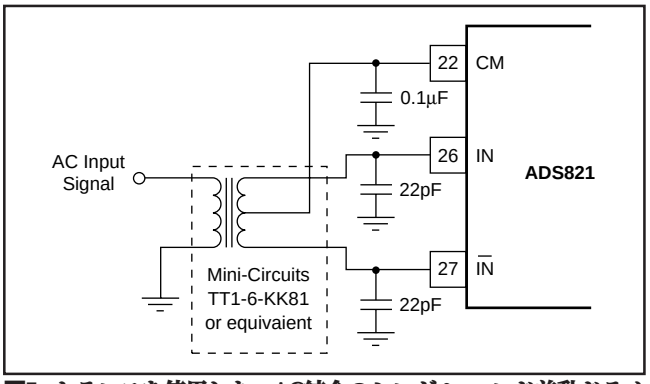


図5. トランスを使用した、AC結合のシングル・エンド差動ドライブ回路

図6に、ローコストな電流帰還型のOPA658をアクティブ・ゲイン段として使用した、AC結合によるシングル・エンド入力インターフェースの回路を示します。

この構成をゲイン+4、+5.8、+8.2でテストする場合、帯域幅を広げてより高いゲインでの歪を改善させるため、OPA658のフィードバック抵抗を標準の402Ωから360Ωに下げることが必要です。ゲイン抵抗はこの3種類のゲイン設定に対しそれぞれ120Ω、75Ω、50Ωとなります。2つの330Ω抵抗がAC結合の時定数を決定します。抵抗値を大きくすると、形成されたハイパスフィルタのコーナー周波数は変化しますが、必要に応じて変更することができます。図6では–3dB点は4.2kHzに設定されています。

図7に、トランスの代わりに低コストな抵抗およびコンデンサを使用したインターフェース回路の例を示します。信号帯域幅によって、データシートに記載された性能を維持するために、部品の値は慎重に選択して下さい。入力コンデンサC_{IN}および入力抵抗R_{IN}は、低域コーナー周波数$f_C = 1/(2\pi R_{IN} C_{IN})$で定まるハイパスフィルタを発生します。コーナー周波数は、R_{IN}もしくはC_{IN}の値を大きくすることによって低下させることができます。もし回路が50Ωもしくは75Ωのインピーダンス・レベルで動作している場合、抵抗値は固定したままで、コンデンサの値のみを増加します。通常AC使用する結合コンデンサは、1μF以上の電解コンデンサ、もしくはタンタル・コンデンサです。これらの大きな値のコンデンサは、入力周波数の増加とともにL成分が増加し、信号振幅誤差や発振につながることに留意して下さい。全信号帯域にわたり低いAC結合インピーダンスを維持したい場合は、小さな値(例：1μF)のセラミック・コンデンサを有極性コンデンサと並列に接続して下さい。

コンデンサC_{SH1}およびC_{SH2}は、入力部のトラック/ホールド段におけるスイッチングによる電流グリッチを最小にし、信号対雑音性能を向上させるために使用します。これらのコンデンサは、さらにローパスフィルタを形成し、ノイズ帯域幅を有効に低減するために使用できます。実極を形成するためには、抵抗R_{SER1}およびR_{SER2}を各入力へ直列に追加します。フィルタのカットオフ周波数は、$f_C = 1/(2\pi R_{SER} \bullet (C_{SH} + C_{ADC}))$で決定されます。

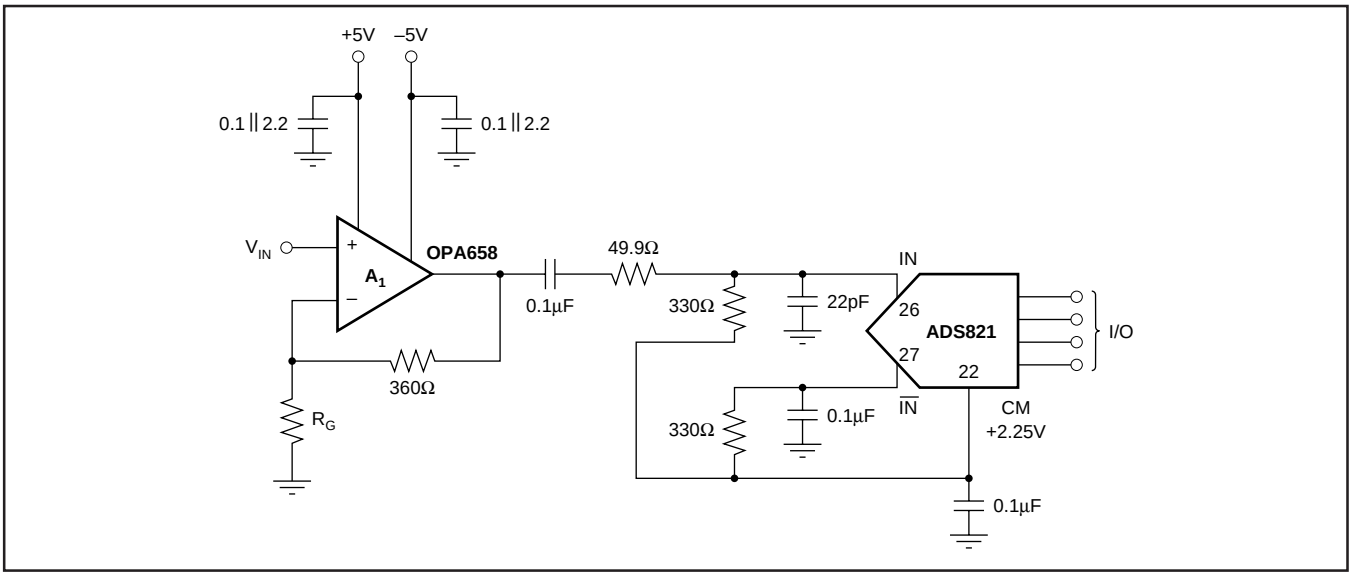


図6. ロー・コストAC結合シングル・エンド入力回路

ここで、R_{SER}は入力と直列な抵抗、C_{SH}は入力とグランド間の外部コンデンサ、そしてC_{ADC}はA/Dコンバータ内部の入力容量(標準4pF)です。

抵抗R_1およびR_2は、REFTおよびREFBの各リファレンスからドライブ用の同相モード電圧を合成するときに使用します。これらの抵抗によってリファレンスから引き出される電流が、合計1mAを超えないように抵抗値を選択しなければなりません。図7の回路では、合成同相モード電圧V_{CM}がリファレンスのREFTとREFBのちょうど中間(+2.25V)にくるように同じ値の二つの抵抗を使用していますが、入力波形によっては必ずしもそうする必要はありません。常に中点であるV_{CM}を低インピーダンスなACグランドとするため、グランドにバイパスされていなければなりません。

ADS821の入力に信号をDC結合する場合は、オペアンプで構成した入力回路が必要です。差動入力モードでは、シングル・エンド信号を差動信号に変えることが必要です。これは、2つのオペアンプを使用して、一方を非反転信号、他方を反転信号にして行います。図8の低歪回路は、グランドを中心とした信号を扱うために必要なオフセット・シフトを行っています。また、低歪の+3.25V出力振幅を保証するため、ダイオードを使用して出力レベルのシフトも行っています。

図9に、DC結合回路の別の例を示します。それほど低歪でなくてもよい場合は、OPA642の代わりに他のアンプを使用することがで

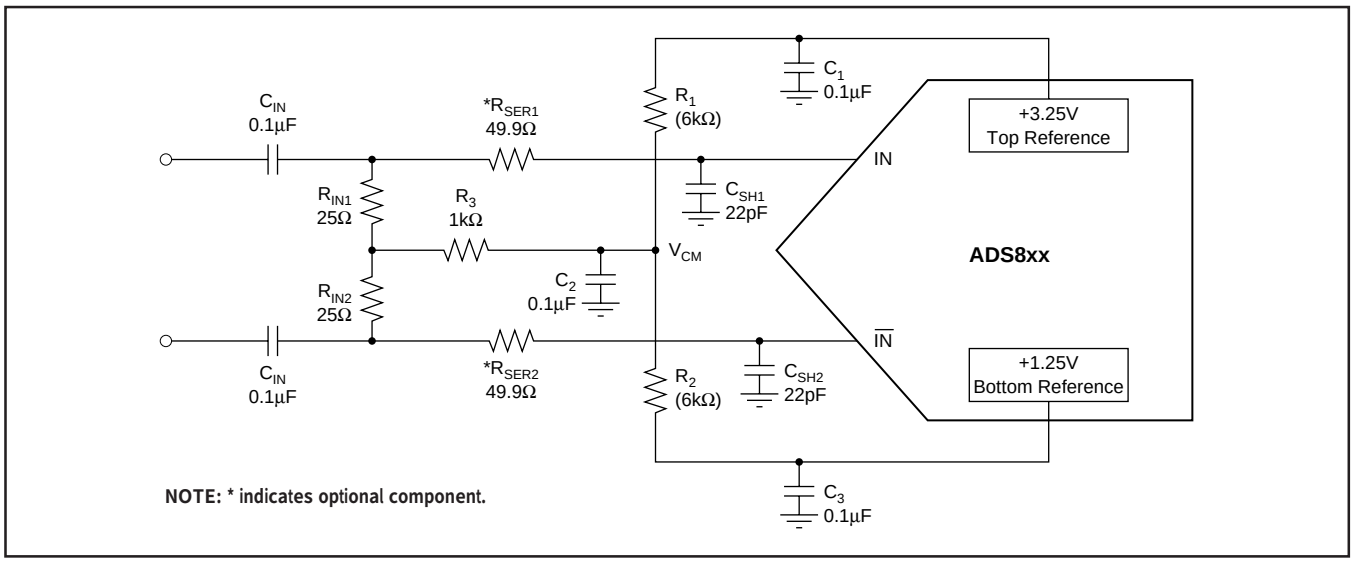


図7. AC結合作動入力回路

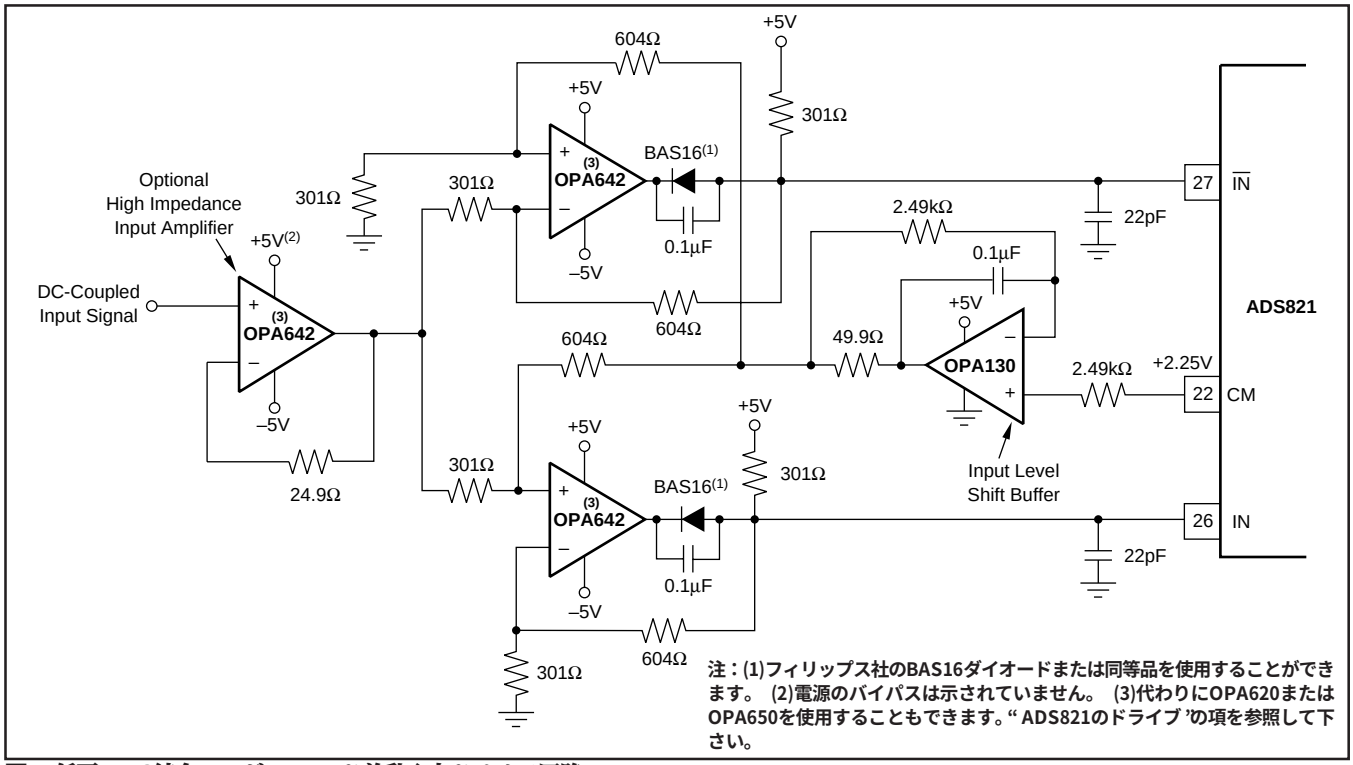
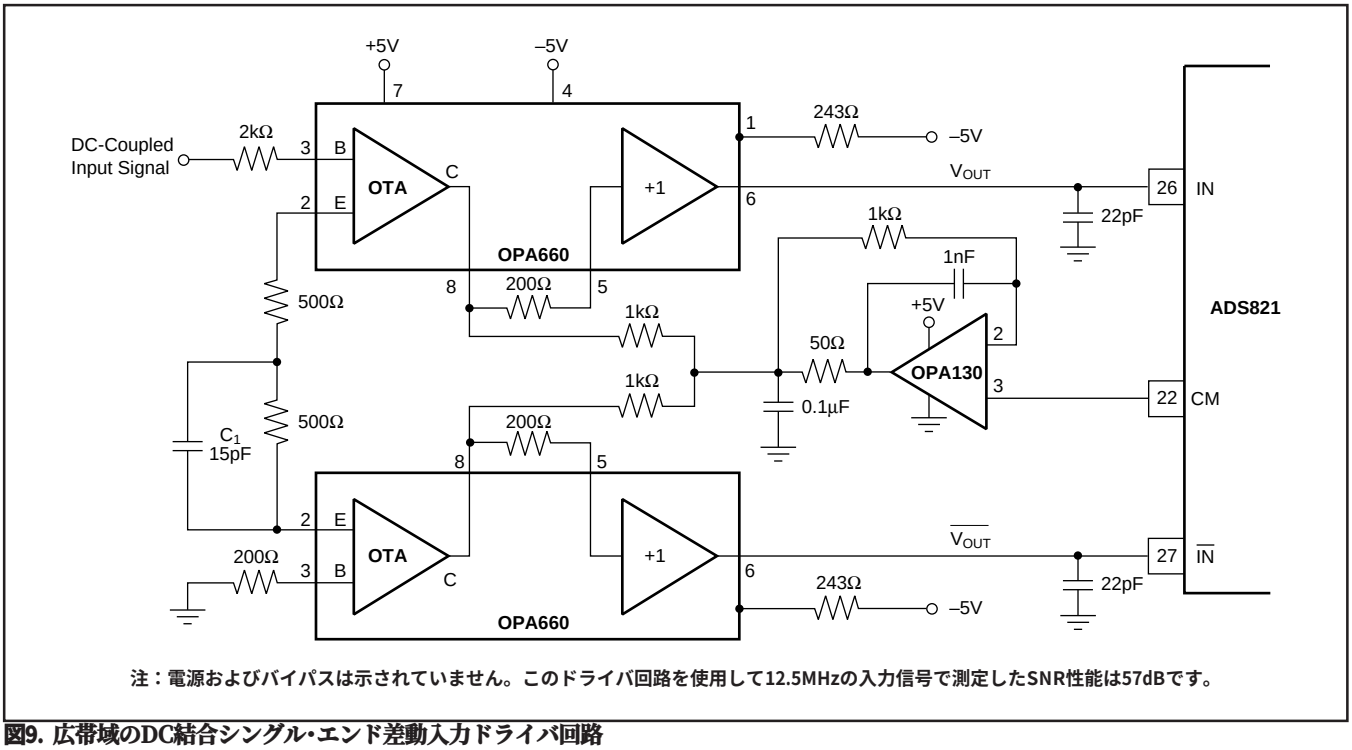


図8. 低歪のDC結合シングル・エンド差動入力ドライバ回路



注：電源およびバイパスは示されていません。このドライバ回路を使用して12.5MHzの入力信号で測定したSNR性能は57dBです。

図9. 広帯域のDC結合シングル・エンド差動入力ドライバ回路

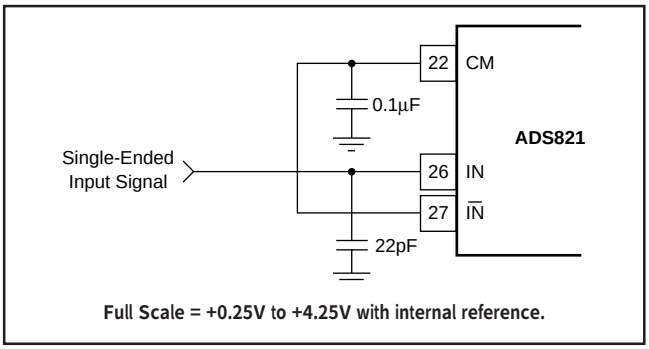


図10. シングル・エンドの入力接続

きます。出力レベル・シフト回路を使用しない場合は、±5Vの電源で+3.25Vまで直線的にスイング可能なオペアンプを選択して下さい。図8では、OPA642の代わりにOPA620およびOPA621、あるいは低消費電力のOPA650やOPA651を使用することができます。この構成の場合、OPA650およびOPA651の標準的な振幅は、正のフルスケールに対し100mV程度不足します。OPA621またはOPA651を使用する場合は、アンプを発振させないためにゲイン2に構成することが必要です。

ADS821は、図10に示すように、反転入力を同相モード基準電圧に接続することにより、フルスケール・レンジ+0.25V～+4.25Vのシングル・エンド入力に構成できます。この構成では、特に高い入力周波数で偶数次の高調波が増加します。しかし、このトレードオフは、FFTなどを行なわない時間領域のアプリケーションには全く問題がありません。この場合、ドライブ・アンプは+0.25V～+4.25Vの出力振幅で十分な直線性をもつことが必要です。

外部基準電圧源およびフルスケール・レンジの調整

内部基準電圧バッファは、出力電流が約1mAに制限されています。このため、これら+1.25Vおよび+3.25Vの内部基準電圧源は、最低18mA(室温)の出力ドライブ能力をもつ外部基準電圧源で強制ドライブできます。この場合、同相モード電圧は2つの基準の中間に設定されます。この機能は、ADS821のゲイン誤差の調整、ゲイン・ドリフトの改善、フルスケール入力レンジの変更などに使用することができます。フルスケール・レンジを低くすると、外部の入力信号アンプの振幅条件が緩和されるという利点があります。外部基準電圧は、高電位基準電圧($REFT_{EXT}$)ピンに対し+3.4V以下、低電位基準電圧($REFB_{EXT}$)ピンに対し+1.1V以上、両者の差電圧が800mV以上の条件範囲で変えることができます。

差動構成では、フルスケール入力レンジは選択した外部基準電圧の値に設定されます。シングル・エンド・モードでは、入力レンジは$2 \bullet (REFT_{EXT} - REFB_{EXT})$になり、同相モードは$(REFT_{EXT} + REFB_{EXT})/2$が中心になります。予想される性能対フルスケール入力レンジは、代表的性能曲線を参照して下さい。

図11の回路は、単一+5V電源で完全に動作します。この回路では、0.1mAという超低電力のREF1004-2.5リファレンスを使用しています。アンプA_2はレジスタ分圧器から発生する+1.25Vをバッファするためのフォロワとして構成されています。必要とする電流ドライブを供給するためには、プルダウン・レジスタR_Pを追加して下さい。

A_1アンプは、ゲイン範囲が約1から1.32のゲイン調整段として構成されています。ここでも、プルアップ抵抗がオペアンプがフル電流で動作することを防ぎます。プルアップもしくはプルダウン抵抗の値はそれほど厳密ではなく、消費電流を最適化するために変動します。プルアップもしくはプルダウン抵抗の必要性は、選択された動作アンプの性能にのみ依存しており、使用しない場合もあります。

プリント基板のレイアウトとバイパス

正しい動作ときれいなスペクトル応答は、適切に整然と設計されたプリント基板のレイアウトによって保証されます。特に高周波回路では、適正な接地とバイパス、短いリード長、グランド・プレーンの使用が重要です。最良の性能を得るためには多層プリント基板が推奨されますが、十分に考慮して設計された、広いグランド・プレーンを備えた両面プリント基板でも優れた結果を得ることができます。ADS821のアナログおよびデジタル・グランド・ピンは、直接アナログ・グランド・プレーンに接続することを推奨します。経験上、これによって最も良好で安定した結果が得られます。A/Dの電源コモンは、アナログ・グランド・プレーンにまとめて結線します。電源は、できるだけピンの近くで0.1μFのセラミック・コンデンサによりバイパスします。

ダイナミック性能のテスト

ADS821は高性能なコンバータであるため、正確な結果を得るにはテスト方法に対して十分な注意を払うことが必要です。高精度なフェーズ・ロック信号源では、データに窓関数を使用しないで高分解能なFFT測定を実行できます。テスト信号用としてHP8644Aなどの低ジッタ信号ジェネレータと、A/Dクロック用に低ジッタなHP8022Aパルス・ジェネレータとをフェーズ・ロックさせて使用すれば、優れた結果が得られます。低歪なADS821のテストには、テスト信号のローパスフィルタ(またはバンドパス・フィルタ)が不可欠です。フルスケールよりやや小さい信号振幅を使用すると、わずかな“余裕”ができ、雑音やDCオフセット電圧によるA/Dのオーバレンジに起因する信号ピークの欠落を防げます。

ダイナミック性能の定義

1. 信号対雑音および歪比(SINAD)：

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音+高調波電力 (最初の15次高調波)}}$$

2. 信号対雑音比 (SNR)：

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音電力}}$$

3. 相互変調歪 (IMD)：

$$10 \log \frac{\text{最大IMD積電力(5次まで)}}{\text{正弦波信号電力}}$$

IMDは、テスト信号f_1またはf_2の大きい方を基準とします。基本および高調波レベルの計算には、ピークの両サイドにある5つの“ビン”を使用します。“0”周波数のビン(DC)は、ダイナミック信号処理のアプリケーションでほとんど重要性がないため、計算に含まれていません。

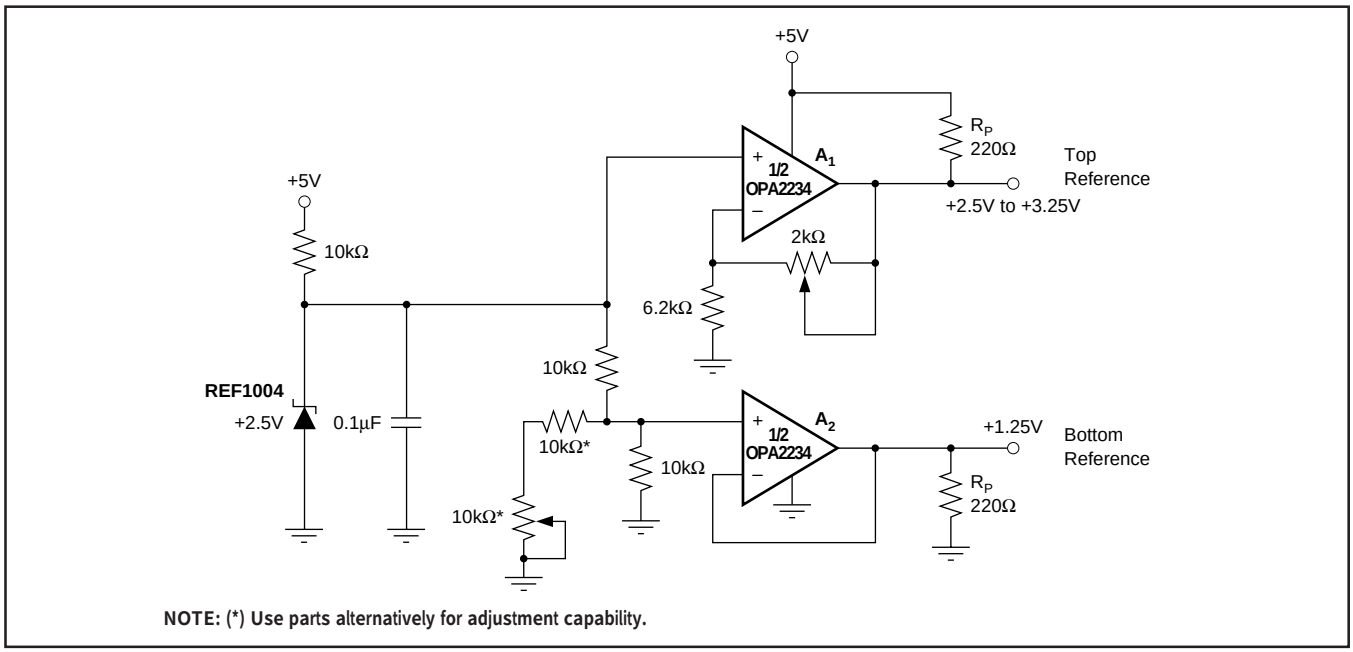
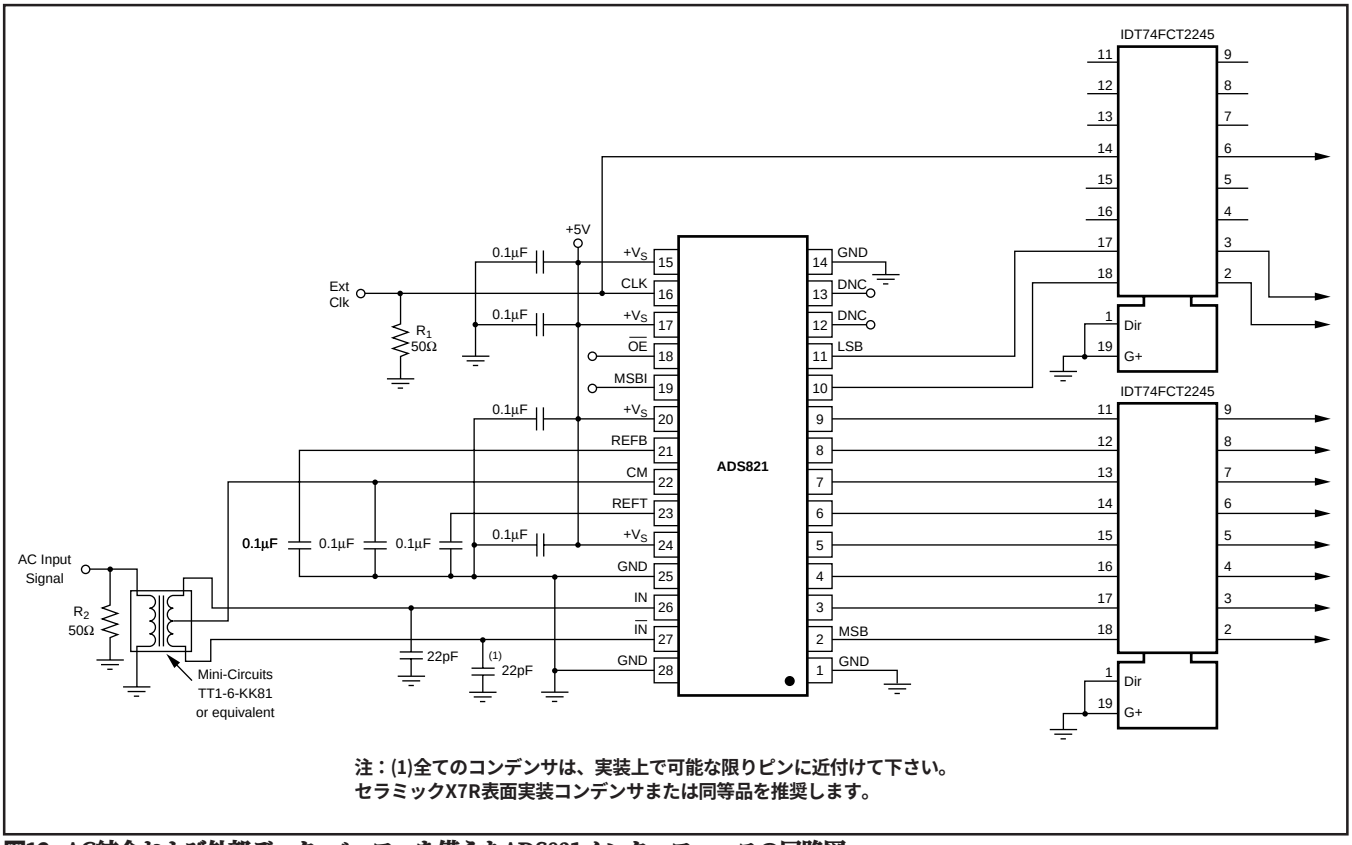


図11. デュアルの単一電源オペアンプを使用した、フルスケール・レンジ設定用外部リファレンス

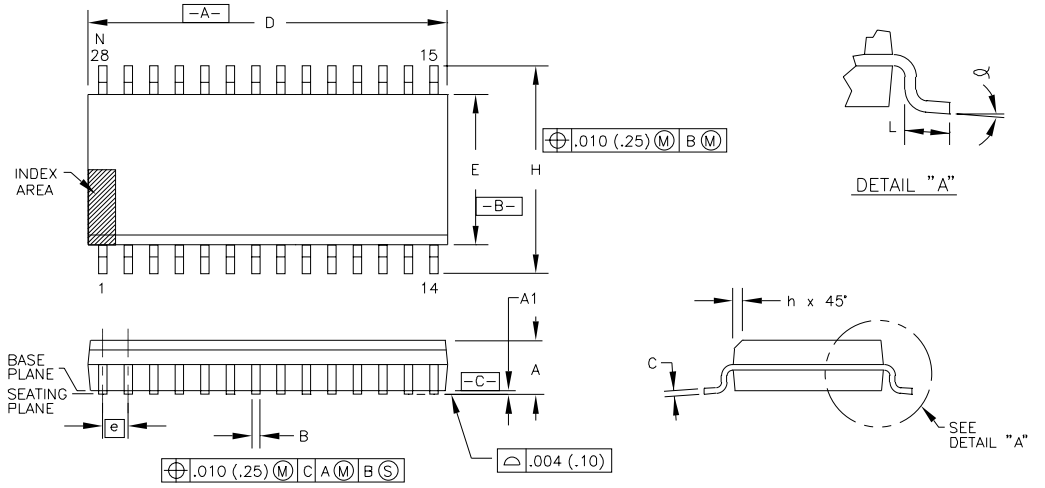


注：(1)全てのコンデンサは、実装上で可能な限りピンに近付けて下さい。
セラミックX7R表面実装コンデンサまたは同等品を推奨します。

図12. AC結合および外部データ・バッファを備えたADS821インターフェースの回路図

外観

パッケージ番号217—28ピンSOP

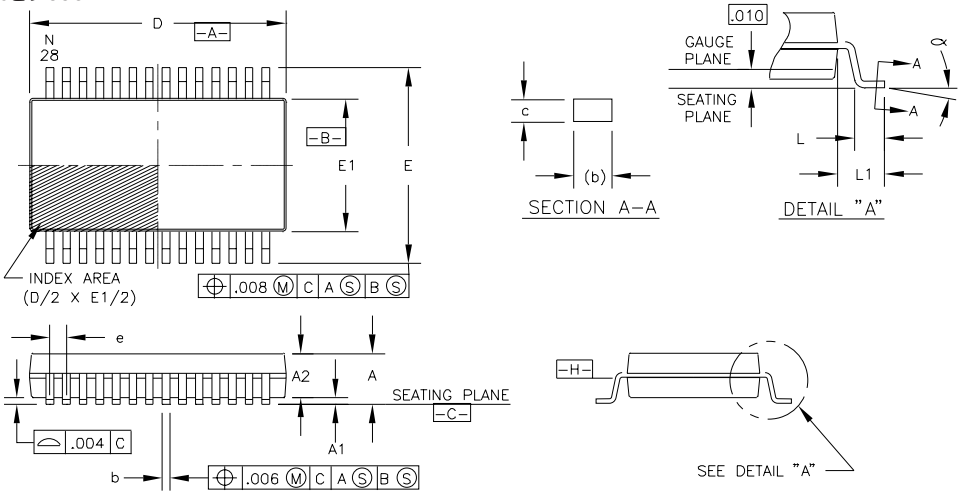


DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0926	.1043	2.35	2.65	
A1	.004	.0118	0.10	0.30	
B	.013	.020	0.33	0.51	7
C	.0091	.0125	0.23	0.32	
D	.6969	.7125	17.70	18.10	2
E	.2914	.2992	7.40	7.60	3
e	.050 BASIC		1.27 BASIC		
H	.398	.419	10.11	10.65	
h	.010	.0295	0.25	0.75	4
L	.020	.040	.508	1.02	5
N	28		28		6
α	0°	8°	0°	8°	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M—1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER—LEAD FLASH OR PROTRUSIONS. INTER—LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSSHATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ217	REV.: G
JEDEC NUMBER: MS—013—AE WITH THE EXCEPTION OF DIM. H, L.	

パッケージ番号324—28ピンSSOP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	--	.079	--	2.00	
A1	.002	--	0.05	--	
A2	.065	.073	1.65	1.85	
b	.009	.015	0.22	0.38	3,7
c	.004	.010	0.09	0.25	7
D	.390	.413	9.90	10.50	2
E	.291	.323	7.40	8.20	
E1	.196	.220	5.00	5.60	2
e	.0256 BASIC		0.65 BASIC		
L	.022	.037	0.55	0.95	4
L1	.049	REF	1.25	REF	
N	28		28		5
θ	0°	8°	0°	8°	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5—1982.
2. D AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS, BUT DO INCLUDE MOLD MISMATCH AND ARE MEASURED AT DATUM PLANE -H- MOLD PARTING LINE. MOLD FLASH OR PROTRUSION SHALL NOT EXCEED .008 INCH PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .005 INCH TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .003 INCH AT LEAST MATERIAL CONDITION.
4. DIMENSION L TO BE DETERMINED AT SEATING PLANE—DATUM C.
5. N IS THE NUMBER OF TERMINAL POSITIONS.
6. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS—HATCHED AREA.
7. SECTION A—A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .004 AND .010 INCH FROM THE LEAD TIP.

PACKAGE NUMBER: ZZ324	REV.: C
JEDEC NUMBER: MO—150	

©BBJ990801K