



SpeedPlus 12ビット、53MHzサンプリング A / Dコンバータ

特 長

- スプリアスフリー・ダイナミック・レンジ：
82dB($f_{IN} = 10\text{MHz}$ 時)
- 高SNR：67.5dB(2Vp-p)、69dB(3Vp-p)
- 低消費電力：335mW
- 内部/外部リファレンス・オプション
- 低DNL：0.5LSB
- フレキシブルな入力レンジ：2Vp-p~3Vp-p
- パッケージ：28ピンSSOP

アプリケーション

- 通信用IF処理
- 医療用画像処理
- テスト装置
- 通信
- ビデオ・デジタイジング
- CCDデジタイジング

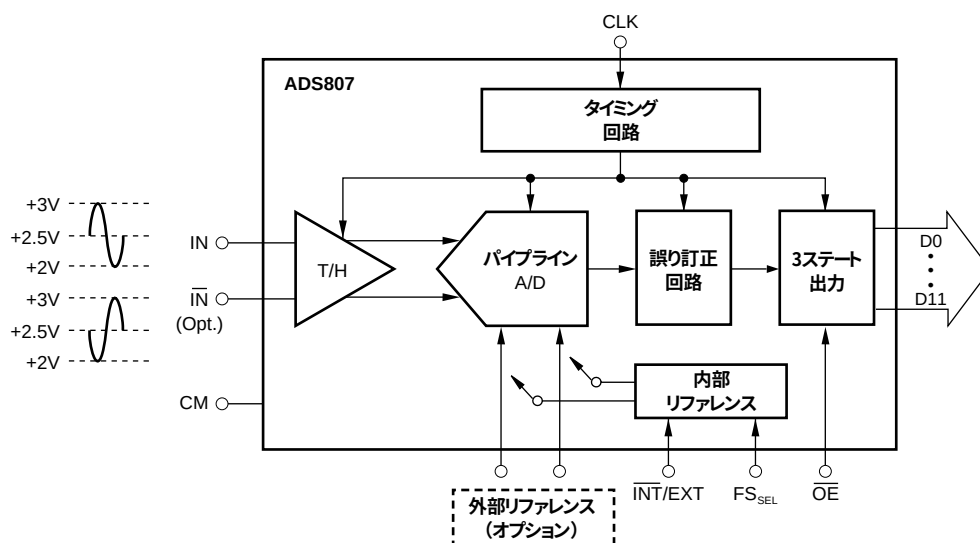
概 要

ADS807は、高速、高ダイナミック・レンジの12ビット・パイプラインA/Dコンバータです。広帯域トラック/ホールドを内蔵し、ナイキスト・レートより低い領域でも高い領域でも優れたスプリアス性能を発揮します。このトラック/ホールドおよびA/D回路は差動回路で構成されており、偶数次高調波が最小限に抑えられ、優れた同相モード・ノイズ耐性が得られます。トラック/ホールドはシングルエンド・モードでも動作できます。

外部にリファレンス回路を接続せずにコンバータのフルスケール・レンジを設定できます。内部リファレンスをディセーブルにして、低ドライブにしたり、内部リファレンスをマルチチャンネル・システムでトラッキングを改善するのに使用することができます。

ADS807はオーバーレンジ・フラグを備え、入力レンジがコンバータのフルスケール入力レンジを超えた場合はこのフラグで示されます。このフラグを使用して、フロント・エンドのゲイン・レンジング回路のゲインを低減できます。また、出力イネーブル・ピンにより、プリント基板上でのテストおよびマルチプレクシングが可能です。

さらに、ADS807はデータ誤り訂正技術を採用し、厳しい条件が要求される画像処理アプリケーションに対して優れた微分直線性を実現します。



仕様

特に記述のない限り、T_A = 全仕様温度範囲、V_S = + 5V、差動入力レンジ = 各入力2V～3V、サンプリング・レート = 50MHzです。

パラメータ	条件	ADS807E			単位
		最小	標準	最大	
分解能			12保証		Bits
仕様温度範囲	周囲気温	−40		+85	°C
アナログ入力					
2Vフルスケール入力レンジ(差動)	2Vp-p, INT or EXT Ref	2		3	V
2Vフルスケール入力レンジ(シングルエンド)	2Vp-p, INT or EXT Ref	1.5		3.5	V
3Vフルスケール入力レンジ(差動)	3Vp-p, INT or EXT Ref	1.75		3.25	V
3Vフルスケール入力レンジ(シングルエンド)	3Vp-p, INT or EXT Ref	1		4	V
アナログ入力バイアス電流			1		μA
アナログ入力帯域幅			270		MHz
入力インピーダンス			1.25 2		MΩ pF
変換特性					
サンプリング・レート		10k		53M	Samples/s
データ待ち時間			6		Clock Cycles
ダイナミック特性					
微分直線性誤差(最大コード誤差)					
f = 1MHz			±0.5	±1.0	LSB
f = 10MHz			±0.5	±1.0	LSB
ノー・ミッシング・コード	f _S = 40MHz		保証		
ノー・ミッシング・コード	f _S = 50MHz, T _A = +25°C		保証		
積分非直線性誤差、f = 1MHz	f _S = 40MHz, 全温度範囲		±2.0	±4.0	LSBs
スプリアスフリー・ダイナミック・レンジ ⁽¹⁾					
f = 1MHz(−1dB入力)			83		dBFS ⁽²⁾
f = 10MHz(−1dB入力)		67	82		dBFS
f = 20MHz(−1dB入力)			76		dBFS
f = 40MHz(アンダーサンプリング)			76		dBFS
f = 1MHz～10MHz、f _S = 40MHz	2Vp-p、シングルエンド入力	62	69		dBFS
ツォー・トーン相互変調歪 ⁽³⁾					
f = 12MHzおよび13MHz(各トーンで−7dB)			71		dBc
信号対雑音比(SNR)					
f = 1MHz(−1dB入力)		63	68		dB
f = 10MHz(−1dB入力)		63	68		dB
f = 20MHz(−1dB入力)			66		dB
f = 40MHz(アンダーサンプリング)			67		dB
f = 1MHz～10MHz、f _S = 40MHz	2Vp-p、シングルエンド入力	63	67.5		dB
f = 1MHz～10MHz、f _S = 40MHz		60	67		dB
f = 1MHz(−1dB入力)	3Vp-p		69		dB
f = 10MHz(−1dB入力)	3Vp-p		69		dB
信号対(雑音 + 歪)(SINAD) ⁽⁴⁾					
f = 1MHz(−1dBFS入力)		61	67		dB
f = 10MHz(−1dBFS入力)		61	67		dB
f = 20MHz(−1dBFS入力)			67		dB
f = 1MHz～10MHz、f _S = 40MHz	2Vp-p、シングルエンド入力	63	67		dB
f = 1MHz～10MHz、f _S = 40MHz		60	64		dB
f = 1MHz(−1dBFS入力)	3Vp-p		69		dB
f = 10MHz(−1dBFS入力)	3Vp-p		69		dB
出力雑音	入力を接地		0.2		LSBs rms
アパーチャ遅延時間			2		ns
アパーチャ・ジッタ			1.2		ps rms
過電圧復帰時間			2		ns
デジタル入力					
ロジック・ファミリ					
変換コマンド	変換開始		CMOS		
ハイ・レベル入力電流 ⁽⁵⁾ (V _{IN} = 5V)			変換クロックの立ち上がりエッジ	+50	μA
ロー・レベル入力電流(V _{IN} = 0V)				+10	μA
ハイ・レベル入力電圧		+2.4		+1.0	V
ロー・レベル入力電圧					V
入力キャパシタンス			5		pF
デジタル出力					
ロジック・ファミリ					
ロジック・コーディング			CMOS		
出力電圧 “ロー” (I _{OL} = 50 μA)	VDRV = 5V		ストレート・オフセット・バイナリ	+0.1	V
出力電圧 “ロー” (I _{OL} = 1.6mA)	VDRV = 5V			+0.2	V

仕様（続き）

特に記述のない限り、 T_A = 全仕様温度範囲、 V_S = + 5V、差動入力レンジ = 各入力2V~3V、サンプリング・レート = 50MHzです。

パラメータ	条件	ADS807E			単位
		最小	標準	最大	
デジタル出力 出力電圧“ハイ” ($I_{OH} = 50 \mu A$) 出力電圧“ハイ” ($I_{OH} = 0.5mA$) 出力電圧“ロー” ($I_{OL} = 50 \mu A$) 出力電圧“ハイ” ($I_{OH} = 50 \mu A$) 3ステート・イネーブル時間 3ステート・ディスエーブル時間 出力キャパシタンス	VDRV = 5V VDRV = 5V VDRV = 3V VDRV = 3V $\overline{OE} = L^{(5)}$ $OE = H^{(5)}$	+4.9 +4.8 +2.8	 20 2 5	+0.1 40 10	V V V V ns ns pF
精度(特に記述のない限り、内部リファレンス、2Vp-p) ゼロ誤差(−FSを基準) ゼロ誤差ドリフト(−FSを基準) ゲイン誤差 ⁽⁶⁾ ゲイン誤差ドリフト ⁽⁶⁾ ゲイン誤差 ⁽⁷⁾ ゲイン誤差ドリフト ⁽⁷⁾ ゲインの電源除去 REFT許容差 2Vフルスケール 3Vフルスケール REFB許容差 2Vフルスケール 3Vフルスケール 外部REFT電圧範囲 外部REFB電圧範囲 基準電圧入力抵抗	25°C 25°C 25°C $\Delta V_S = \pm 5\%$ 理想値3.0Vからの偏差 理想値3.25Vからの偏差 理想値2.0Vからの偏差 理想値1.75Vからの偏差	 50 REFB + 0.4 1.70	± 1.0 16 ± 1.5 66 ± 1.0 23 70 ± 10 ± 20 ± 10 ± 20 3 2 1	± 2.0 ± 2.5 ± 1.5 ± 65 ± 100 ± 65 ± 100 $V_S - 1.70$ $REFT - 0.4$	%FS ppm/°C %FS ppm/°C %FS ppm/°C dB mV mV mV mV V V k Ω
電源条件 電源電圧：+ V_S 電源電流：+ I_S 消費電力：VDRV = 5V VDRV = 3V VDRV = 5V VDRV = 3V 熱抵抗、 θ_{JA} 28ピンSSOP	動作時 動作時 外部リファレンス 外部リファレンス 内部リファレンス 内部リファレンス	+4.75	+5.0 60 305 290 350 335 50	+5.25 360 350 390 380	V mA mW mW mW mW °C/W

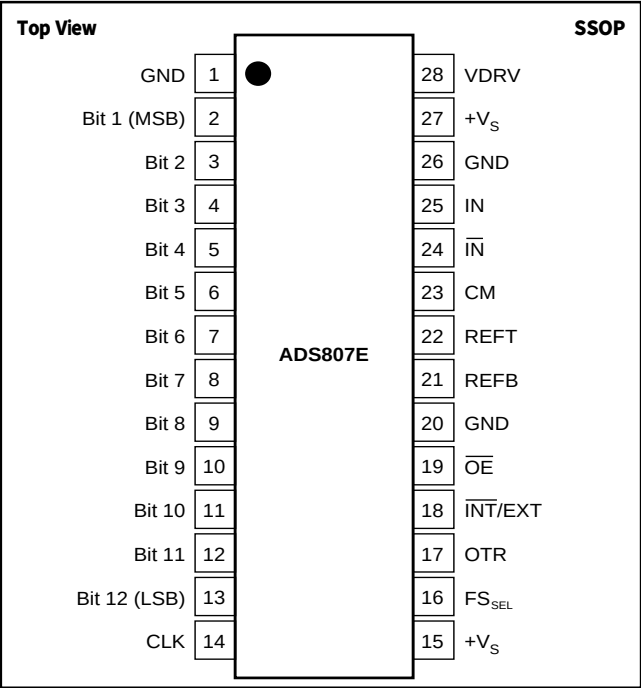
注：(1)スプリアスフリー・ダイナミック・レンジとは、最大高調波の振幅を基準とします。(2)dBFSはフルスケールを基準としたdBを意味します。(3)ツリー・トーン相互変調歪は最大基本トーンを基準とします。ツリー・トーン基本エンベロープの振幅を基準とした場合は、6dB高い値になります。(4)有効ビット数(ENOB)は(SINAD−1.76)/6.02で定義されます。(5) $\overline{OE}$ ピンには、50k Ω のプルダウン抵抗が内部に挿入されています。(6)内部リファレンスを含みます。(7)内部リファレンスを含みません。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン構成

ピン	名称	説明
1	GND	グランド
2	Bit 1	データ・ビット1(MSB)
3	Bit 2	データ・ビット2
4	Bit 3	データ・ビット3
5	Bit 4	データ・ビット4
6	Bit 5	データ・ビット5
7	Bit 6	データ・ビット6
8	Bit 7	データ・ビット7
9	Bit 8	データ・ビット8
10	Bit 9	データ・ビット9
11	Bit 10	データ・ビット10
12	Bit 11	データ・ビット11
13	Bit 12	データ・ビット12(LSB)
14	CLK	変換クロック
15	+V _S	+ 5V電源
16	FS _{SEL}	“ハイ”≒3V、“ロー”≒2V
17	OTR	オーバーレンジ・フラグ
18	INT/EXT	リファレンス選択: “ハイ”またはフローティング = 外部“ロー”内部50kΩプルアップ
19	OE	出力イネーブル
20	GND	グランド
21	REFB	低電位基準電圧/バイパス
22	REFT	高電位基準電圧/バイパス
23	CM	同相モード電圧出力
24	IN	反転アナログ入力
25	IN	アナログ入力
26	GND	グランド
27	+V _S	+ 5V電源
28	VDRV	ロジック・ドライバ電源電圧

ピン配置



絶対最大定格

+V _S	+6V
アナログ入力	(−0.3V) ~ (+V _S + 0.3V)
ロジック入力	(−0.3V) ~ (+V _S + 0.3V)
ケース温度	+ 100°C
接合部温度	+ 150°C
保存温度	+ 150°C



静電気放電対策

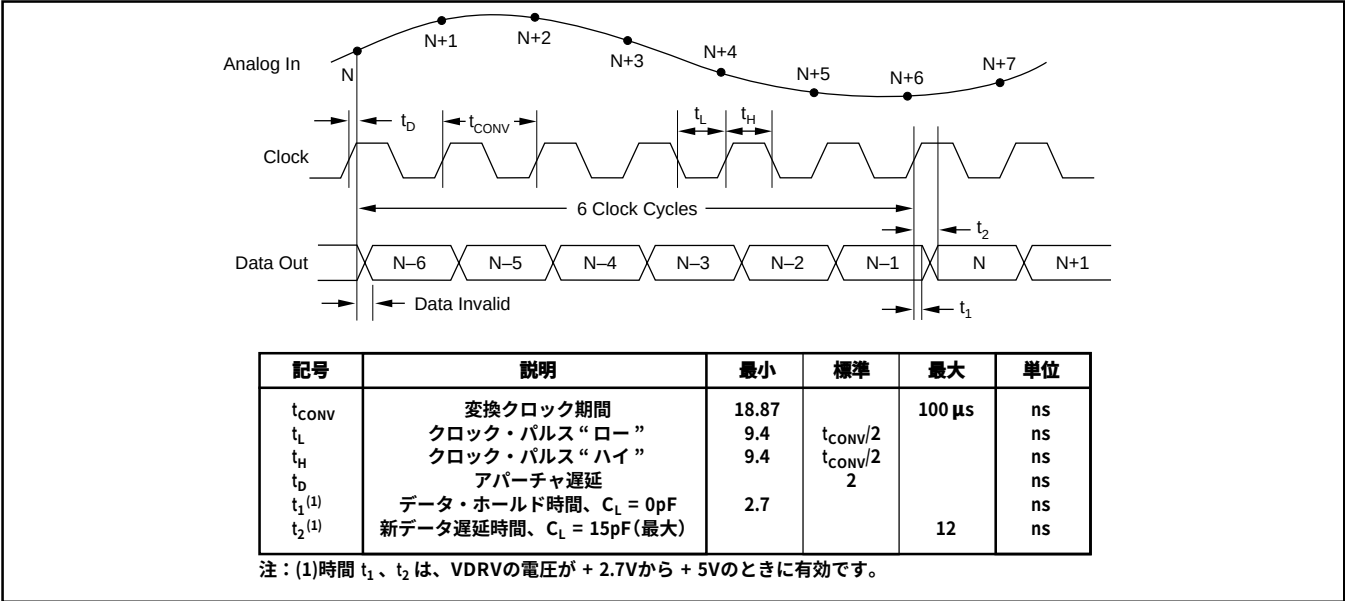
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
ADS807E	28ピンSSOP	324	−40°C ~ + 85°C	ADS807E	ADS807E	マガジン
ADS807E	28ピンSSOP	324	−40°C ~ + 85°C	ADS807E	ADS807E/1K	テーブリール

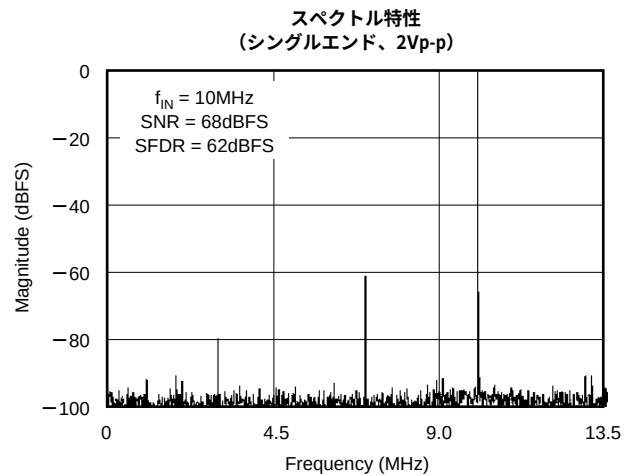
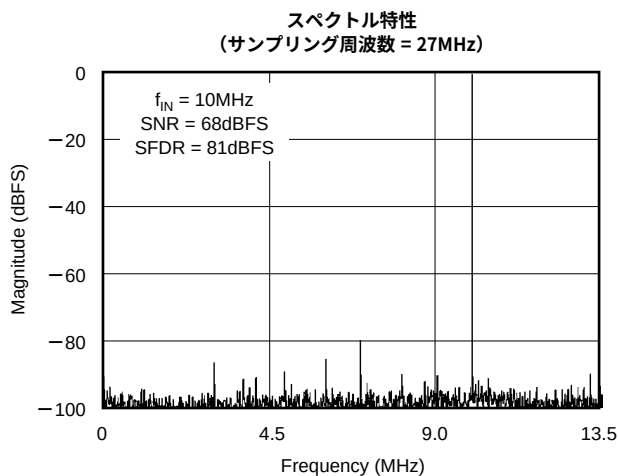
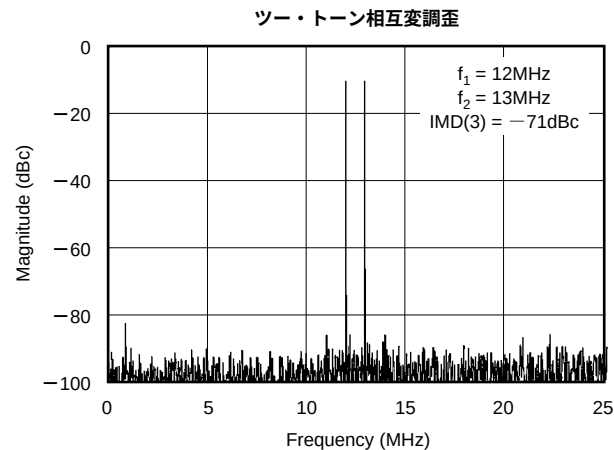
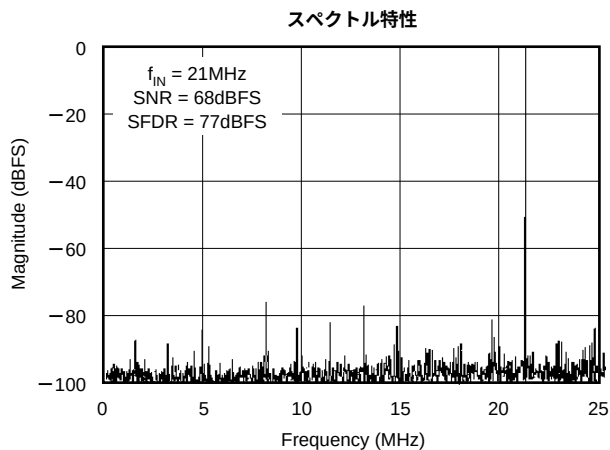
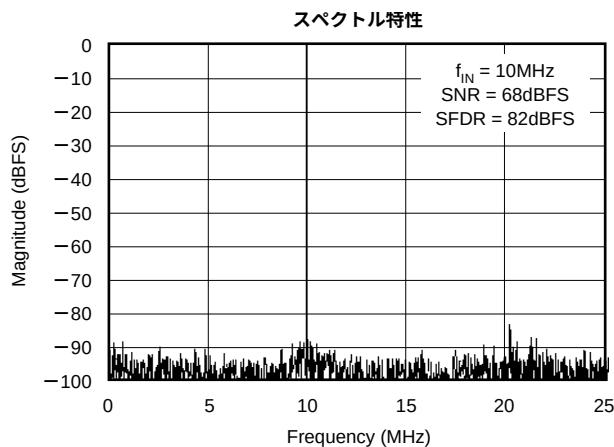
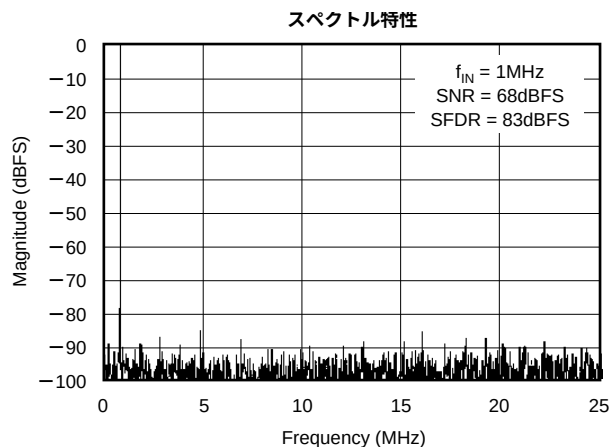
注：(1)詳細図および寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/1Kは1,000個で1リールであることを示します)。「ADS807E/1K」をご発注の場合、1,000個入りのテーブリールが1本納入されます。

タイミング図



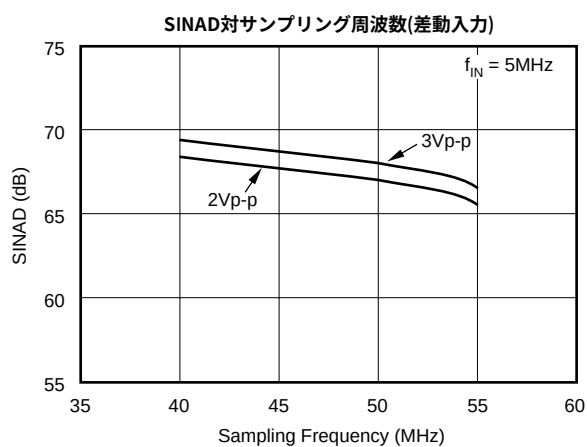
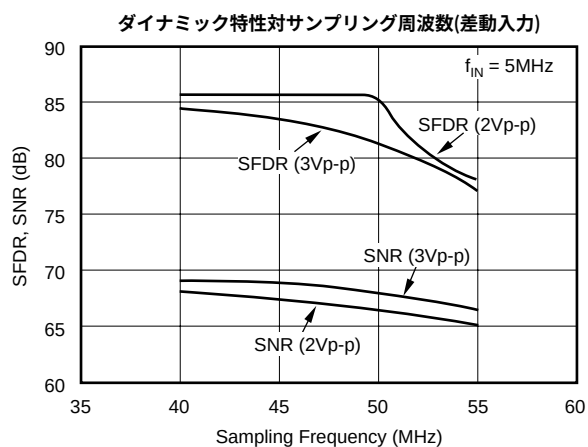
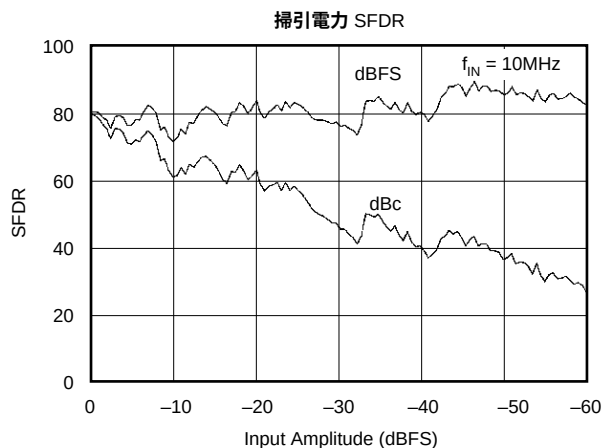
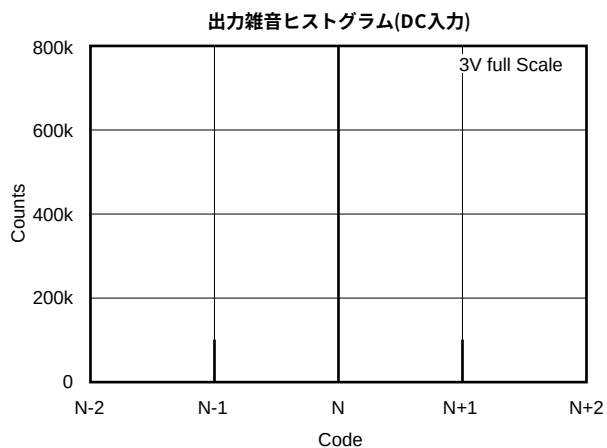
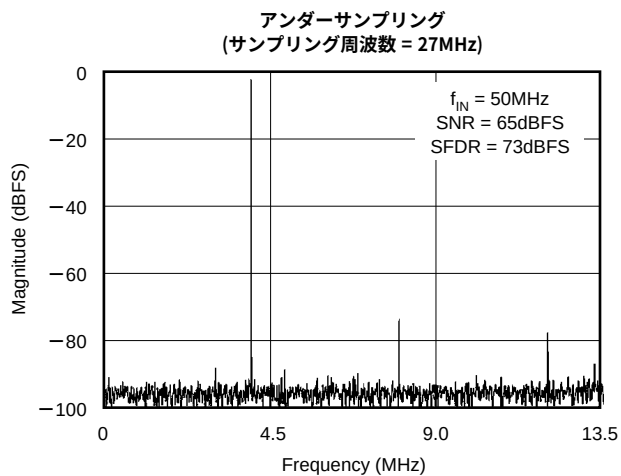
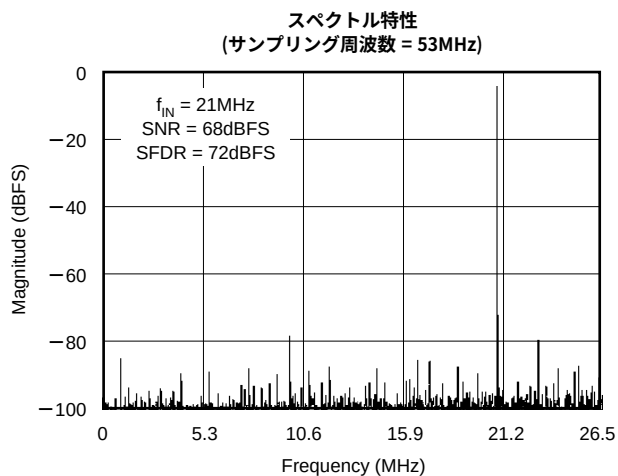
代表的性能曲線

特に記述のない限り、 T_A = 全仕様温度範囲、差動入力レンジ = 2V~3V、サンプリング・レート = 50MHz、内部リファレンスです。



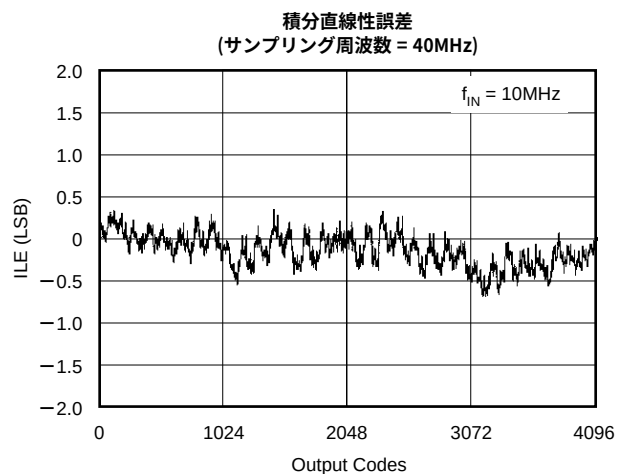
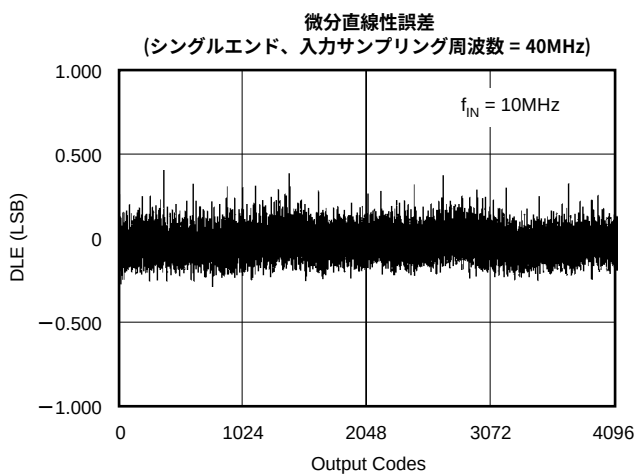
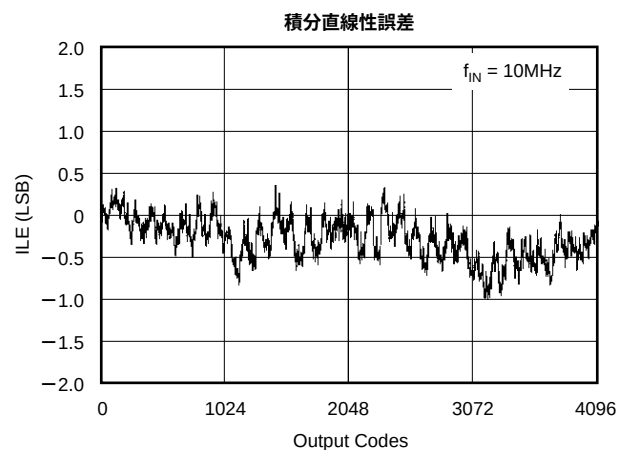
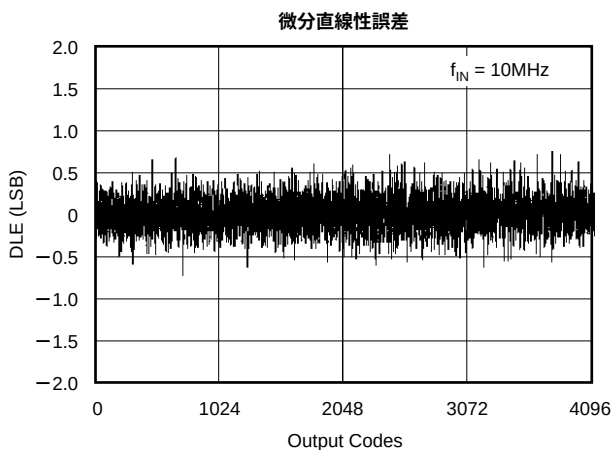
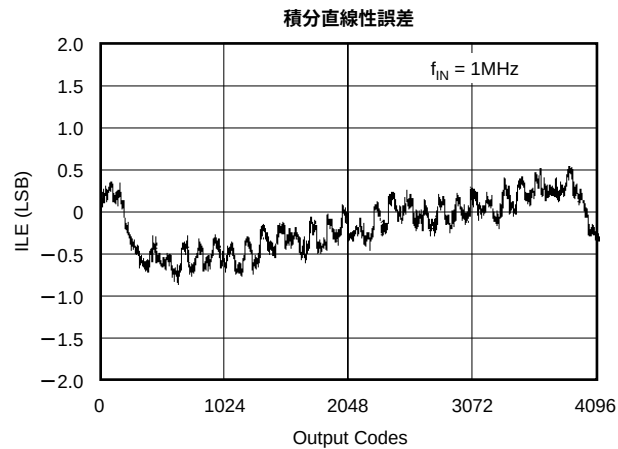
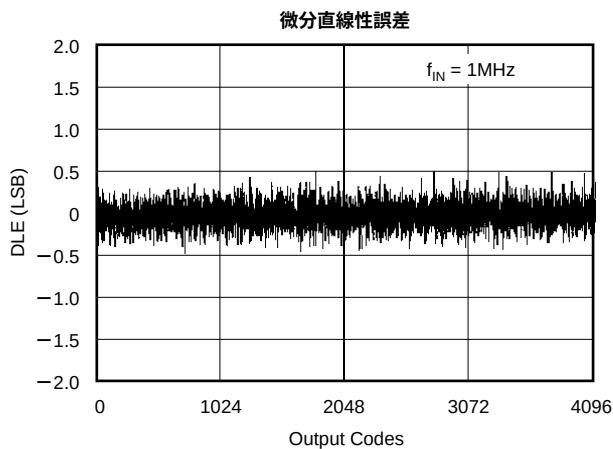
代表的性能曲線

特に記述のない限り、 T_A = 全仕様温度範囲、差動入力レンジ = 2V~3V、サンプリング・レート = 50MHz、内部リファレンスです。



代表的性能曲線

特に記述のない限り、 T_A = 全仕様温度範囲、差動入力レンジ = 2V~3V、サンプリング・レート = 50MHz、内部リファレンスです。



使用上の注意

動作原理

ADS807は、内部12段構成のパイプライン・コンバータ・アーキテクチャを採用した高速CMOS A/Dコンバータです。各段でデータをデータ誤り訂正回路に入力することにより、12ビット・レベルで優れた微分直線性とノー・ミッシング・コードを実現します。出力データはクロックの立ち上がりエッジで有効になります(タイミング図を参照)。パイプライン方式によって、データ待ち時間は6クロック・サイクルとなります。

ADS807のアナログ入力には差動トラック/ホールド回路で構成されます。ポリ・ポリ・キャパシタを厳密にマッチングした差動トポロジにより、高いサンプリング・レートおよびアンダーサンプリング・アプリケーションで、高レベルのA/C性能が得られます。

両方の入力(IN, $\overline{\text{IN}}$)に対して、同相モード電圧を使用した外部バイアスが必要です。通常は、中心電源レベル($+V_s/2$)の電圧を供給します。

アナログ入力のドライブ

ADS807のアナログ入力は非常に高インピーダンスなので、高周波数のR/Cネットワークを介してドライブしなければなりません。これにより入力の高周波ノイズがSFDRやSNRに影響するのを抑制することができます。ADS807は、広範囲のアプリケーションに使用することができ、アプリケーションのタイプにより最高のアナログ・インターフェース回路特性を得ることができます。回路を定義する際に考慮すべき点は、入力周波数のスペクトルと振幅、シングルエンド構成と差動構成のいずれを用いるか、および使用できる電源の種類などです。たとえば、通信(周波数ドメイン)アプリケーションではDCを含まない周波数帯域を処理する 경우가多く、一方画像処理(時間ドメイン)アプリケーションでは事前に復元したDCレベルをA/Dコンバータまで正確に維持する必要があります。ADS807はフルスケール選択(FS_{SEL})、外部リファレンス、CM出力などの機能によって、幅広い範囲のアプリケーションに対応できる柔軟性を持っています。いずれの場合も、アプリケーションの目的に適した構成を選択しながら、ドライブ・アンプのヘッドルーム条件に従って全体的に最高の性能を達成することが必要です。

ADS807の入力は、シングルエンドと差動のいずれかの方法でドライブできる構造になっています。ADS807を差動で動作

させる場合は、同相の入力信号と180度位相の異なる信号とを入力ピン(IN, $\overline{\text{IN}}$)に同時に与える必要があります。差動動作には次のようないくつかの利点があり、ほとんどのアプリケーションでADS807の最高のダイナミック性能を達成するのに役立ちます。

- 信号スイングがシングルエンド動作時の半分であり、信号源からの良好な直線性性能の維持を比較的容易に達成できます。
- 信号スイングの低減によってインターフェース回路のヘッドルームを大きくできるため、最適なドライバ・オペアンプの選択の幅が広がります。
- 偶数次高調波が最小限に抑えられます。
- コンバータの同相モード入力除去に基づくノイズ耐性が向上します。

シングルエンド・モードを使用すると、信号は2つの入力のうちの一方に与えられ、もう一方の入力はDC電圧によって必要な同相モード・レベルにバイアスされます。この2つの入力はインピーダンスや性能の面では同じものですが、IN入力の代わりに反転入力($\overline{\text{IN}}$)に信号を与えると、出力コードに対して入力信号が反転されます。たとえば、入力ドライバが反転モードで動作している場合、信号入力として $\overline{\text{IN}}$ を使用すると信号の位相が元に戻ります。時間ドメインのアプリケーションでは、シングルエンドのインターフェース構成によって利益が得られる場合があります。回路が比較的単純になることも利点の1つです。良好な信号対雑音比(SNR)を維持しながらADS807をシングルエンド信号でドライブすると、歪の低減につながります。通常は、デュアル電源アンプとAC結合を使用すると最高の結果が得られます。DC結合または単一電源アンプを使用すると、特に3V_{p-p}入力レンジを選択した場合に、そのヘッドルーム条件によって新たな設計上の制約が課されます。しかし、単一電源アンプには、それ本来の性質により、出力スイングが電源レールの範囲内に収まるという利点があります。場合によっては、OPA688などの電圧リミッティング・アンプを使用して、固定の信号リミットを設定し、A/Dコンバータに対する重大なオーバーレンジ状態を避けることもできます。

ADS807のフルスケール入力レンジは基準電圧によって定義されます。たとえば、レンジ選択ピン FS_{SEL} を“ロー”に設定して、内部リファレンス($\text{REFT} = +3.0\text{V}$, $\text{REFB} = +2.0\text{V}$)を使用すると、フルスケール・レンジは、 $\text{FSR} = 2 \cdot (\text{REFT} - \text{REFB}) = 2\text{V}_{p-p}$ となります。

差動入力構成は、その複雑さがシングルエンド構成に対するトレードオフとなります。いずれの構成においても、ドライバ・アンプはアンプの性能がA/Dコンバータの性能を劣化させないように選択すべきです。ADS807は単一電源で動作しますが、そのためにはグランド基準のバイポーラ入力信号へのレベル・シフトを行って、入力電圧レンジ条件に適合させる必要があります。

ADS807の入力は容量性であり、ドライブ・ソースは、トラック/ホールドがトラック・モードの間、入力サンプリング・コンデンサを充電または放電するための電流を供給する必要があります。これらの効果により、ダイナミック入力インピーダンスはサンプリング周波数に依存することになります。ほとんどのアプリケーションでは、ドライブ・ソースとコンバータ入力間に直列抵抗(通常20Ωから50Ω)を追加することをお勧めします。これにより、ソースから容量性入力が分離されます。この点は、広帯域オペアンプを使用している場合にゲインのピークを避けるために重要です。また、この抵抗はADS807の指定入力キャパシタンスとともに1次ローパスフィルタを形成します。そのカットオフ周波数は、各信号入力とグランドとの間に外部シャント・コンデンサを追加することでさらに調整できます。このRCネットワークの最適値は、ADS807のサンプリング・レート、選択したオペアンプ、インターフェース構成、アプリケーションの種類(時間ドメインか周波数ドメインか)など、さまざまな要素によって決まります。一般に、直列抵抗またはコンデンサ(あるいはその両方)を大きくするとSNR性能が向上しますが、信号源によっては、抵抗値が大きいと良好な高調波歪性能が達成できなくなる場合があります。いずれにしても、特定のアプリケーションに対してRCの値を最適化することをお勧めします。

トランス結合シングルエンド/差動構成

シングルエンド・ソースからADS807に差動で信号を入力する場合には信号変換が必要ですが、そのようなアプリケーションに対してはRFトランスを使うのが有効と思われます。コンバータ入力のバイアスに必要な同相モードDC電圧を印加するために、センター・タップのあるトランスを選択します。センター・タップをAC接地することにより、2次巻線に差動信号ス

イングが発生します。昇圧トランスを使用すれば、新たな雑音源を導入せずに信号を増幅することができます。さらに、ソースからの信号スイングが減少することにより、歪性能が向上する可能性もあります。

差動入力構成の顕著な利点として、幅広い範囲の入力周波数で良好なSFDR性能を達成できる可能性があります。このモードでは、ADS807の2つの入力から見たインピーダンスはマッチングされています。推奨されるトランス結合インターフェース回路の回路図を図1に示します。RCローパスフィルタの各部品の値は、使用するロールオフ周波数に応じて最適化できます。2次側の抵抗(R_T)の値は式 $R_T = n^2 \times R_G$ を使って計算すれば、ソース・インピーダンス(R_G)とマッチして良好な電力転送とVSWRが得られます。

図1の回路例では、電圧帰還アンプOPA680でRFトランスをドライブし、RFトランスでシングルエンド信号を差動に変換します。OPA680は、単一電源動作とデュアル電源動作のいずれにも使用できます。その周波数応答を最適化する方法については、OPA680のデータシートを参照して下さい。49.9Ωの直列出力抵抗を使用すると、アンプは50Ωのソース(R_G)をエミュレートします。信号のDC成分はコンデンサ(0.1μF)によって簡単にブロックでき、オペアンプの出力段のDC負荷も避けることができます。

デュアル電源オペアンプによるAC結合シングルエンド/差動インターフェース

特に通信アプリケーションでは、きわめて高いダイナミック・レンジと低レベルの相互変調歪が要求されますが、通常、入力信号はA/DコンバータにAC結合できるようになっています。ADS807の優れた歪性能を維持するためには、適切なドライバ・アンプを選択しなければなりません。多くの場合、これらのオペアンプはグランドを中心とする小さな信号スイングで動作させた場合に歪の伝達が最小になりますが、それにはデュアル電源が必要です。AC結合を使用すれば、この要件が簡単に満足でき、入力信号に必要なレベル・シフトをドライバ回路への影響なしに実現できます。

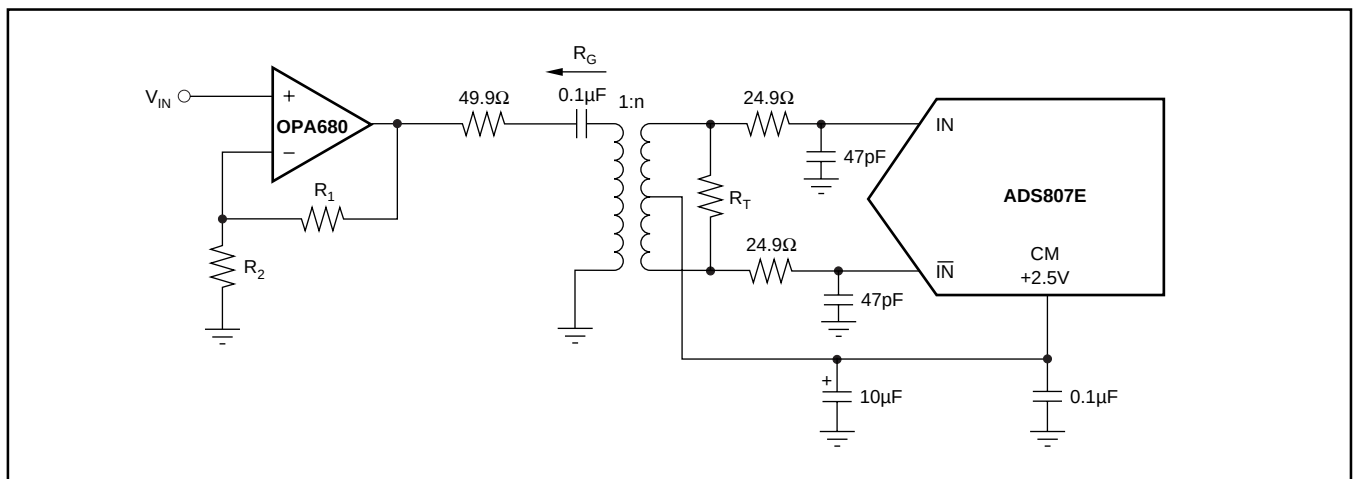


図1. RFトランスを使用したシングルエンド入力信号から差動信号への変換

そのようなインターフェース回路の例を図2に示します。この回路は、最高のダイナミック性能を得るために特別に設計されたものです。電圧帰還アンプOPA642は、15MHzまでの入力周波数に対して優れた歪性能を維持します。2つのアンプ(A1、A2)は、入力信号をシングルエンドから差動に変換するための反転および非反転ゲイン段として構成されています。この段の公称ゲインは+2V/Vに設定されています。2つのOPA642の出力はコンバータの差動入力にAC結合されています。これにより、信号レンジがオペアンプのリニアな動作範囲に収まり、電源レールに対して十分なヘッドルームが維持できるため、歪性能が最高の状態に保たれます。高電位基準電圧(REFT)と低電位基準電圧(REFB)の間に配置された4つの抵抗により、入力信号が約+2.5Vの同相モード電圧にシフトされます。

図2のインターフェース回路を変更し、OPA642をその低補償版であるOPA643で置き替えることにより、帯域幅を約25MHzに拡張することができます。OPA643は、ADS807Eに対する低歪フロント・エンドに必要なスルーレートを提供します。最小安定ゲインは+3であるため、ゲイン抵抗、直列抵抗およびコンバータの各入力のシャント・キャパシタを変更する必要があります。

単一電源オペアンプによるAC結合シングルエンド/差動インターフェース

$V_S = 5V$ などの単一電源動作だけが可能なシステムでは、前項で説明したインターフェース回路を変更して使用することができます。単一電源動作の場合も、バイポーラ入力信号の処理のためにドライバ・アンプをバイアスする必要があります。一般に、単一電源アンプではデュアル電源オペアンプほどの歪性能は達成できません。ドライバ・アンプの出力スイングはコンバータのフルスケール入力レンジよりも大きくなければなりません。また、電流帰還型のOPA2681など、デュアル・オペアンプの使用を考えて下さい。それにより、2つのチャンネル間で最も近い開ループ・ゲインと位相マッチングが得られます。AC結合入力信号に対する単一電源インターフェース回路を図3に示します。

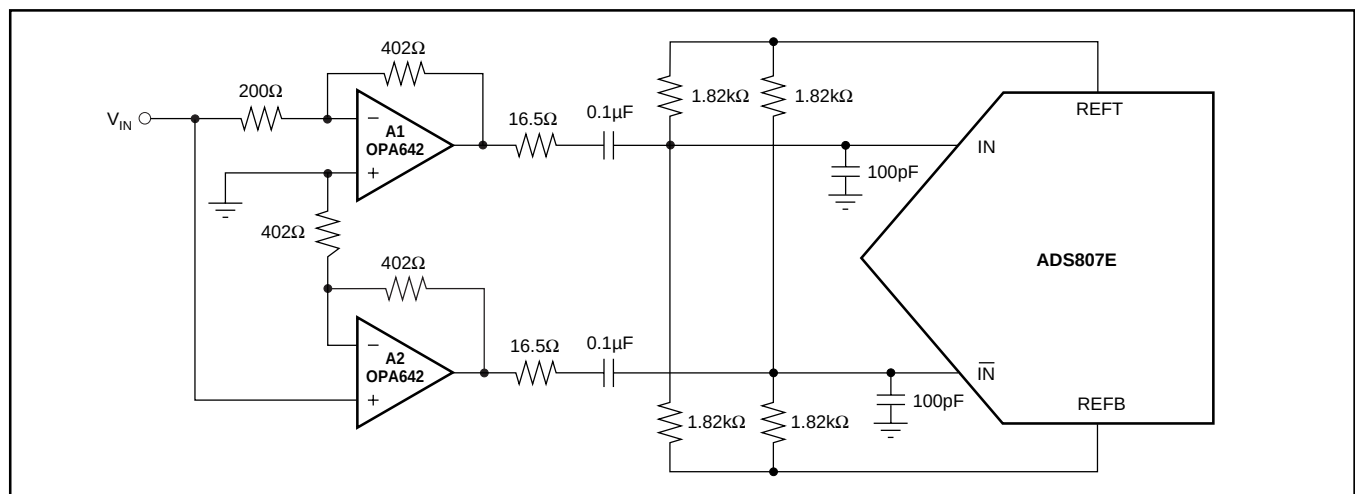


図2. OPA642によるAC結合差動ドライバ・インターフェース

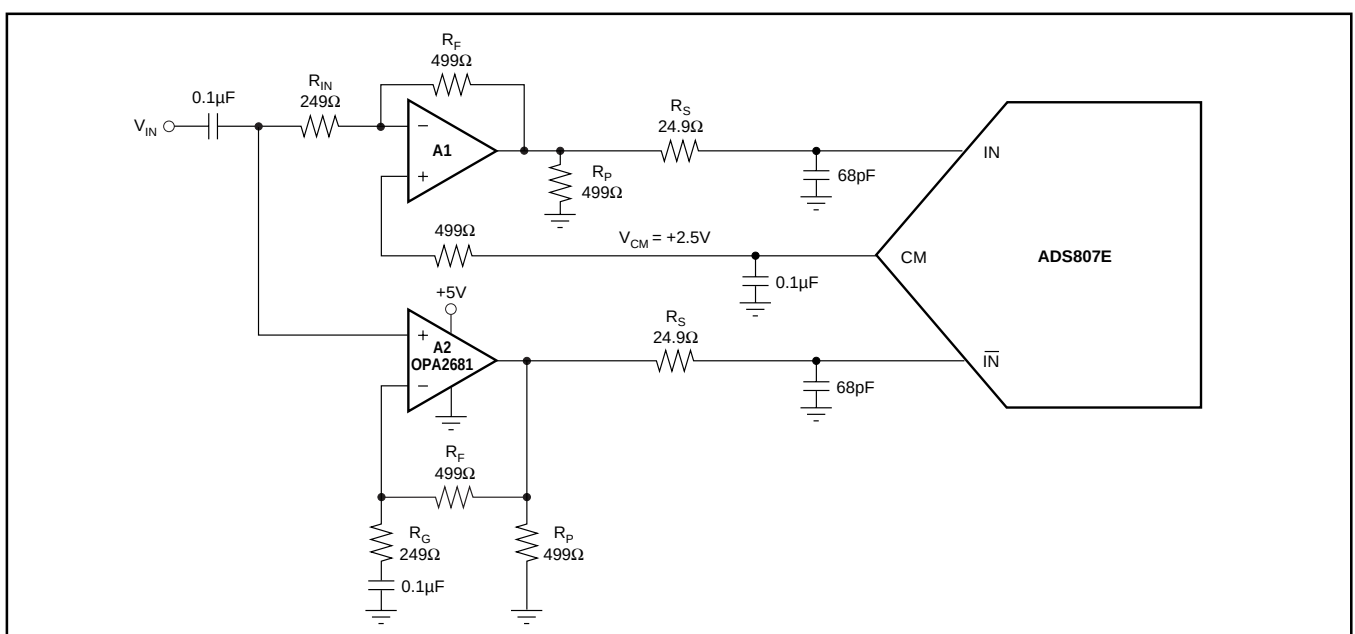


図3. 単一電源動作のためのAC結合差動インターフェース

ADS807を2Vp-p入力レンジに設定することにより、高電位基準電圧と低電位基準電圧(REFT、REFB)はそれぞれ+3.0Vと+2.0Vの出力電圧を供給します。ADS807のCM出力は、ドライブ・アンプの入力をバイアスするために使用されます。+5V電源でOPA2681を使用することにより、その理想的な同相モード点は+2.5Vとなり、ADS807の推奨同相モード入力レベルと一致します。これによって、アンプとコンバータの間にカップリング・コンデンサを挿入する必要がなくなります。

オペアンプの出力とADS807の入力の間に小さい直列抵抗(R_S)を追加することは、ほとんどすべてのインターフェース構成で有益です。これによってオペアンプの出力が容量性負荷から分離され、雑音が増加する原因となるゲインのピークを防ぎます。スプリアスおよび歪に関して最高の性能を得るため、抵抗値は100Ω以下にしてください。さらに、この直列抵抗にシャント・コンデンサを組み合わせると、広帯域雑音の帯域幅を制限するパッシブ・ローパスフィルタが構成され、SNR性能の向上に役立ちます。この単一電源フロント・エンドのスプリアスフリー・ダイナミック・レンジは2次高調波歪によって制限されます。各アンプの出力にプルダウン抵抗(R_P)を追加することにより、数dBの改善が見られる場合があります。この抵抗は、アンプの出力段からDCバイアス電流を引き出します。この電流は、図の例では約5mAに設定されていますが、使用するアンプによって異なります。

シングルエンドAC結合デュアル電源インターフェース

図4の回路に、ADS807をシングルエンド入力構成で使用する場合の標準的な接続を示します。AC結合のためのバイアス条件は、CM出力ピンに1個の抵抗を接続することで満足されます。シングルエンド・モードの動作を考慮するのは、インターフェースの複雑さを軽減する必要があり、ダイナミック特性に関しては妥協が許されるようなアプリケーションの場合です。直列抵抗 R_S とシャント・キャパシタンスにより、帯域幅を調整して、良好な信号対雑音比を得るように性能を最適化する方法が提供されます。また、アンプの構成は簡単に変更でき、2次のSallen-Keyまたはマルチフィードバック・トポロジに基づいたアンチ・エイリアス・フィルタを構成できます。

図4に示されるインターフェース例は、ADS807のフルスケール・レンジ(2Vp-pに設定)で動作し、OPA642の出力には、コンバータをドライブして低信号歪を維持するのに十分なヘッドルームが得られます。

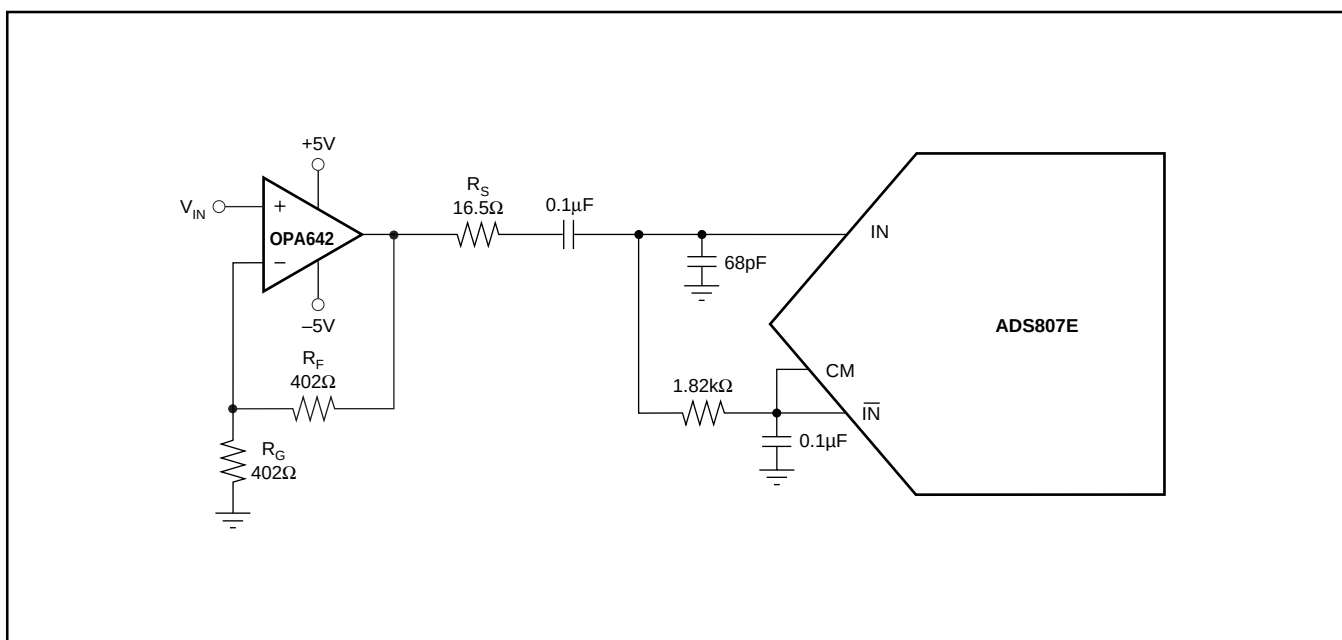


図4. 2Vp-pフルスケール入力レンジにおける、ADS807へのデュアル電源アンプOPA642のAC結合

レベル・シフト付きDC結合差動ドライバ

アプリケーションによっては、信号路の帯域幅にDCが含まれる必要があります。そのような場合、信号はA/DコンバータにDC結合しなければなりません。オペアンプ・ベースのインターフェース回路を構成することにより、A/Dコンバータで選択された入力レンジに適合するように、入力信号をスケーリングしてレベル・シフトをかけることができます。図5に示す回路では、デュアル・オペアンプOPA2681により、ADS807の入力を差動でドライブします。さらに、単一電源の汎用オペアンプOPA234を追加することで、CMピンで提供される+2.5Vの同相モード電圧をバッファリングし、それをドライブ・アンプに入力します。これにより、ADS807の入力をバイアスするための適正なDC電圧が設定されます。ここで、ADS807の入力INと $\overline{\text{IN}}$ の電圧に差があるとオフセット誤差が生じることに注意してください。

OPA2681の使用により、この回路は単一電源とデュアル±5V電源のいずれでも動作できます。

リファレンス動作

内部リファレンスはバンドギャップ電圧リファレンス、高電位および低電位リファレンスのドライバ、抵抗リファレンス・ラダーにより構成されています。バンドギャップ・リファレンス回路はロジック機能を含み、 FS_{SEL} ピンを“ロー”または“ハイ”の各々の電位に結合させることによりADS807のアナログ入力振幅を2Vp-pまたは3Vp-pの差動フルスケールに設定します。ADS807を外部リファレンス・モードで動作させている間、 REFT および REFB のバッファ・アンプはディセーブルになっています。ADS807はレンジ選択ピン(RSEL)に内部50k Ω プルダウン・レジスタを備えています。このため、このピンはグランドに結線されるか、未接続のままにしておくことができ、コンバータを2Vp-pフルスケール入力レンジ(FSR)の初期設定にします。2Vp-pに設定されているときには、高電位および低電位リファレンス電

圧は $\text{REFT} = +3.0\text{V}$ 、 $\text{REFB} = +2.0\text{V}$ になります。これを3Vp-pに変更すると、 $\text{REFT} = +3.25\text{V}$ 、 $\text{REFB} = +1.75\text{V}$ になります。リファレンス・バッファは1mAまでの(シンクおよびソース)電流を外部回路に供給するのに使用できます。様々なリファレンス構成において正常動作を確保するために、すべてのリファレンス・ピンに固定バイパスを使用し、クロック・フィードスルーを最小限に抑える必要があります(図6参照)。0.1 μF の低インピーダンス・キャパシタを使用すると、良い性能が得られます。すべてのバイパス・コンデンサは各ピンに近接して配置されなければなりません。

外部リファレンスの使用

設計の柔軟性をさらに高めるために、内部リファレンスを使用せずに外部リファレンス電圧を使用することができます。より高い精度や温度性能の向上を求めるアプリケーション、またはコンバータのフルスケール・レンジの調整範囲を広くしたいアプリケーションなどに対しては、外部リファレンスの使用を考慮できます。マルチチャンネル・アプリケーションでは、共通の外部リファレンスを使用することで、コンバータ間のフルスケール・レンジのマッチングが向上するという利点があります。単一電源の低消費電力デュアル・オペアンプ(OPA2234)を使った外部リファレンス回路の例を図7に示します。

外部リファレンスの値は自由に設定できますが、外部高電位基準電圧(REFT_{EXT})の値は($V_s - 1.70\text{V}$)と($\text{REFB} + 0.4\text{V}$)の間、外部低電位基準電圧(REFB_{EXT})は1.70Vと($\text{REFT} - 0.4\text{V}$)の間でなければなりません。コンバータが外部リファレンス・モードで動作している間はレンジ選択ピン(FS_{SEL})の機能はディセーブルされることに注意して下さい。ADS807を外部リファレンス・モードに設定するには、 $\overline{\text{INT}}/\text{EXT}$ ピン(ピン18)を“ハイ”にします。

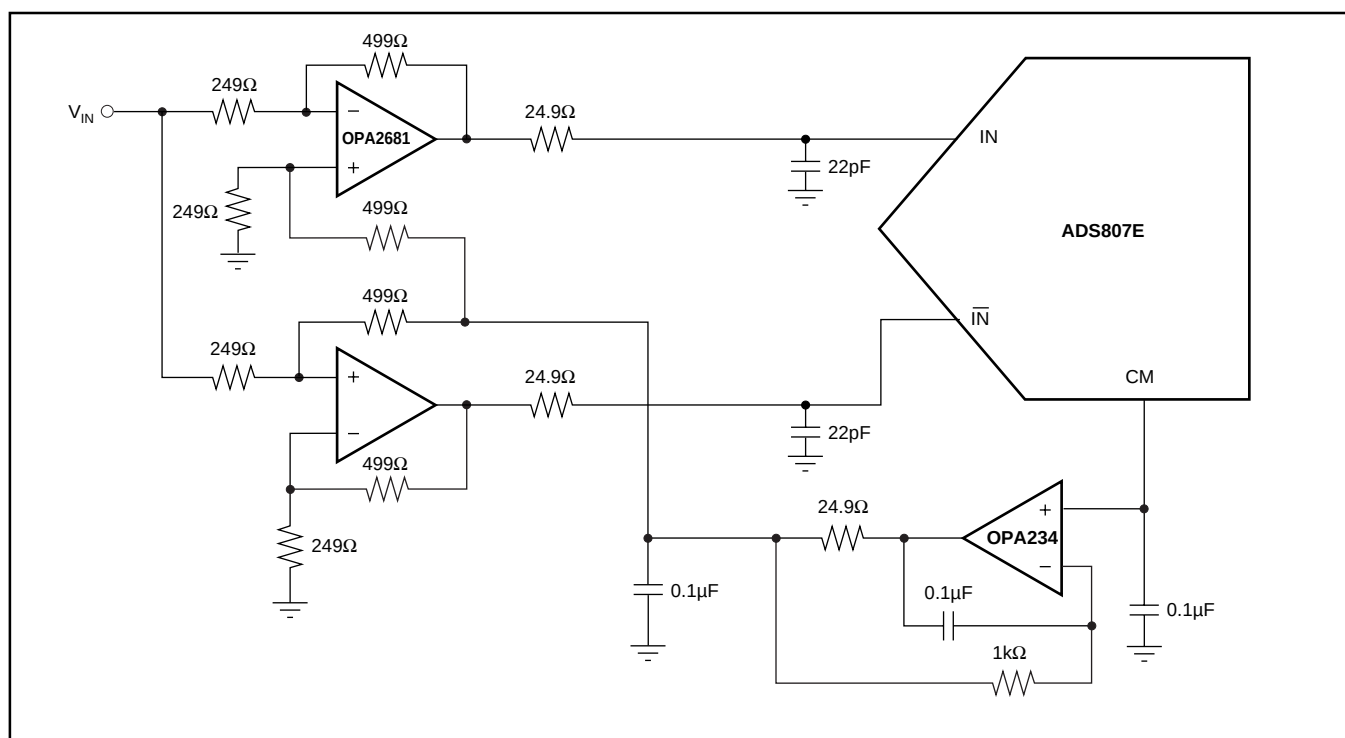


図5. レベル・シフトによるDC結合入力ドライバ

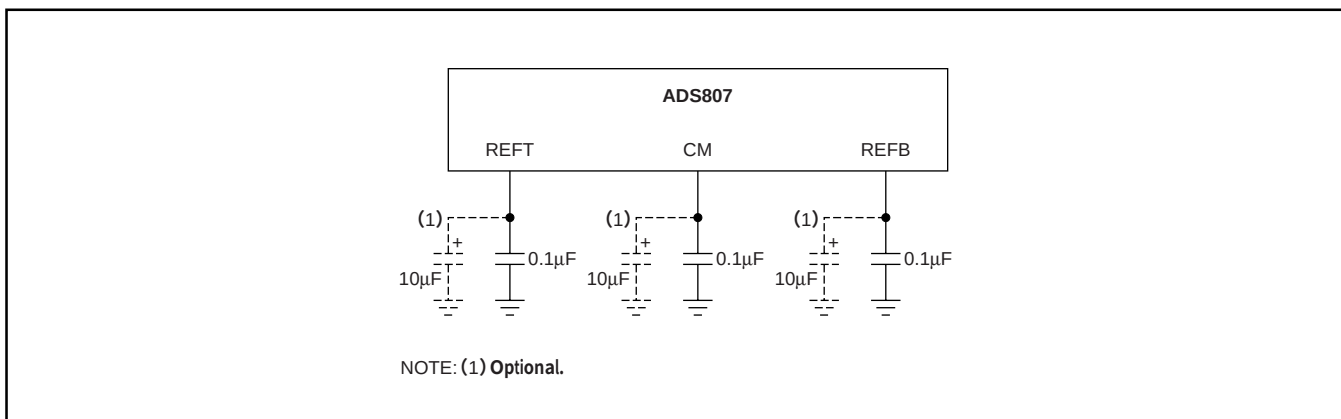


図6.推奨されるバイパス・リファレンス・ピン

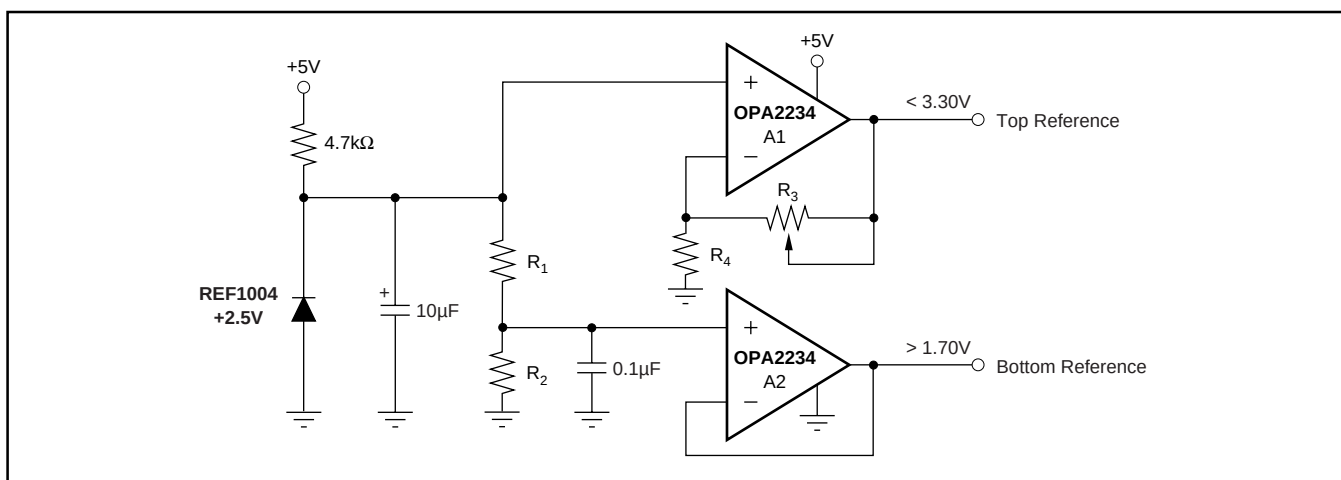


図7. 単一電源デュアル・オペアンプOPA2234を使用した外部リファレンス・ドライバの例

ADS807の $\overline{\text{INT}}/\text{EXT}$ ピンに印加されるロジック・レベルによって、コンバータが内蔵リファレンス電圧と外部リファレンス電圧のどちらで動作するかが決まります。この機能ピンには内部に50k Ω のプルアップ抵抗が接続されているため、デフォルトの設定は外部リファレンス・モードになっています。このピンをグラウンドに接続すると、内部リファレンス・オプションが有効になります。

入力トラック/ホールド・アンプは差動です。 $\overline{\text{IN}}$ が正の1Vp-p、INが負の1Vp-p（図3参照）の場合、トラック/ホールドの出力は2Vp-pになります。同じようにINに2Vp-p、 $\overline{\text{IN}}$ に0Vp-p（図4参照）の場合も、トラック/ホールドの出力は2Vp-pになります。このため、リファレンス電圧、REFTおよびREFBは差動でもシングルエンド入力でも同じです。表Iを参照して下さい。

外部リファレンスは目的によって変わります。ADS807は8から10クロック・サイクルの遅れで外部リファレンスに追従します。もし $\overline{\text{INT}}/\text{EXT}$ および FS_{SEL} を目的に応じて回路構成を変更させるために使用したい場合は、数百 μs の時間を必要としま

す。表紙のブロック図を参照して下さい。外部リファレンスを切り離す回路は、ADS807には内蔵されていません。内部リファレンスと外部リファレンスを切り替えて使用する場合は、切り替えスイッチをADS807と外部リファレンスとの間に挿入する必要があります。

入力	リファレンス	IN(ピン25)	$\overline{\text{IN}}$ (ピン24)	REFT	REFB
2Vp-p差動 1Vp-p $\times$ 2入力	内部または外部	2V to 3V	3V to 2V	+3V	+2V
2Vp-pシングルエンド 1Vp-p $\times$ 1入力	内部または外部	1.5V to 3.5V	2.5V _{DC}	+3V	+2V
3Vp-p差動 1.5Vp-p $\times$ 2入力	内部または外部	1.75V to 3.35V	3.25V to 1.75V	+3.25V	+1.75V
3Vp-pシングルエンド 3Vp-p $\times$ 1入力	内部または外部	1V to 4V	2.5V _{DC}	+3.25V	+1.75V

表I. 入力信号レンジのリファレンス電圧

デジタル入力およびデジタル出力

クロック入力条件

クロック・ジッタは高速、高分解能A/DコンバータのSNR性能にとって深刻な問題です。クロック・ジッタは交換中の信号にノイズを発生させるアパーチャ・ジッタ (t_A) 引き起こします。ADS807は入力信号のサンプリングをCLK入力の立ち上がりエッジで行います。このため、このエッジにおいてジッタはできるだけ低くなければなりません。全SNRへのジッタノイズの影響は以下の式で求めることができます。この値がシステムの要求に近いものであれば、入力クロック・ジッタを低減する必要があります。

$$\text{ジッタ SNR} = 20 \log \frac{1}{2\pi f_{IN} t_A} \text{ rms信号からrmsノイズ}$$

ここで、 f_{IN} は入力信号周波数
 t_A はrmsクロック・ジッタ

特にアンダーサンプリング・アプリケーションでは、クロック・ジッタに特別の注意を払って下さい。最高レベルの性能を達成するためには、クロック入力をアナログ入力として扱う必要があります。クロック信号にオーバーシュートやアンダーシュートがあると性能が劣化します。高いサンプリング・レートでデジタル化する場合、クロックには50%のデューティ・サイクル($t_H = t_L$)と高速な立ち上がり時間および立ち下がり時間(2ns以下)が必要になります。

オーバーレンジ(OTR)

設定されたフルスケール・レンジよりアナログ入力電圧が高くなると、オーバーレンジ状態となります。ADS807の“OTR”ピンを使用して、そのようなレンジ超過状態を監視できます。この“OTR”出力は、サンプリングされた特定のアナログ入力電圧に対応するデータ出力に応じて更新されます。したがって、OTRデータにはデジタル・データと同じパイプライン遅延が発生します。入力電圧が定義された入力レンジの範囲内であれば、OTR出力は“ロー”です。入力された信号がフルスケール・レンジを超えると、OTR出力は“ハイ”になります。

データ出力

ADS807の出力データ・フォーマットは正のストレート・オフセット・バイナリ・コードです(表Iを参照)。このフォーマットは、MSBを反転することで簡単にバイナリ2の補数コードに変換できます。

シングルエンド入力 ($\overline{IN} = CM, Pin-23$)	ストレート・オフセット・バイナリ (SOB)
+FS-1LSB ($IN = CMV + FSR/2$)	1111 1111 1111
+1/2 FS	1100 0000 0000
バイポーラ・ゼロ($IN = V_{CM}$)	1000 0000 0000
-1/2 FS	0100 0000 0000
-FS ($IN = CMV - FSR/2$)	0000 0000 0000

表I. $\overline{IN}$ を同相モード電圧に接続したときのシングルエンド入力構成に対するコード表

差動入力	ストレート・オフセット・バイナリ (SOB)
+FS-1LSB ($IN = +3V, \overline{IN} = +2V$)	1111 1111 1111
+1/2 FS	1100 0000 0000
バイポーラ・ゼロ($IN = \overline{IN} = V_{CM}$)	1000 0000 0000
-1/2 FS	0100 0000 0000
-FS ($IN = +2V, \overline{IN} = +3V$)	0000 0000 0000

表II. $\overline{IN}$ を同相モード電圧に接続したときの差動入力構成に対するコード表

データ・ラインの容量性負荷はできるだけ低くすることをお勧めします(15pF以下)。容量性負荷が高いと、デジタル出力が変化するときのダイナミック電流が大きくなります。そのような高い電流サージはADS807のアナログ部分に帰還して性能に影響する可能性があります。必要ならば、コンバータの出力ピンの近くに外部バッファまたはラッチを設けて容量性負荷を低減することができます。それにより、高周波雑音をカップリングして戻すようなバス上のデジタル雑音動作からADS807を分離する効果も得られます。

デジタル出力ドライバ電源(VDRV)

ADS807は、出力ロジック・ドライバ専用の電源ピンVDRVを備えています。VDRVは内部で他の電源ピンとは接続されていません。VDRVの電圧を+5Vまたは+3Vに設定すると、ADS807は対応するロジック・レベルを生成し、選択されたロジック・ファミリに直接インターフェースすることができます。出力段は各種のロジック・ファミリをドライブするのに十分な電流を供給するように設計されていますが、ADS807を+3Vロジック電源で使用することをお勧めします。これにより、出力スイングが小さくなって出力段での消費電力が減少し、コンバータのAC性能に影響する可能性のある電源ライン上の電流グリッチも減少します。アプリケーションによっては、追加のコンデンサまたは“Pi”フィルタを使ってVDRVピンをデカップリングするのも有益でしょう。

グラウンディングとデカップリング

適切なグラウンディングとバイパス、リード長の短縮、およびグランド・プレーンの使用は、高周波設計にとって特に重要です。最高の性能を達成するためには、多層プリント基板の使用をお勧めします。なぜなら、グランド・インピーダンスの低減やグランド層による信号層の分離など、明確な利点があるからです。ADS807はアナログ部品として取り扱う必要があります。可能な限り、電源ピンにはアナログ電源から供給して下さい。安定した結果が得られるようになります。これは、デジタル電源ラインには高レベルの雑音が含まれている場合が多く、それがコンバータにカップリングされて到達可能な性能を低下させるからです。ADS807のグランド接続はすべて内部で結合されているため、分割したグランド・プレーンの設計は不要になります。グランド・ピン(1、20、26)は、コンバータの下プリント基板領域を覆うアナログ・グランド・プレーンに直接接続して下さい。レイアウトの設計の際には、アナログ信号パターンをすべてのデジタル・ラインから分離して、アナログ信号路への雑音カップリングを防ぐことが重要です。サンプリング・レートが高いため、ADS807は高周波の過渡電流や雑音(クロック・フィードスルー)を発生し、これらは電源ラインおよびリファレンス・ラインに帰還します。そのため、すべての電源ピンとリファレンス・ピンを十分にバイパスする必要があります。ADS807の推奨デカップリング方法を図8に示します。ほとんどの場合、広い周波数範囲にわたってインピーダンスを低く保つには、各ピンに0.1μFのセラミック・チップ・コンデンサを接続するのが適切です。その有効性は各電源ピンからの距離によって大きく変化するため、できる限り電源ピンに近い位置に配置するようにしてください。また、それより大きな値のバイポーラ・コンデンサ(1μFから22μF)をプリント基板上でコンバータ回路に近い位置に配置して下さい。

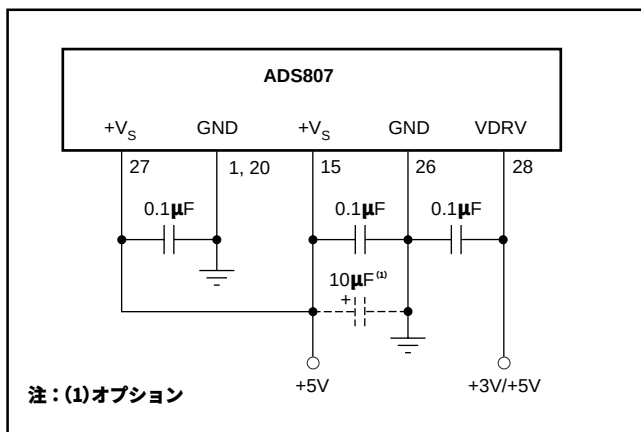


図8. 電源ピンの推奨バイパス方法

外観

