

12ビット、25MHzサンプリング A/Dコンバータ

特長

- ノー・ミッシング・コード
- 低消費電力：270mW
- 基準電圧内蔵
- 広帯域トラック/ホールド：65MHz
- +5V単一電源
- パッケージ：28ピンSOPおよび28ピンSSOP

アプリケーション

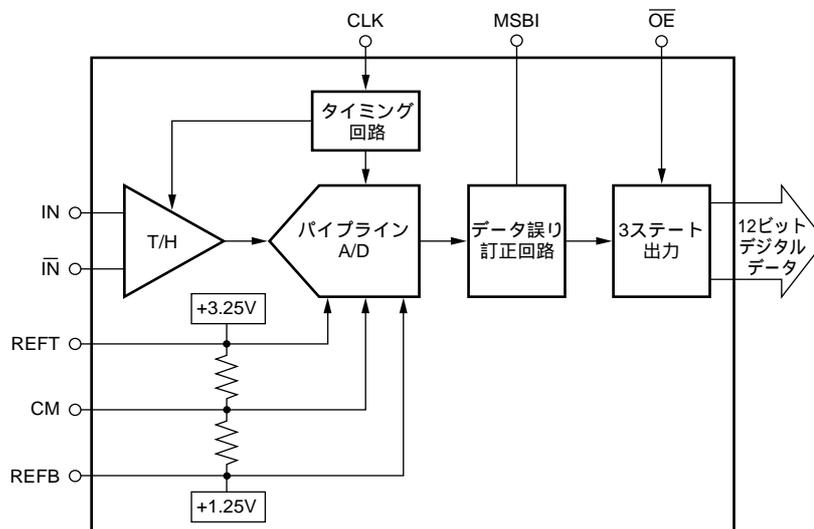
- IFおよびベースバンドのデジタル信号化
- デジタル通信
- ガンマ・カメラ
- テスト装置
- CCD画像処理
 - 複写機
 - スキャナ
 - カメラ
- ビデオのデジタル信号化

概要

ADS801は、サブ・ミクロン・ルールのCMOSプロセスによる低消費電力なモノリシック12ビット、25MHz A/Dコンバータです。この完成されたコンバータは、12ビット量子化回路、広帯域トラック/ホールド、基準電圧および3ステート出力を備えています。+5V単一電源で動作し、構成により差動入力信号もシングル・エンド入力信号も処理できます。

ADS801は、データ誤り訂正回路の採用により優れたナイキスト微分直線性性能を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。低歪、高SNR、高いオーバーサンプリング能力などの特長により、通信、計測装置、ビデオなどのアプリケーションに必要な特性に対し、十分な余裕が得られます。

この高性能A/Dコンバータは、25MHzのサンプリング・レートで指定された、または全仕様温度範囲にわたってACおよびDC性能の仕様が規定されています。ADS801は、28ピンSOPおよび28ピンSSOPで供給されます。



仕様

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

パラメータ	条件	温度	ADS801U			ADS801E			単位
			最小	標準	最大	最小	標準	最大	
分解能 仕様温度範囲	$T_{AMBIENT}$		-40	12	+85	*(1)	12	*	Bits
アナログ入力 差動フルスケール入力レンジ 同相モード電圧 アナログ入力帯域幅 (-3dB) 小信号 フルパワー 入力インピーダンス	両入力、位相差180° -20dBFS ⁽²⁾ 入力 0dBFS 入力	+25 +25	+1.25	+2.25	+3.25	*	*	*	V V MHz MHz MΩ pF
デジタル入力 ロジック・ファミリ 変換コマンド	変換開始		TTL/HCT互換CMOS 立ち下がりエッジ			TTL/HCT互換CMOS 立ち下がりエッジ			
精度 ⁽³⁾ ゲイン誤差		+25 全温度		±0.6 ±1.0	±1.5 ±2.5	*	*	*	% %
ゲイン温度係数				±85		*	*	*	ppm/
ゲインの電源除去	$\Delta V_S = \pm 5\%$	+25		0.03	0.15	*	*	*	%FSR/%
入力オフセット誤差		全温度		±2.1	±3.0	*	*	*	%
オフセットの電源除去	$\Delta V_S = \pm 5\%$	+25		0.05	0.15	*	*	*	%FSR/%
変換特性 サンプリング・レート データ待ち時間			10k	6.5	25M	*	*	*	サンプル/s 変換サイクル
ダイナミック特性 微分直線性誤差 f=500kHz		+25 0 ~ +85		±0.3 ±0.4	±1.0 ±1.0		±0.4 ±0.5	*	LSB LSB
f=10MHz		+25 0 ~ +85		±0.3 ±0.4	±1.0 ±1.0		±0.4 ±0.5	*	LSB LSB
ノー・ミッシング・コード 積分直線性誤差 (f=500kHz)		全温度		保証			保証	*	LSB
スプリアスフリー・ダイナミック・レンジ (SFDR) f=500kHz (-1dBFS入力)		+25 全温度	63 62	77 73		*	*	*	dBFS dBFS
f=10MHz (-1dBFS入力)		+25 全温度	57 55	61 61		*	*	*	dBFS dBFS
ツートーン相互変調歪 (IMD) ⁽⁴⁾ f=4.4MHzおよび4.5MHz (-7dBFS、各トーン)		+25 全温度		-64 -63		*	*	*	dBc dBc
信号対雑音比 (SNR) f=500kHz (-1dBFS入力)		+25 全温度	64 61	66 64		62 59	64 *	*	dB dB
f=10MHz (-1dBFS入力)		+25 全温度	62 58	65 64		*	*	*	dB dB
信号対(雑音+歪) (SINAD) f=500kHz (-1dBFS入力)		+25 全温度	63 60	66 63		61 58	64 *	*	dB dB
f=10MHz (-1dBFS入力)		+25 全温度	56 54	59 58		*	*	*	dB dB
微分ゲイン誤差	NTSCまたはPAL	+25		0.5		*	*	*	%
微分位相誤差	NTSCまたはPAL	+25		0.1		*	*	*	degrees
アパーチャ・ディレイ時間		+25		2		*	*	*	ns
アパーチャ・ジッタ		+25		7		*	*	*	ps rms
過電圧復帰時間 ⁽⁵⁾	1.5xフルスケール入力	+25		2		*	*	*	ns

注：(1) *印仕様は、ADS801Uと同じであることを示します。(2)dBFSは、フルスケールのdBを表します。(3)パーセンテージ精度は、内部A/Dのフルスケール・レンジ4Vp-pを基準とします。(4)IMDは、2つの入力信号のうち大きい方を基準とします。ピーク・エンベロープ電力(=0dB)を基準とする場合、相互変調積は7dB低くなります。(5)ビットの“ロールオーバー”はありません。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に關する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様 (続き)

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

パラメータ	条件	温度	ADS801U			ADS801E			単位
			最小	標準	最大	最小	標準	最大	
出力 ロジック・ファミリ ロジック・コーディング ロジック・レベル	ロジック選択可能 ロジック“ロー”、 $C_L = 15pF$ (最大) ロジック“ハイ”、 $C_L = 15pF$ (最大)	全温度	TTL/HCT互換CMOS 立ち下がりエッジ			TTL/HCT互換CMOS 立ち下がりエッジ			V
		全温度	0		0.4	*		*	V
		全温度	+2.5		$+V_S$	*		*	V
		全温度		20		40	*		ns
3スタート・イネーブル時間		全温度		2		10		ns	
3スタート・ディスエーブル時間		全温度		2		10		ns	
電源条件	動作時 動作時 動作時 動作時	全温度	+4.75	+5.0	+5.25	*	*	*	V
電源電圧: $+V_S$		+25		54	65	*	*	*	mA
電源電流: $+I_S$		全温度		54	68	*	*	*	mA
消費電力		+25		270	325	*	*	*	mW
消費電力	動作時	全温度		270	340	*	*	*	mW
熱抵抗、 θ_{JA}									
28ピンSOP				75		*			/W
28ピンSSOP				50		*			/W

*印仕様は、ADS801Uと同じであることを示します。

パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	温度範囲
ADS801U	28ピンSOP	217	-40 ~ +85
ADS801E	28ピンSSOP	324	-40 ~ +85

注: (1)詳細図および寸法表は、データシートの巻末を参照して下さい。

絶対最大定格

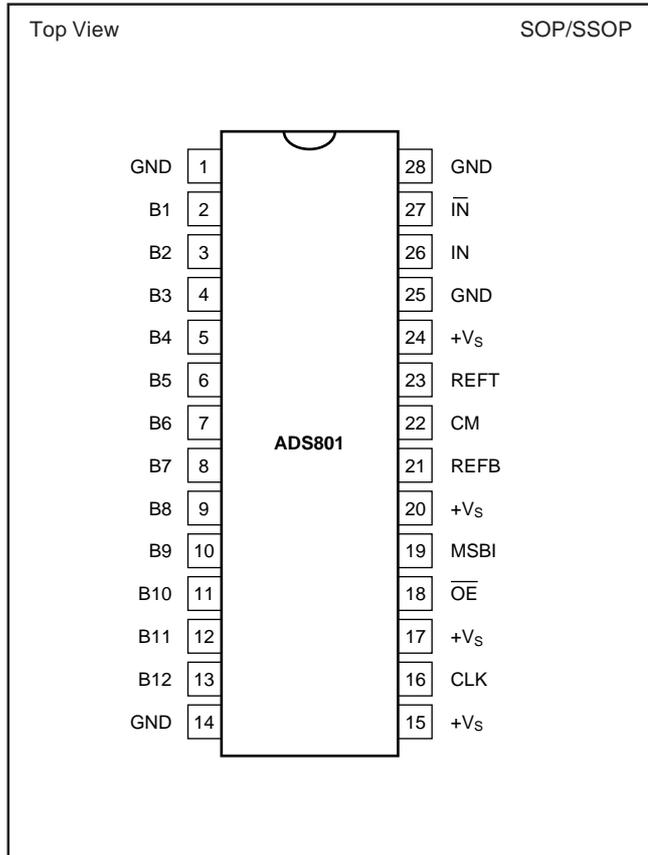
$+V_S$	+6V
アナログ入力	0V ~ ($+V_S+300mV$)
ロジック入力	0V ~ ($+V_S+300mV$)
ケース温度	+100
接合部温度	+150
保存温度	+125
高電位基準電圧(REFT)への外部印加電圧	+3.4V (最大)
低電位基準電圧(REFB)への外部印加電圧	+1.1V (最小)

注: 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

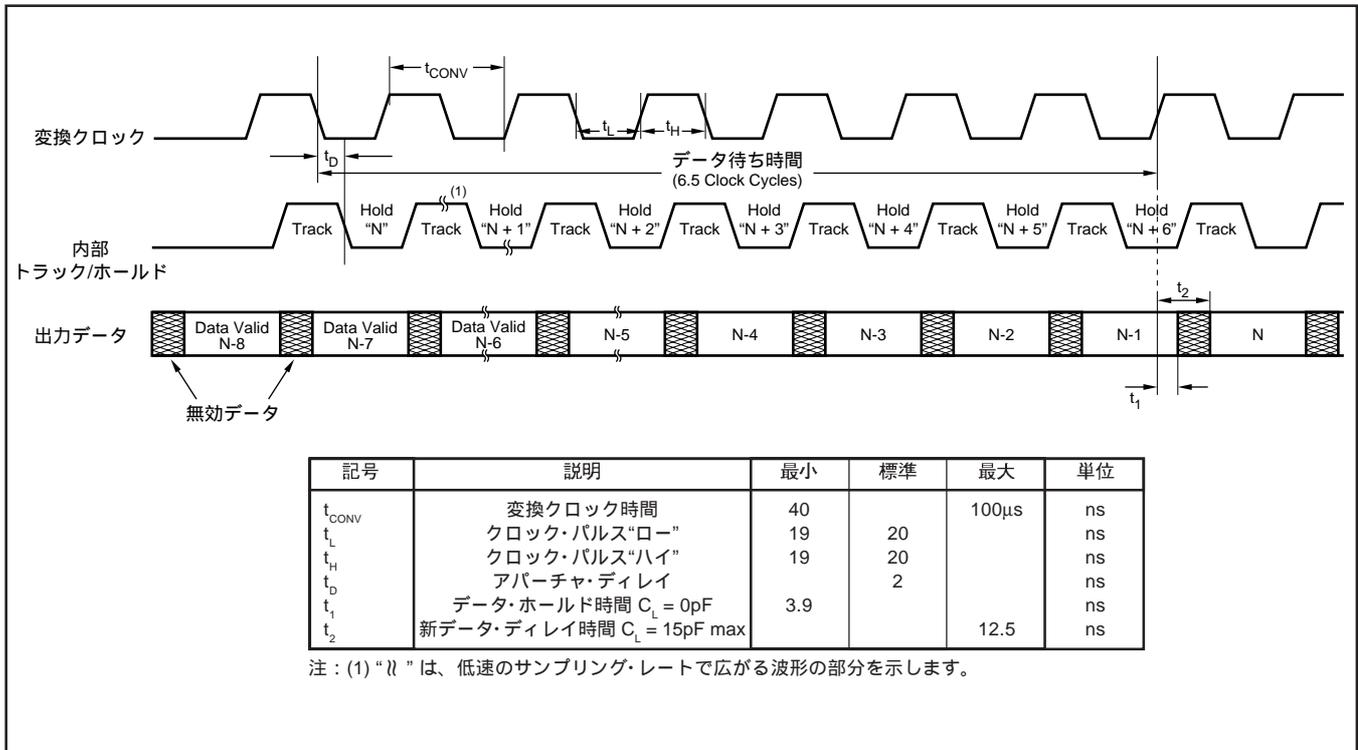
ピン配置



ピン構成

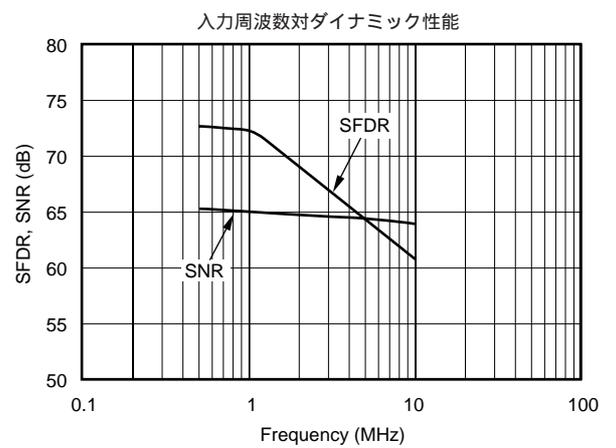
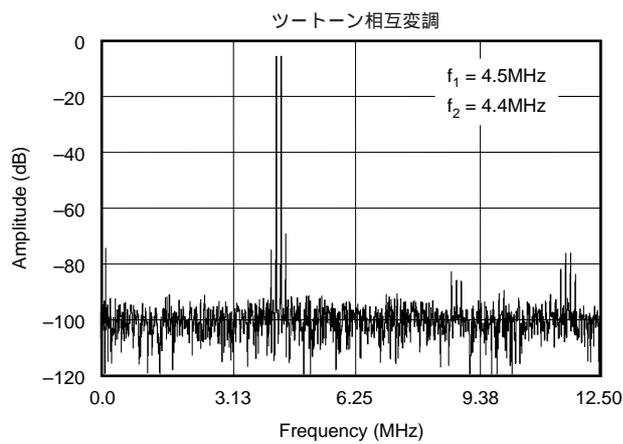
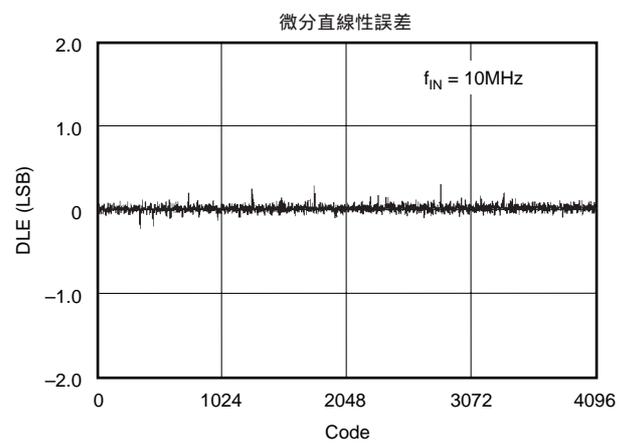
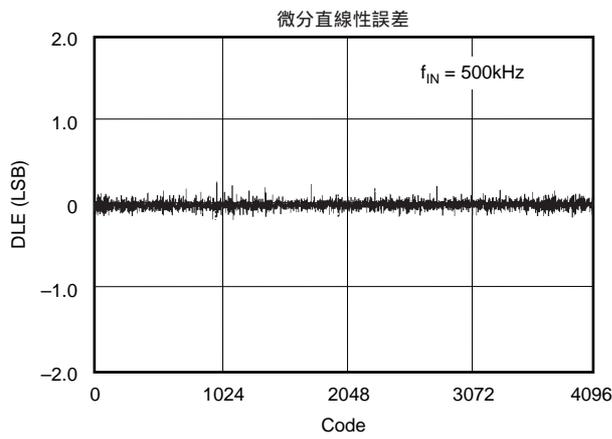
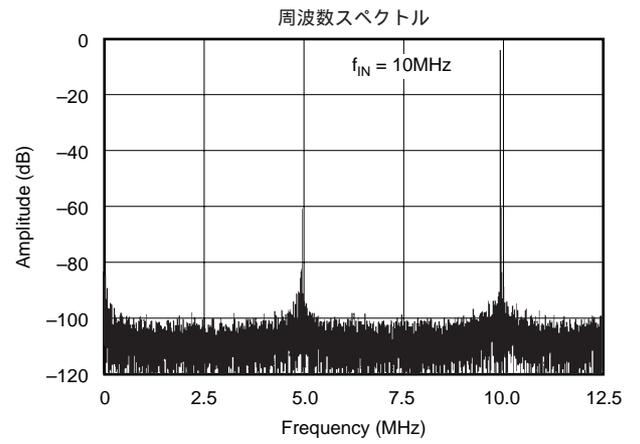
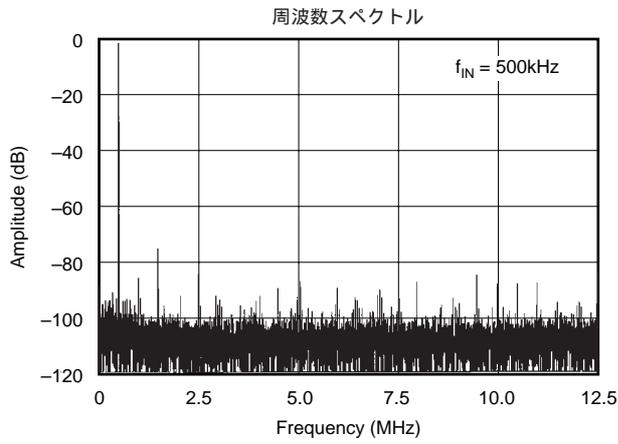
ピン	記号	説明
1	GND	グラウンド
2	B1	ビット1、最上位ビット
3	B2	ビット2
4	B3	ビット3
5	B4	ビット4
6	B5	ビット5
7	B6	ビット6
8	B7	ビット7
9	B8	ビット8
10	B9	ビット9
11	B10	ビット10
12	B11	ビット11
13	B12	ビット12、最下位ビット
14	GND	グラウンド
15	+Vs	+5V電源
16	CLK	変換クロック入力、50%デューティ・サイクル
17	+Vs	+5V電源
18	OE	ハイは高インピーダンス状態。ローまたはオープンでは通常動作。内部プルダウン抵抗。
19	MSBI	最上位ビット反転。ハイはMSBが反転されたバイナリ2の補数出力(BTC)。ローまたはオープンではストレート出力(SOB)。内部プルダウン抵抗。
20	+Vs	+5V電源
21	REFB	低電位基準電圧バイパス。内部+1.25V基準電圧の外部バイパス用。
22	CM	同相モード電圧。(REFT+REFB)/2で求まる。
23	REFT	高電位基準電圧バイパス。内部+3.25V基準電圧の外部バイパス用。
24	+Vs	+5V電源
25	GND	グラウンド
26	IN	非反転入力
27	IN	反転入力
28	GND	グラウンド

タイミング図



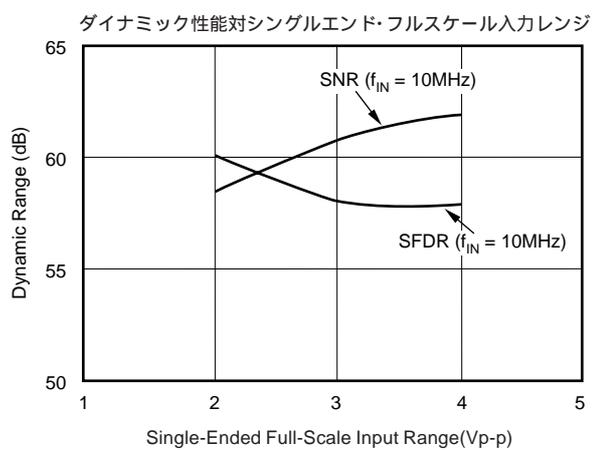
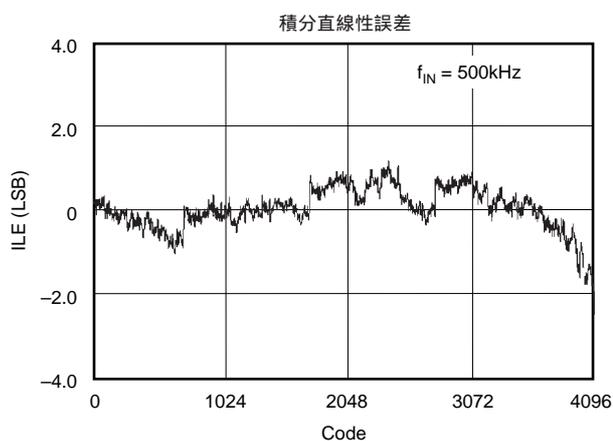
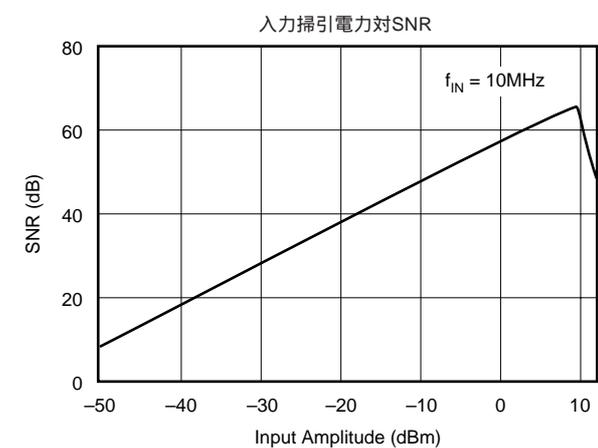
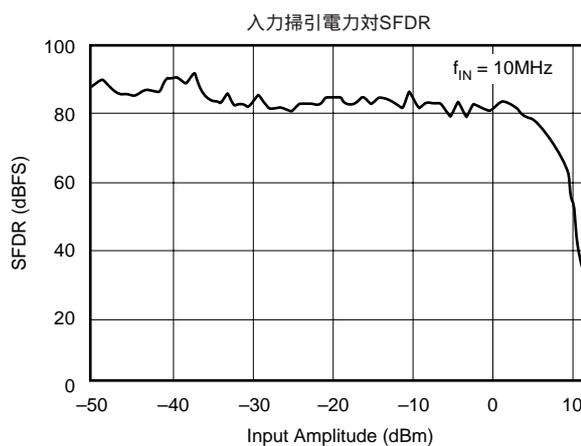
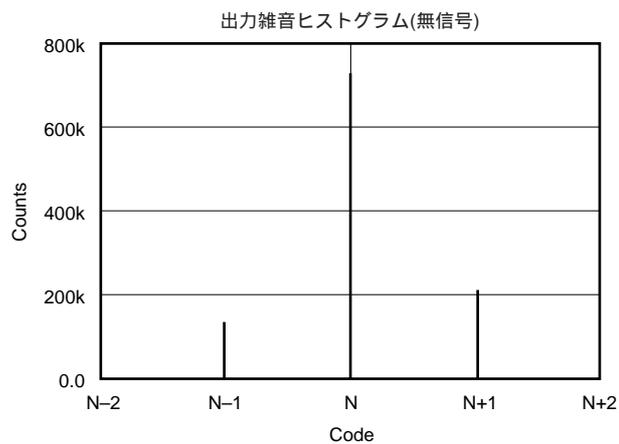
代表的性能曲線

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

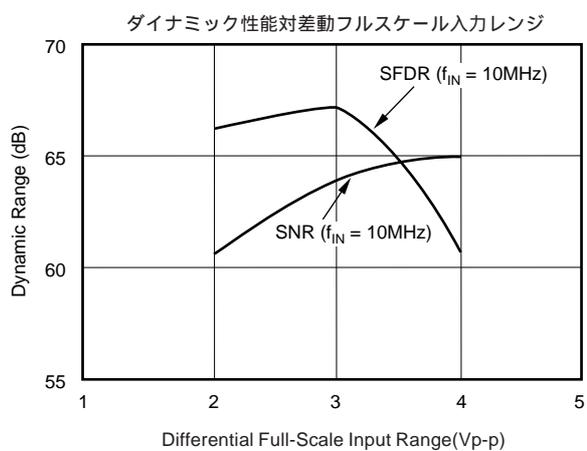


代表的性能曲線

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。



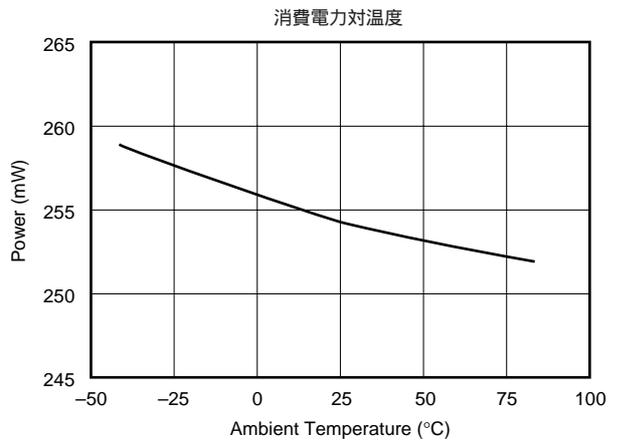
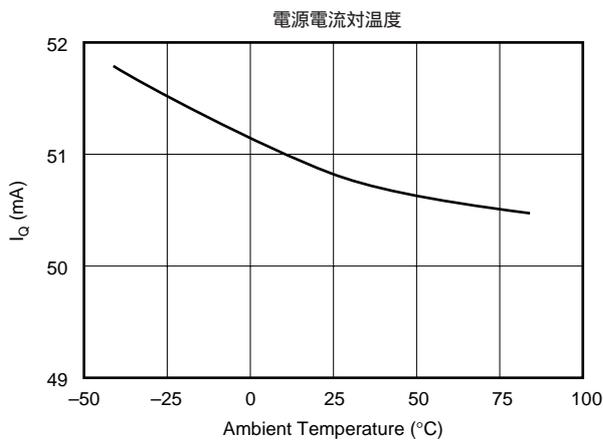
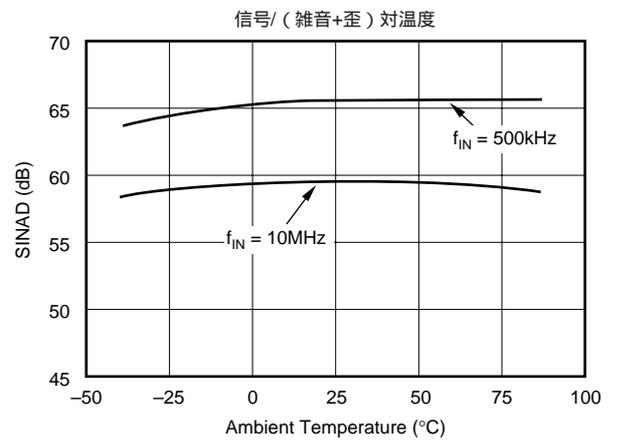
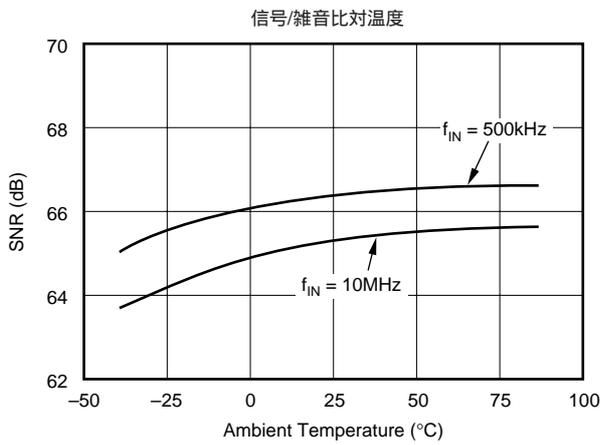
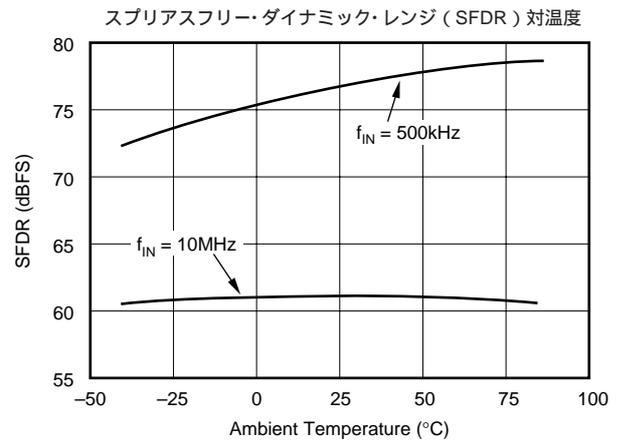
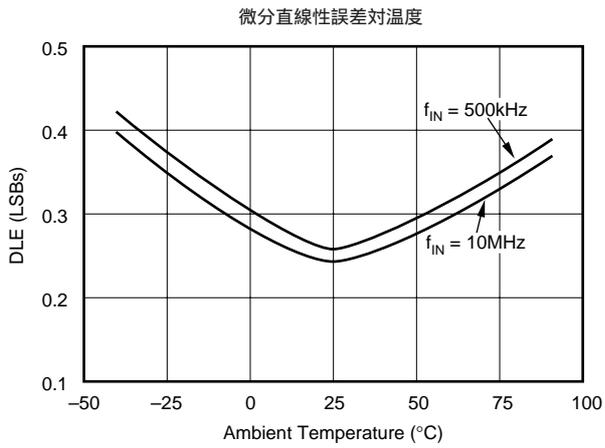
注：外部REFTを変化させ、REFBは+1.25Vの内部値に固定。



注：外部REFTを変化させ、REFBは+1.25Vの内部値に固定。

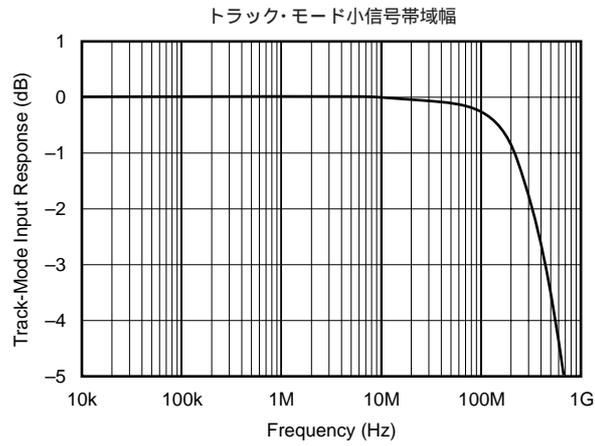
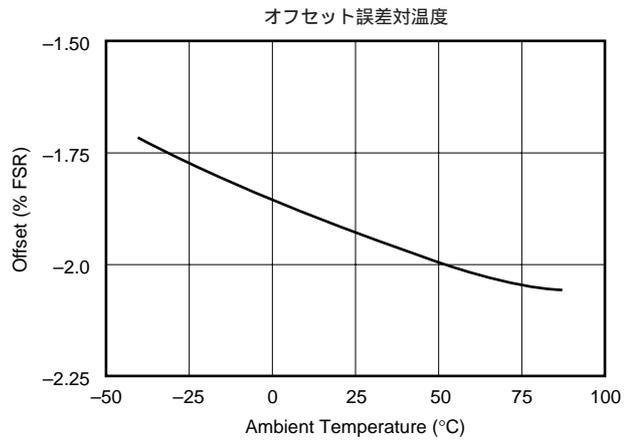
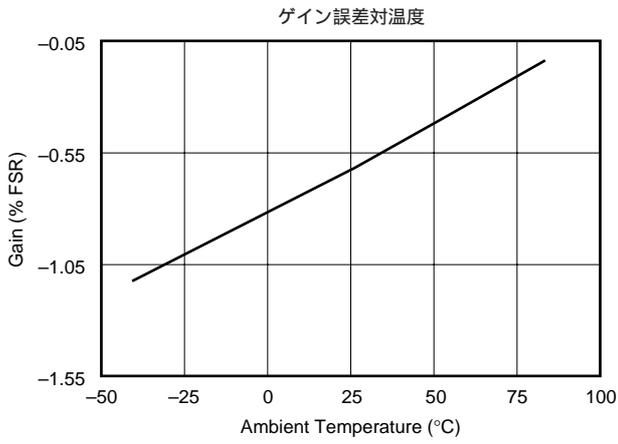
代表的性能曲線

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。



代表的性能曲線

特に記述のない限り、 $T_A=+25$ 、 $V_S=+5V$ 、サンプリング・レート=25MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。



動作原理

ADS801は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動アーキテクチャおよびデータ誤り訂正回路を使用して12ビットの分解能を保証しています。差動トラック/ホールド回路を図1に示します。重ならない2つの位相信号 $\phi 1$ および $\phi 2$ からなる内部クロックによってスイッチを制御し、サンプリング時には入力信号がオペアンプ・バイアスを基準電位とした入力コンデンサ C_I にチャージされます。次のクロック位相($\phi 2$)では、入力コンデンサの入力側電極が相互に接続され、帰還コンデンサ C_H はオペアンプ出力に接続されます。このとき、電荷が C_I および C_H の間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDC値としてホールドした値となります。トラック/ホールド回路は、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換することもできます。

図2に示すように、パイプライン方式の量子化回路アーキテクチャは11段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックの2倍の周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。

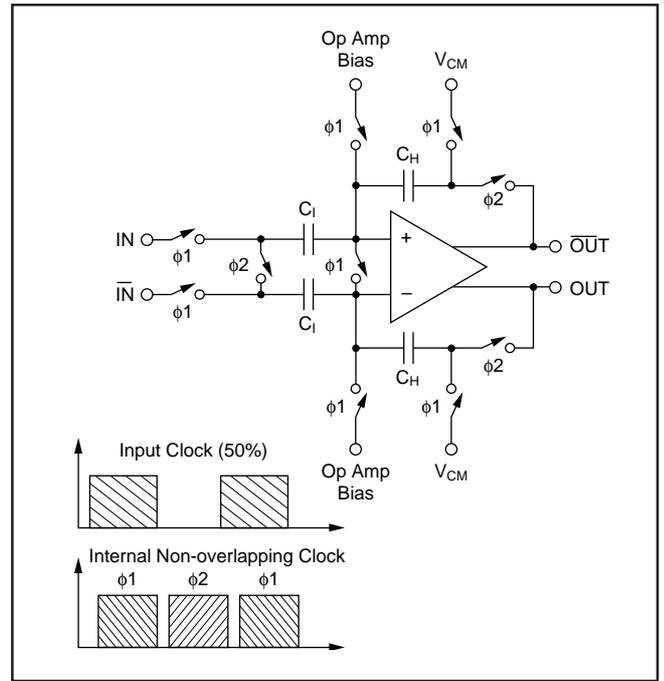


図1. 入力トラック/ホールドの構成とタイミング信号

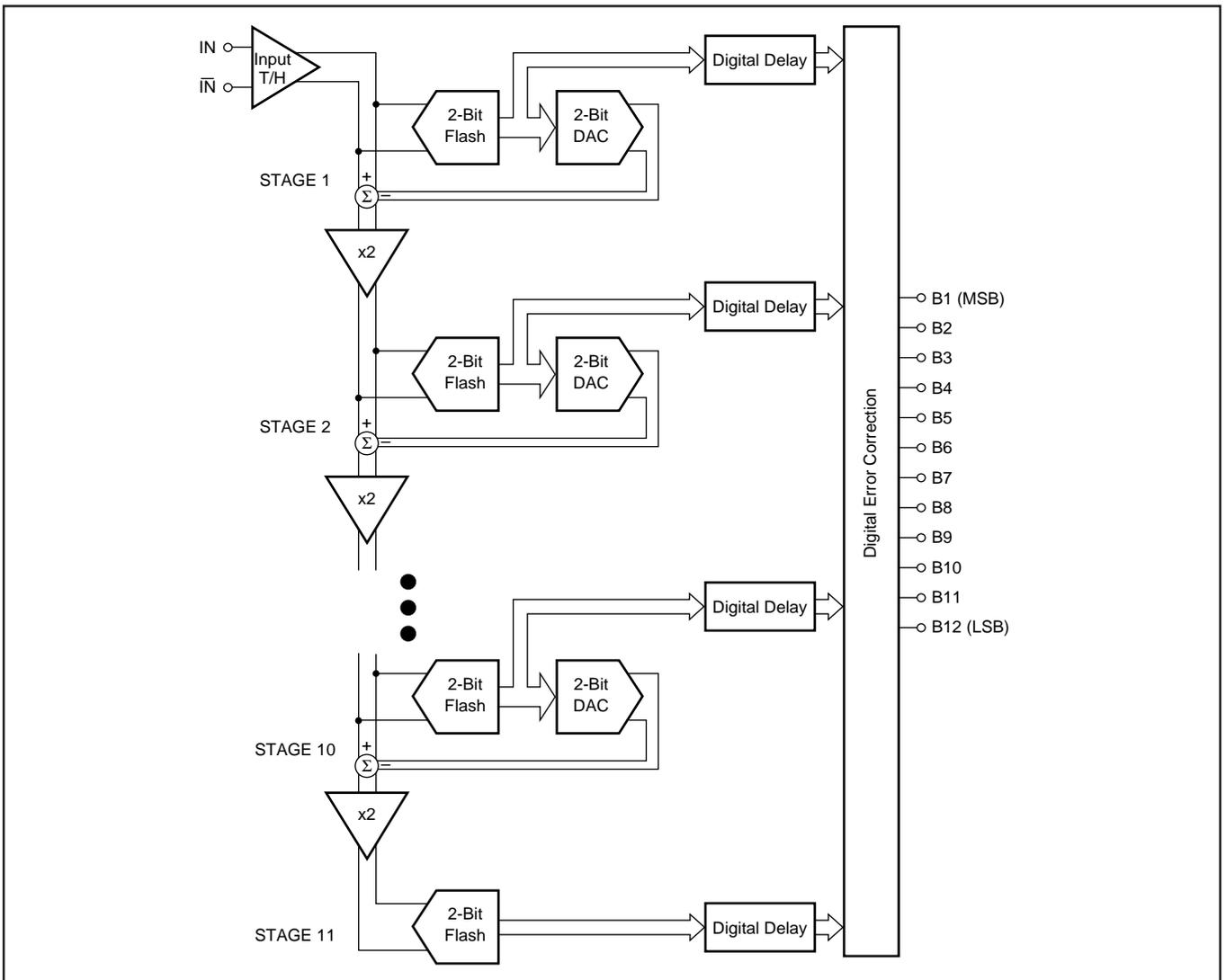


図2. パイプライン方式A/Dのアーキテクチャ

このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に供給されます。ADS801はこの技術により、優れた微分直線性が得られ、12ビット・レベルのノー・ミッシング・コードが保証されます。

1つの外部クロック・サイクルあたり2段のパイプラインがあるため、変換開始信号から有効データ出力まで6.5クロック・サイクルのデータ待ち時間があります。出力データのフォーマットは、ストレート・オフセット・バイナリ(SOB)またはバイナリ2の補数(BTC)を使用できます。

アナログ入力および内部基準電圧

ADS801のアナログ入力は、信号の性質や要求される性能レベルに応じて構成を変え、いろいろな回路でドライブすることができず。ADS801は、A/Dのフルスケール入力レンジを設定する内部基準電圧を備えています。差動入力レンジでは、各入力が $\pm 2.25V$ の同相モード電圧を中心として、2つの入力に対するフルスケール・レンジはそれぞれ $+1.25V \sim +3.25V$ になっています。各入力のスパン電圧は $2V$ で、相互に 180° の位相差があるため、量子化回路に供給される差動入力信号は $4V$ になります。図3に示すように、同相モード電圧(CM)に対し高電位の基準電圧(REFT) および低電位の基準電圧(REFB) には外部バイパス用のピンが設けられています。また、同相モード電圧(CM)を基準電圧として利用し、ドライブ回路に適したオフセットを供給できます。ただし、この基準ノードには大きな負荷をかけないように注意することが必要です。外部基準電圧、シングル・エンド入力およびADS801のドライブ回路の詳細については、アプリケーションの項を参照して下さい。

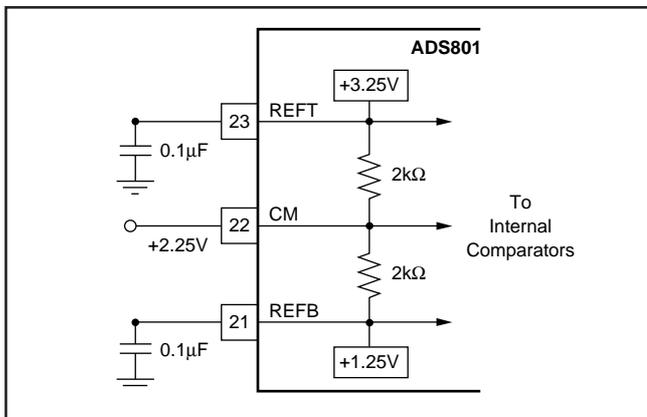


図3. 内部基準電圧の構成

クロック条件

CLKピンにはCMOSレベルのクロックを入力します。パイプラインの段間の各種変換は、外部からの変換コマンド・クロックの立ち上がりおよび立ち下がりがエッジによって制御されます。このため、クロックのデューティ・サイクルを50%に保持し、低ジッタおよび高速な立ち上がり/立ち下がりが時間(2ns以下)を確保することが必要です。これは、特に高周波入力をデジタル化するときや、最大サンプリング・レートで動作するとき重要です。デューティ・サイクルが50%から外れると、実質的に段間を与えるセトリングタイムが不足し、SNRやDNL性能が劣化します。

デジタル出力データ

12ビット出力データは、CMOSロジック・レベルで出力されます。標準の出力のコーディングは、入力信号がフルスケールの時

にオール1となるストレート・オフセット・バイナリです。この条件は、ピン19が“ロー”またはオープン(内部で抵抗によりプルダウン)になっている場合です。このピンにロジック“ハイ”電圧を印加すると、最上位ビットが反転するバイナリ2の補数出力になります。ADS801のデジタル出力は、 \overline{OE} (ピン18) にロジック“ハイ”を与えることによって高インピーダンス状態にできます。ピン18が“ロー”またはオープン(内部でプルダウン)になっている場合は、通常動作になります。この機能を利用して、直接デジタル・バスをドライブしたり変換プロセス中に動的に変更すると精度が悪化します。

差動入力 ⁽¹⁾	出力コード	
	SOB ピン19 オープンまたはロー	BTC ピン19 ハイ
+FS (IN = +3.25V, $\overline{IN} = +1.25V$)	111111111111	011111111111
+FS -1LSB	111111111111	011111111111
+FS -2LSB	111111111110	011111111110
+3/4フルスケール	111000000000	011000000000
+1/2フルスケール	110000000000	010000000000
+1/4フルスケール	101000000000	001000000000
+1LSB	100000000001	000000000001
バイポーラ・ゼロ (IN = $\overline{IN} = +2.25V$)	100000000000	000000000000
-1LSB	011111111111	111111111111
-1/4フルスケール	011000000000	111000000000
-1/2フルスケール	010000000000	110000000000
-3/4フルスケール	001000000000	101000000000
-FS +1LSB	000000000001	100000000001
-FS (IN = +1.25V, $\overline{IN} = +3.25V$)	000000000000	100000000000

注: シングル・エンド入力モードでは+FS = +4.25V、-FS = +0.25Vになります。

表I. 出力データのコード表

アプリケーション

ADS801のドライブ

ADS801は、 $+2.25V$ の同相モード基準電圧と差動入力を備えています。AC結合のアプリケーションでこの差動入力を作る最も簡単な方法は、トランスの1次側をシングル・エンド入力としてドライブすることです。図4のように、センター・タップを $+2.25V$ の同相モード電圧に接続すると、2次側に適した差動出力が発生します。このトランス結合による入力の構成では、良好な高周波AC性能が得られます。

トランスは、コアがフルスケール電圧レベルで飽和しない低歪なものを選択することが重要です。この例では、トランスが内部基準電圧の分割抵抗に大きな負荷をかけないため、同相モード(CM)出力のバッファは必要ありません。一般には、分割抵抗の直線性を維持するため、CM出力ピンから取り出す電流を $0.5\mu A$ 以下に抑えて下さい。OPA130などのFET入力オペアンプは、基準電圧をバッファして外部回路をドライブするのに適します。アナログINおよび \overline{IN} 入力は、トラック/ホールドのグリッチを最小限に抑えて高周

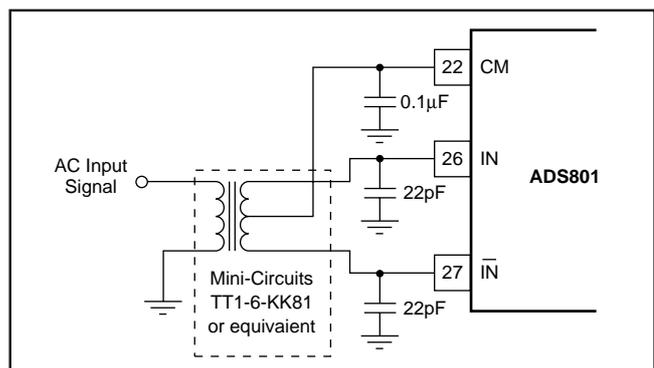


図4. トランスを使用した、AC結合のシングル・エンド差動ドライブ回路

波入力性能を改善するため、22pFコンデンサでバイパスすることが必要です。

図5に、トランスの代わりに低コストな抵抗およびコンデンサを使用したインターフェース回路の例を示します。信号帯域幅によって、データシートに記載された性能を維持するために部品の値は慎重に選択して下さい。入力コンデンサ C_{IN} および入力抵抗 R_{IN} は、低域コーナー周波数 $f_c = 1/(2\pi R_{IN} C_{IN})$ で定まるハイパスフィルタを発生します。コーナー周波数は、 R_{IN} もしくは C_{IN} の値を大きくすることによって低下させることができます。もし回路が50Ωもしくは75Ωのインピーダンス・レベルで動作している場合、抵抗値は固定したままで、コンデンサの値のみを大きくします。通常AC使用する結合コンデンサは、1μF以上の電解コンデンサもしくはタンタル・コンデンサです。これらの大きな値のコンデンサは、入力周波数の増加とともにIC成分が増加し、信号振幅誤差や発振につながることに留意して下さい。全信号帯域にわたり低いAC結合インピーダンスを維持したい場合は、小さな値（例：1μF）のセラミック・コンデンサを有極性コンデンサと並列に接続して下さい。

コンデンサ C_{SH1} および C_{SH2} は、入力部のトラック/ホールド段におけるスイッチングによる電流グリッチを最小にし、信号対雑音性能を向上させるために使用します。これらのコンデンサはさらに、ローパスフィルタを形成し、ノイズ帯域幅を有効に低減するために使用できます。実極を形成するためには、抵抗 R_{SER1} および R_{SER2} を各入力へ直列に追加します。フィルタのカットオフ周波数は、 $f_c = 1/(2\pi R_{SER} \cdot (C_{SH} + C_{ADC}))$ で決定されます。

ここで、 R_{SER} は入力と直列な抵抗、 C_{SH} は入力とグラウンド間の外部コンデンサ、そして C_{ADC} はA/Dコンバータ内部の入力容量（標準4pF）です。

抵抗 R_1 および R_2 は、REFTおよびREFBの各リファレンスからドライブ用の同相モード電圧を合成するときに使用します。これらの抵抗によってリファレンスから引き出される電流が、合計1mAを超えないように抵抗値を選択しなければなりません。図5の回路では、合成同相モード電圧 V_{CM} がリファレンスのREFTとREFBのちょうど中間（+2.25V）にくるように同じ値の二つの抵抗を使用していますが、入力波形によっては必ずしもそうする必要はありません。常に中点である V_{CM} を低インピーダンスなACグラウンドとするため、グラウンドにバイパスされていなければなりません。

ADS801の入力に信号をDC結合する場合は、オペアンプで構成

した入力回路が必要です。差動入力モードでは、シングル・エンド信号を差動信号に変えることが必要です。これは、2つのオペアンプを使用して、一方を非反転信号、他方を反転信号に行います。図6の低歪回路は、グラウンドを中心とした信号を扱うために必要なオフセット・シフトを行っています。また、低歪の+3.25V出力振幅を保証するため、ダイオードを使用して出力レベルのシフトも行っています。それほど低歪でなくてもよい場合は、OPA642の代わりに他のアンプを使用することができます。出力レベル・シフト回路を使用しない場合は、±5Vの電源で+3.25Vまで直線的にスイング可能なオペアンプを選択して下さい。

ADS801は図7で示すように、反転入力を同相モード基準電圧に接続することにより、フルスケール・レンジ+0.25V～+4.25Vのシングル・エンド入力に構成できます。この構成では、特に高い入力周波数で偶数次の高調波が増加します。

しかし、このトレードオフは、FFTなどを行わない時間領域のアプリケーションには全く問題がありません。この場合、ドライブ・アンプは+0.25V～+4.25Vの出力振幅で十分な直線性をもつことが必要です。

外部基準電圧源およびフルスケール・レンジの調整

内部基準電圧バッファは、出力電流が約1mAに制限されています。このため、これら+1.25Vおよび+3.25Vの内部基準電圧源は、最低18mA（室温）以上の出力ドライブ能力をもつ外部基準電圧源で強制ドライブできます。この場合、同相モード電圧は2つの基準の中間に設定されます。この機能は、ADS801のゲイン誤差の調整、ゲイン・ドリフトの改善、フルスケール入力レンジの変更などに使用することができます。フルスケール・レンジを低くすると、外部の入力信号アンプの振幅条件が緩和されるという利点があります。外部基準電圧は、高電位基準電圧（REFT_{EXT}）ピンに対し+3.4V以下、低電位基準電圧（REFB_{EXT}）ピンに対し+1.1V以上、両者の差電圧が1.5V以上の条件範囲で変更することができます。

差動構成では、フルスケール入力レンジは選択した外部基準電圧の値に設定されます。シングル・エンド・モードでは、入力レンジは $2 \cdot (REFT_{EXT} - REFB_{EXT})$ になり、同相モードは $(REFT_{EXT} + REFB_{EXT}) / 2$ が中心になります。予想される性能対フルスケール入力レンジは、代表的性能曲線を参照して下さい。

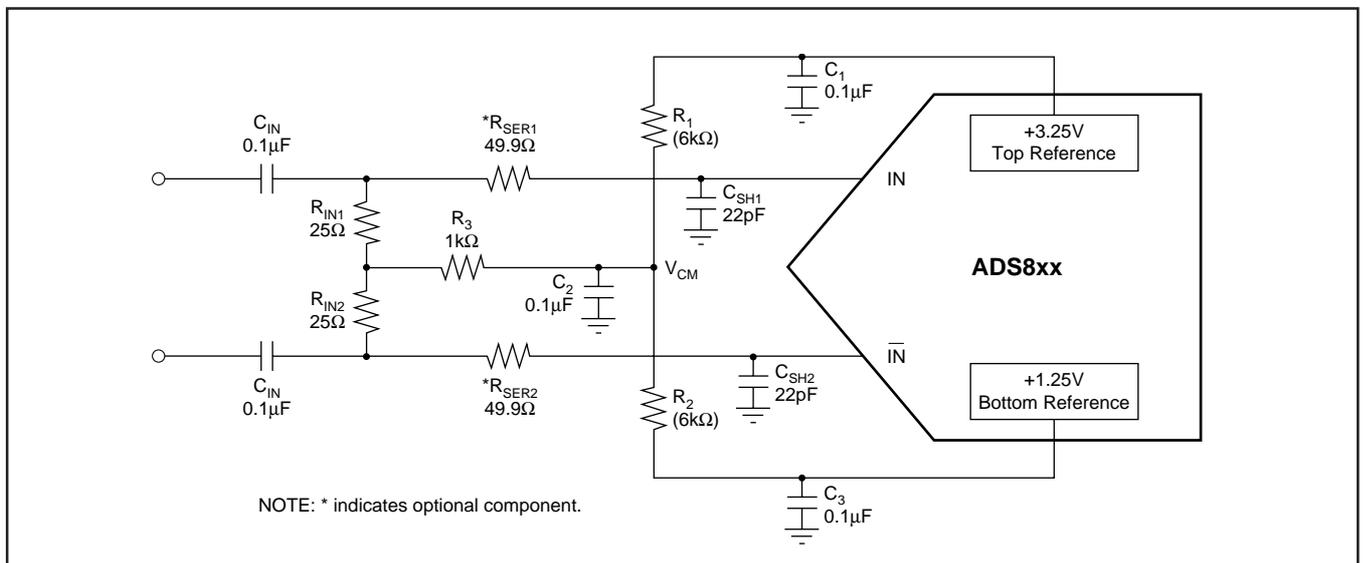


図5. AC結合差動入力回路

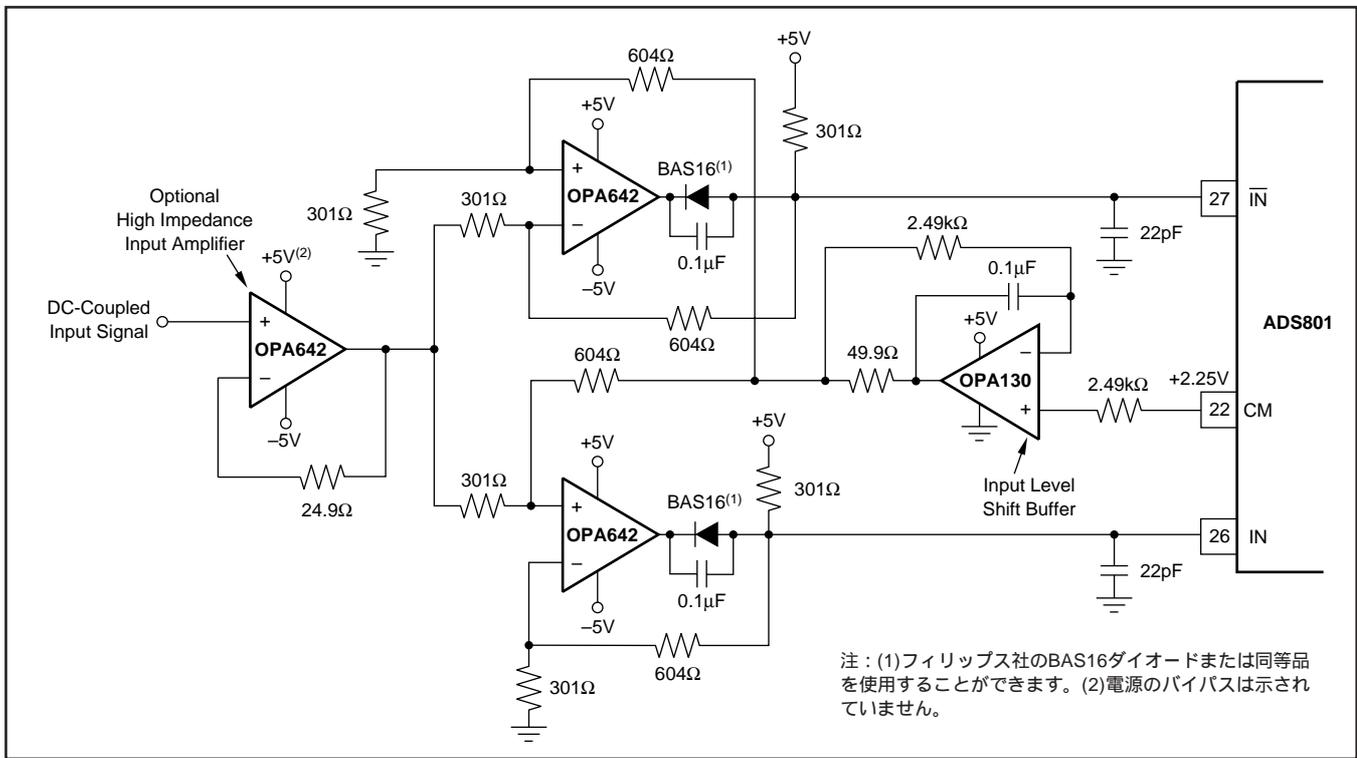


図6. 低歪のDC結合シングル・エンド差動入力ドライバ回路

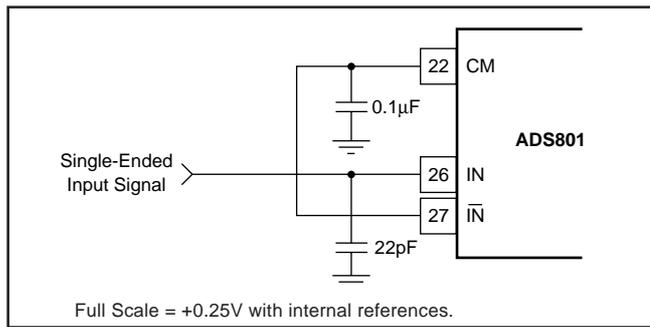


図7. シングル・エンドの入力接続

図8の回路は、単 +5V電源で完全に動作します。リファレンス電圧源として、この回路では、消費電流を0.1mAに設定したマイクロパワーのREF1004-2.5を使用しています。アンプA₂は抵抗分圧器から発生する+1.25Vをバッファするため、フォロワとして構成されています。必要なドライブ電流を供給するためには、プルアップおよびプルダウン・レジスタR_pを追加して下さい。

アンプA₁は、ゲイン範囲が約1から1.32のゲイン調整段として構成されています。ここでも、プルアップ抵抗によりオペアンプの出力電流を軽減しています。プルアップおよびプルダウン抵抗の値はそれほど厳密ではなく、消費電流を最適化するために変更することができます。プルアップおよびプルダウン抵抗の必要性は、選択されたアンプのドライブ能力にのみ依存しており、したがって使用しないで済む場合もあります。

プリント基板のレイアウトとバイパス

正しい動作ときれいなスペクトル応答は、適切に整然と設計されたプリント基板のレイアウトによって保証されます。特に高周波回路では、適正な接地とバイパス、短いリード長、グラウンド・プレーンの使用が重要です。最良の性能を得るためには多層プリント基板が推奨されますが、十分に考慮して設計された、広いグラウンド・プレーンを備えた両面プリント基板でも優れた結果を得るこ

とができます。ADS801のアナログおよびデジタル・グラウンド・ピンは、直接アナログ・グラウンド・プレーンに接続することを推奨します。経験上、これによって最も良好で安定した結果が得られます。A/Dの電源コモンは、アナログ・グラウンド・プレーンにまとめて結線します。電源は、できるだけピンの近くで0.1μFのセラミック・コンデンサによりバイパスします。

ダイナミック性能のテスト

ADS801は高性能なコンバータであるため、正確な結果を得るにはテスト方法に対して十分な注意を払う必要があります。高精度なフェーズ・ロック信号源では、データに窓関数を使用しないで高分解能なFFT測定を実行できます。テスト信号用として、HP8644Aなどの低ジッタ信号ジェネレータと、A/Dクロック用に低ジッタなHP8022Aノルス・ジェネレータとをフェーズ・ロックさせて使用すれば、優れた結果が得られます。低歪なADS801のテストには、テスト信号のローパス・フィルタ（またはバンドパス・フィルタ）が不可欠です。フルスケールよりやや小さい信号振幅を使用すると、わずかな“余裕”ができ、雑音やDCオフセット電圧によるA/Dのオーバーレンジに起因する信号ピークの欠落を防げます。

ダイナミック性能の定義

1. 信号対雑音および歪比 (SINAD) :

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音+高調波電力 (最初の15次高調波)}}$$

2. 信号対雑音比 (SNR) :

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音電力}}$$

3. 相互変調歪 (IMD) :

$$10 \log \frac{\text{最大IMD積電力 (5次まで)}}{\text{正弦波信号電力}}$$

IMDは、テスト信号 f_1 または f_2 の大きい方を基準とします。基本および高調波レベルの計算には、ピークの両サイドにある5つの“ビン”を使用します。“0”周波数のビン(DC)は、ダイナミック信号処理のアプリケーションでほとんど重要性がないため、計算に含まれていません。

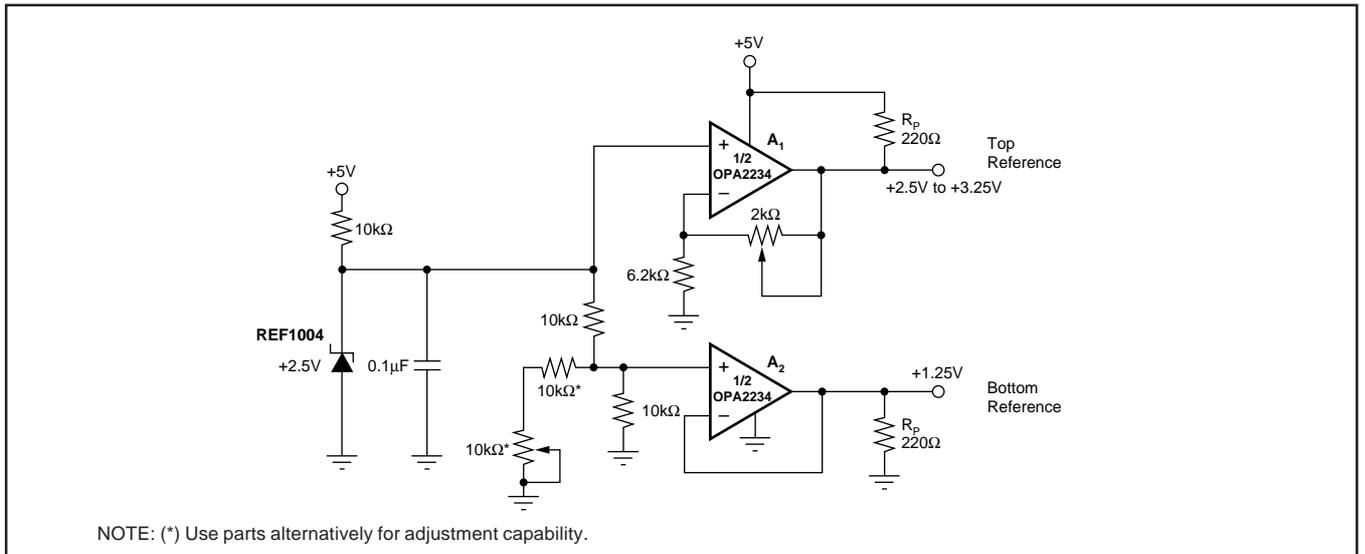


図8. デュアルの単電源オペアンプを使用した、フルスケールレンジ設定用外部リファレンス(オプション)

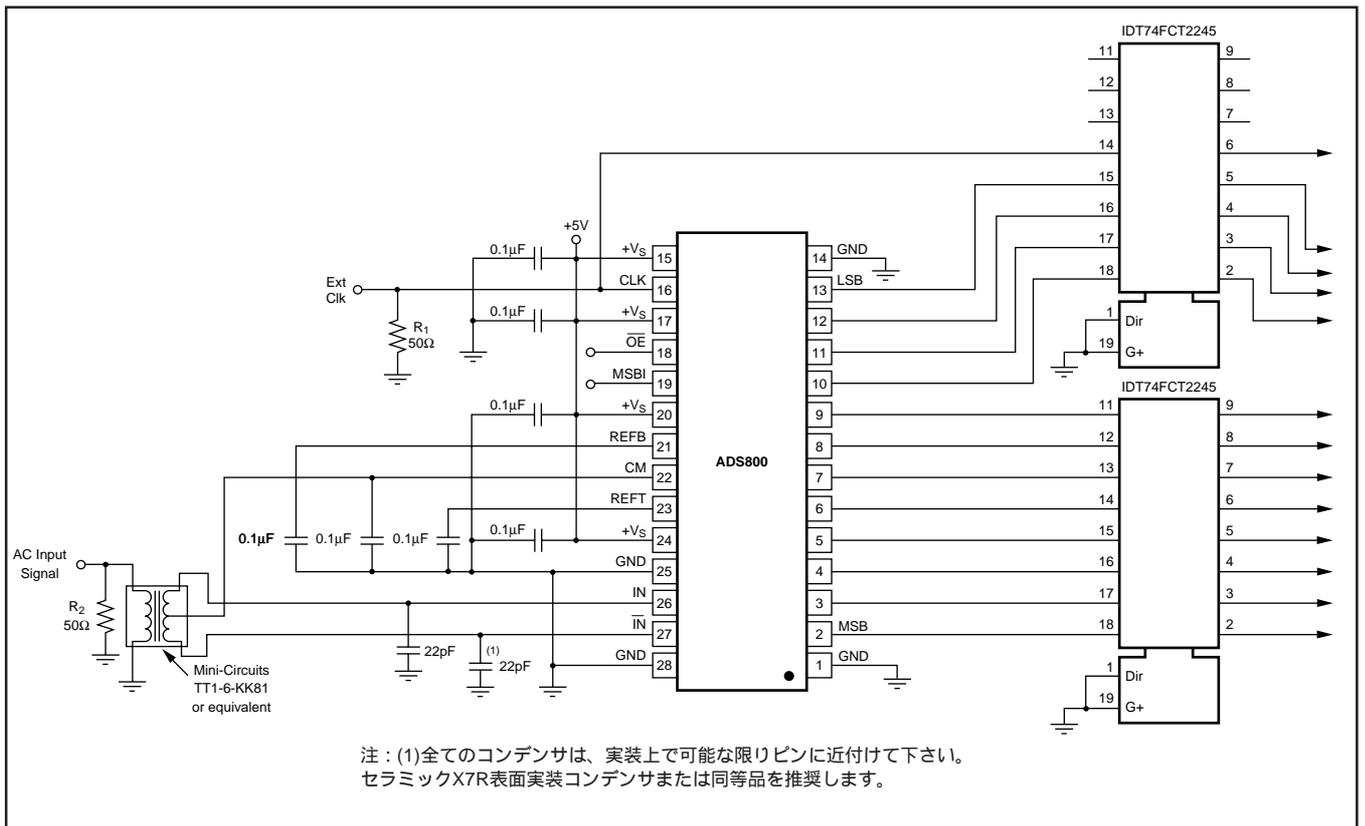
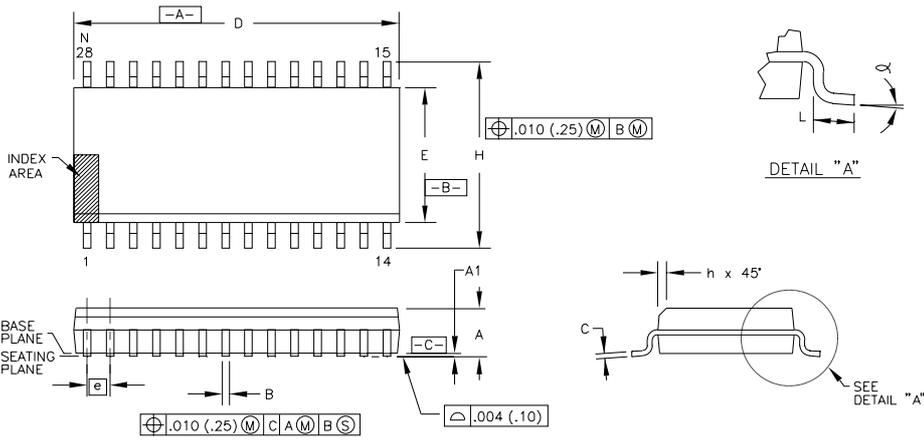


図9. AC結合および外部データバッファを備えたADS801インターフェースの回路図

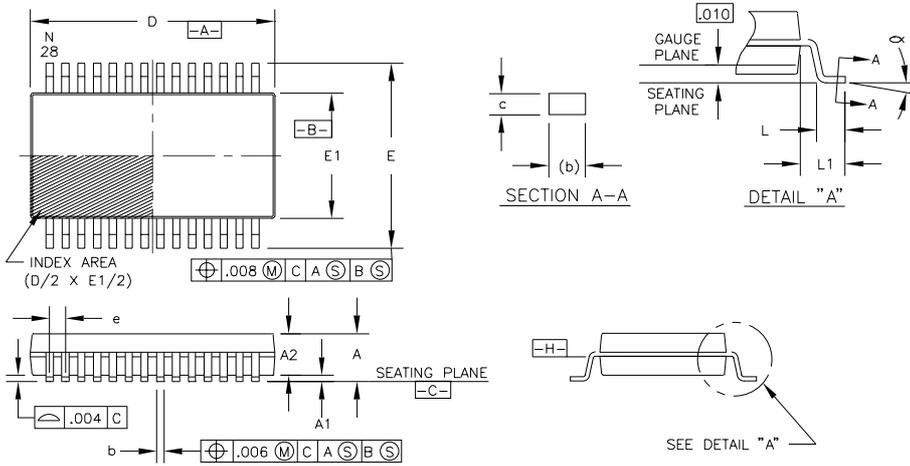
外観

パッケージ番号217 28ピンSOP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.0926	.1043	2.35	2.65
A1	.004	.0118	0.10	0.30
B	.013	.020	0.33	0.51
C	.0091	.0125	0.23	0.32
D	.6969	.7125	17.70	18.10
E	.2914	.2992	7.40	7.60
e	.050 BASIC		1.27 BASIC	
H	.398	.419	10.11	10.65
h	.010	.0295	0.25	0.75
L	.020	.040	.508	1.02
N	28		28	
α	0°	8°	0°	8°

パッケージ番号324 28ピンSSOP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	.079	—	2.00
A1	.002	—	0.05	—
A2	.065	.073	1.65	1.85
b	.009	.015	0.22	0.38
c	.004	.010	0.09	0.25
D	.390	.413	9.90	10.50
E	.291	.323	7.40	8.20
E1	.196	.220	5.00	5.60
e	.0256 BASIC		0.65 BASIC	
L	.022	.037	0.55	0.95
L1	.049	REF	1.25	REF
N	28		28	
θ	0°	8°	0°	8°