

12ビット、40MHzサンプリング A/Dコンバータ

特 長

- 低消費電力：390mW
- 基準電圧内蔵
- 広帯域トラック/ホールド：65MHz
- +5V単一電源
- パッケージ：28ピンSOPおよび28ピンSSOP

アプリケーション

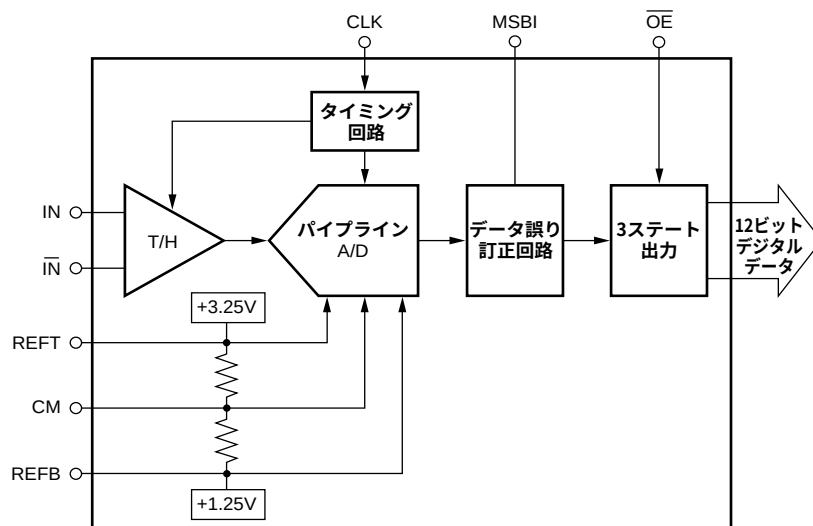
- IFおよびベースバンドのデジタル信号化
- デジタル通信
- 超音波画像処理
- ガンマ・カメラ
- テスト装置
- CCD画像処理
 - 複写機
 - スキャナ
 - カメラ
- ビデオのデジタル信号化

概 要

ADS800は、サブ・ミクロン・ルールのCMOSプロセスによる低消費電力なモノリシック12ビット、40MHz A/Dコンバータです。この完成されたコンバータは、12ビット量子化回路、広帯域トラック/ホールド、基準電圧および3ステート出力を備えています。+5V単一電源で動作し、構成により差動入力信号もシングル・エンド入力信号も処理できます。

ADS800は、データ誤り訂正回路の採用により優れたナイキスト微分直線性性能を実現しており、厳しい条件が要求される画像処理アプリケーションに適しています。低歪、高SNR、高いオーバー・サンプリング能力などの特長により、通信、テスト装置、ビデオなどのアプリケーションに必要な特性に対し、十分な余裕が得られます。

この高性能A/Dコンバータは、40MHzのサンプリング・レートで全仕様温度範囲にわたってACおよびDC性能の仕様が規定されています。ADS800は、28ピンSOPおよびSSOPで供給されます。



特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{DD} = +5\text{V}$ 、サンプリング・レート=40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。仕様規定条件である全温度とは、仕様温度範囲を指します。

注：(1)＊印仕様は、ADS800Uと同じであることを示します。(2) dBFSは、フルスケールのdBを表します。(3)パーセンテージ精度は、内部A/Dのフルスケール・レンジ4Vp-pを基準とします。(4) SOPおよびSSOPの保証された微分直線性の性能およびノーマissingコード条件については、タイミング図のフット・ノートを参照。(5)IMDは、2つの入力信号のうち大きい方を基準とします。ピーク・エンベロープ電力(=0dB)を基準とする場合、相互変調係は7dB低くなります。(6)ビットの“ロールオーバー”はありません。

2

仕様 (続き)

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_S = +5\text{V}$ 、サンプリング・レート = 40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。仕様規定条件である全温度とは、仕様温度範囲を指します。

パラメータ	条件	温度	ADS800U (SOP)			ADS800E (SSOP)			単位
			最小	標準	最大	最小	標準	最大	
出力 ロジック・ファミリ ロジック・コーディング ロジック・レベル	ロジック選択可能 ロジック“ロー”、 $C_L = 15\text{pF}$ (最大) ロジック“ハイ”、 $C_L = 15\text{pF}$ (最大)	全温度	TTL/HCT互換CMOS SOBまたはBTC			TTL/HCT互換CMOS SOBまたはBTC			V
			0		0.4	*		*	
		全温度	+2.5		$+V_S$	*		*	V
				20	40		*	*	ns
3ステート・イネーブル時間				2	10		*	*	ns
3ステート・ディスエーブル時間		全温度							
電源条件 電源電圧: $+V_S$ 電源電流: $+I_S$ 消費電力 熱抵抗、 θ_{JA} 28ピンSOP 28ピンSSOP	動作時 動作時 動作時 動作時 動作時	全温度	+4.75	+5.0	+5.25	*	*	*	V
		+25 $^{\circ}\text{C}$		78	93		*	*	mA
		全温度		78	97		*	*	mA
		+25 $^{\circ}\text{C}$		390	465		*	*	mW
		全温度		390	485		*	*	mW
				75					$^{\circ}\text{C}/\text{W}$
							50		$^{\circ}\text{C}/\text{W}$

パッケージ情報／御発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	温度範囲
ADS800U	28ピンSOP	217	-40 $^{\circ}\text{C}$ ~+85 $^{\circ}\text{C}$
ADS800E	28ピンSSOP	324	-40 $^{\circ}\text{C}$ ~+85 $^{\circ}\text{C}$

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

絶対最大定格

+ V_S	+6V
アナログ入力	0V~($+V_S + 300\text{mV}$)
ロジック入力	0V~($+V_S + 300\text{mV}$)
ケース温度	+100 $^{\circ}\text{C}$
接合部温度	+150 $^{\circ}\text{C}$
保存温度	+125 $^{\circ}\text{C}$
高電位基準電圧(REFT)への外部印加電圧	+3.4V (最大)
低電位基準電圧(REFB)への外部印加電圧	+1.1V (最小)

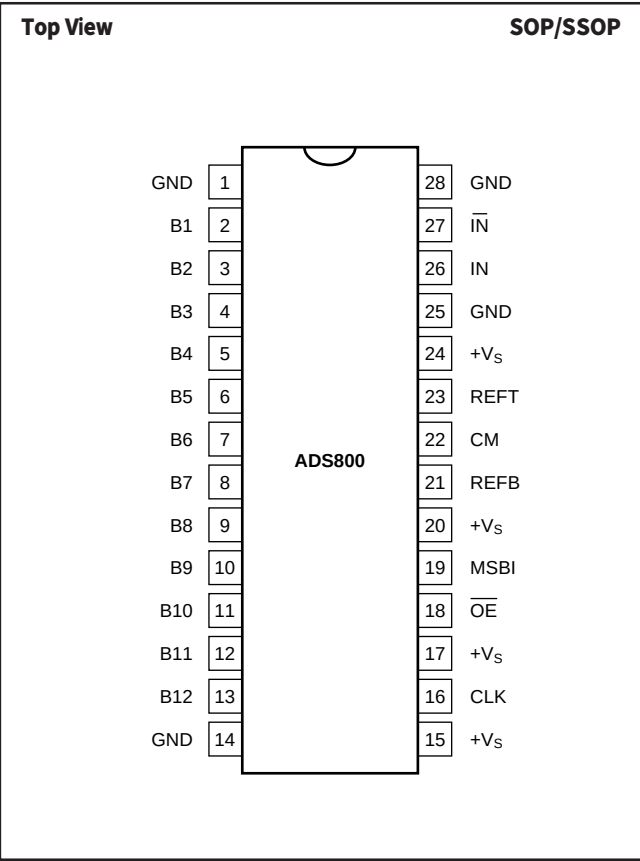
注：(1)定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

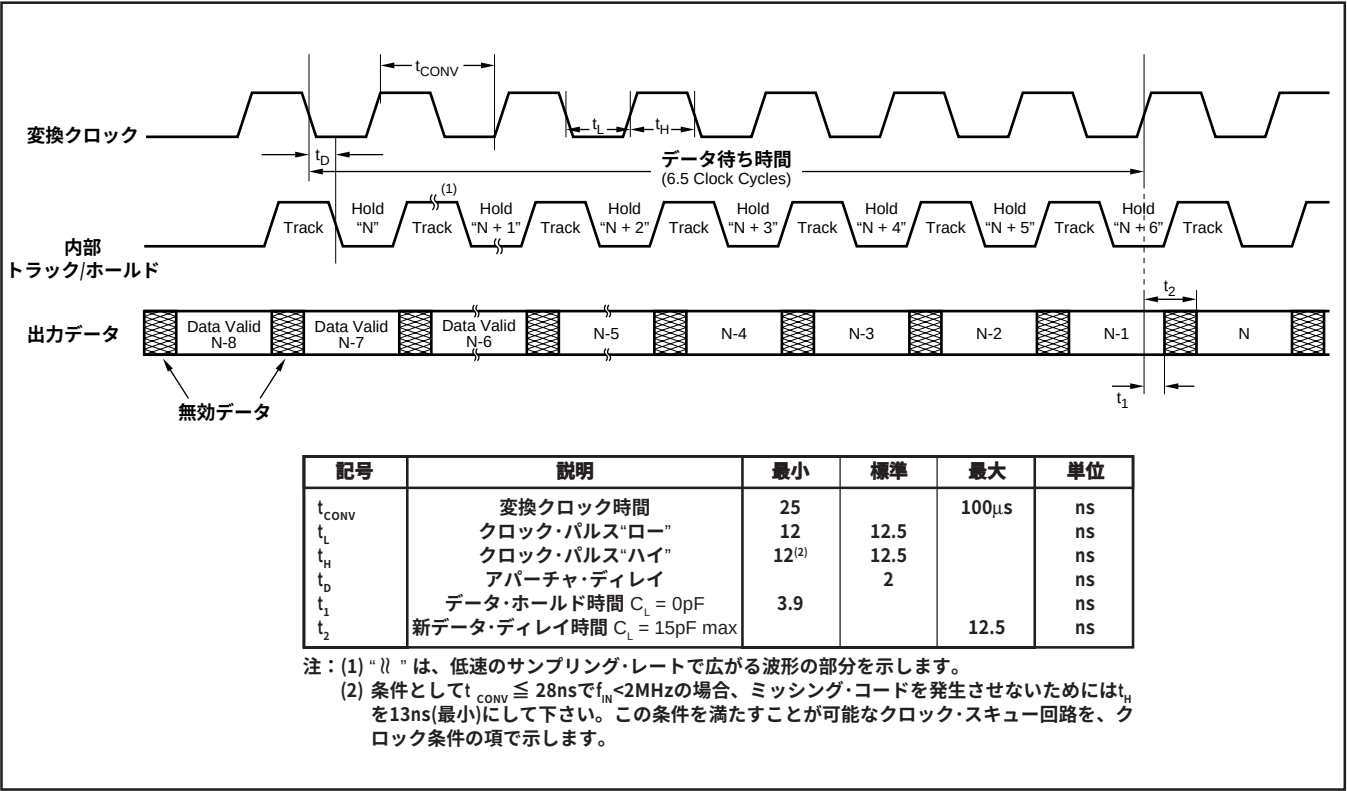
ピン配置



ピン構成

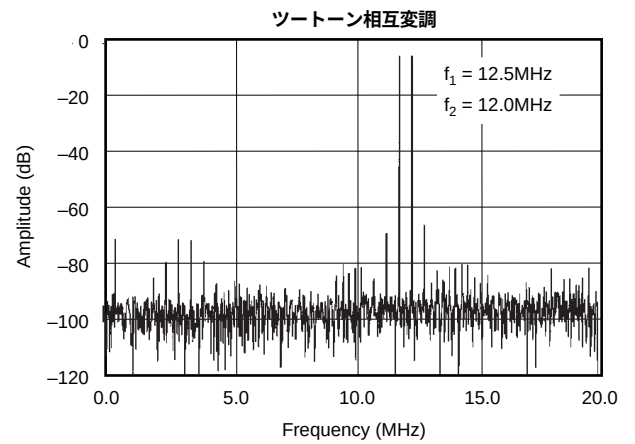
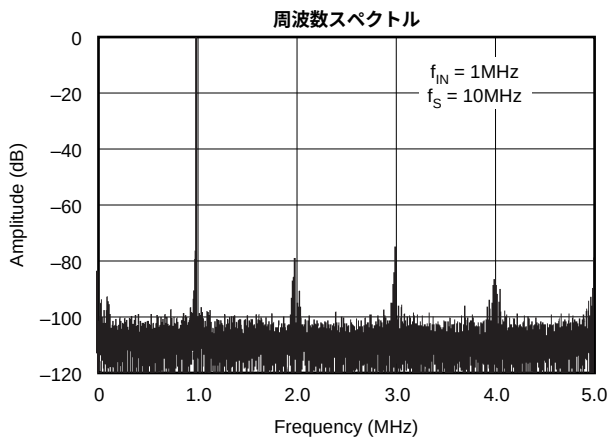
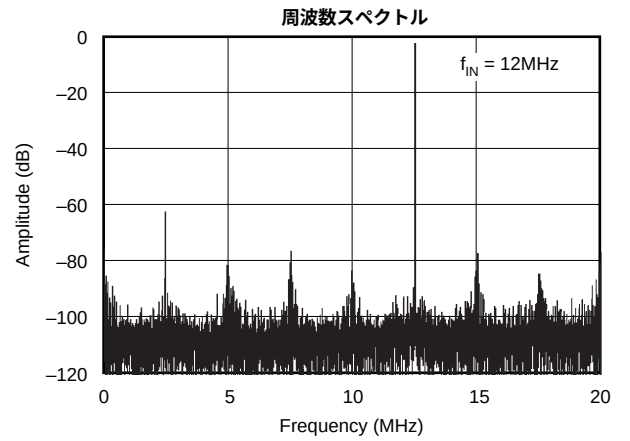
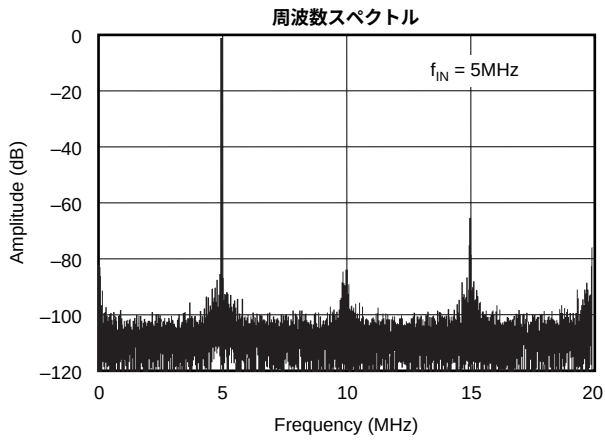
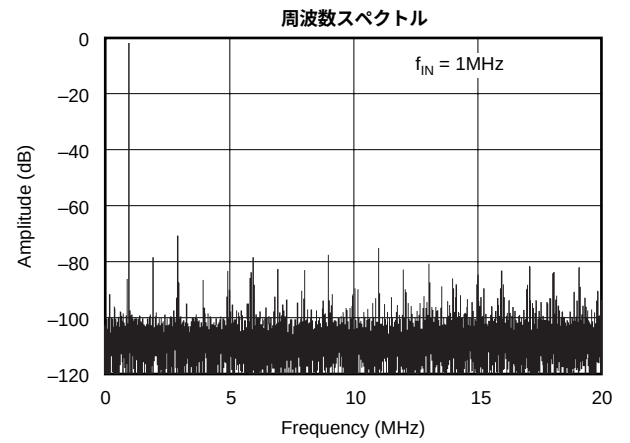
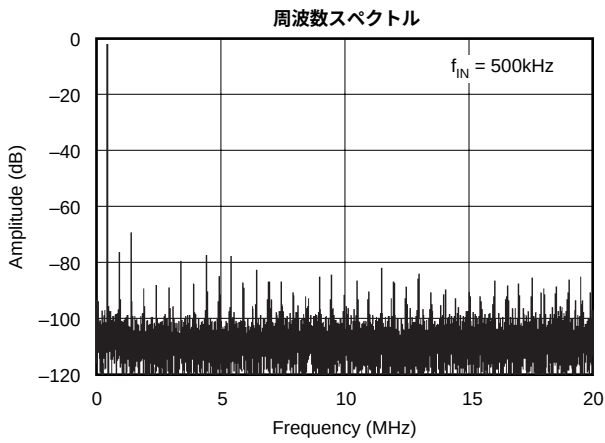
ピン	記号	説明
1	GND	グラウンド
2	B1	ビット1、最上位ビット
3	B2	ビット2
4	B3	ビット3
5	B4	ビット4
6	B5	ビット5
7	B6	ビット6
8	B7	ビット7
9	B8	ビット8
10	B9	ビット9
11	B10	ビット10
12	B11	ビット11
13	B12	ビット12、最下位ビット
14	GND	グラウンド
15	+V _S	+5V電源
16	CLK	変換クロック入力、50%デューティ・サイクル
17	+V _S	+5V電源
18	$\overline{\text{OE}}$	ハイは高インピーダンス状態。ローまたはオープンでは通常動作。内部プルダウン抵抗。
19	MSBI	最上位ビット反転。ハイはMSBが反転されたバイナリ2の補数出力 (BTC)。ローまたはオープンではストレート出力 (SOB)。内部プルダウン抵抗。
20	+V _S	+5V電源
21	REFB	低電位基準電圧バイパス。内部+1.25V基準電圧の外部バイパス用。
22	CM	同相モード電圧。(REFT+REFB)/2で求まる。
23	REFT	高電位基準電圧バイパス。内部+3.25V基準電圧の外部バイパス用。
24	+V _S	+5V電源
25	GND	グラウンド
26	IN	非反転入力
27	$\overline{\text{IN}}$	反転入力
28	GND	グラウンド

タイミング図



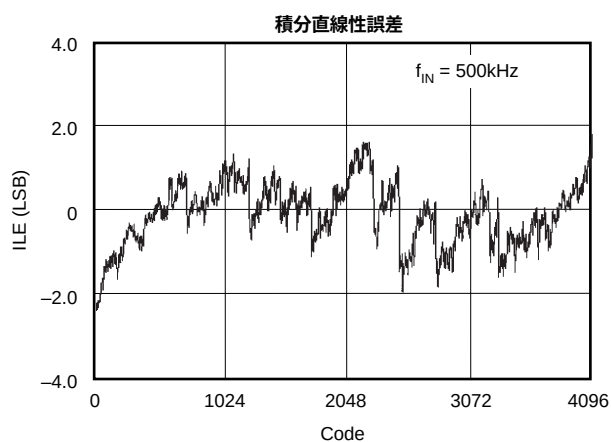
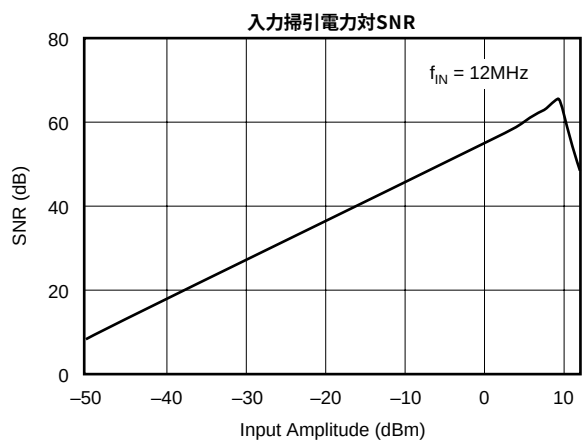
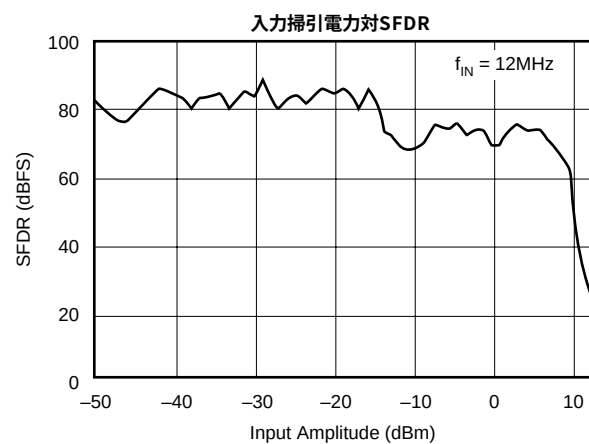
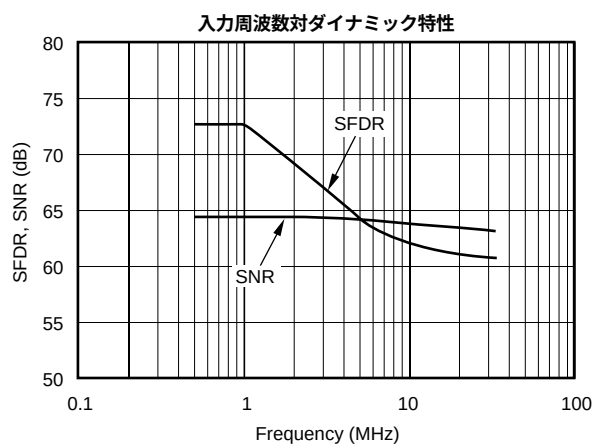
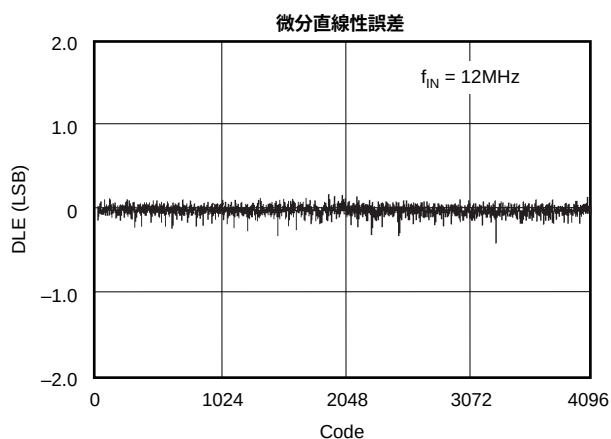
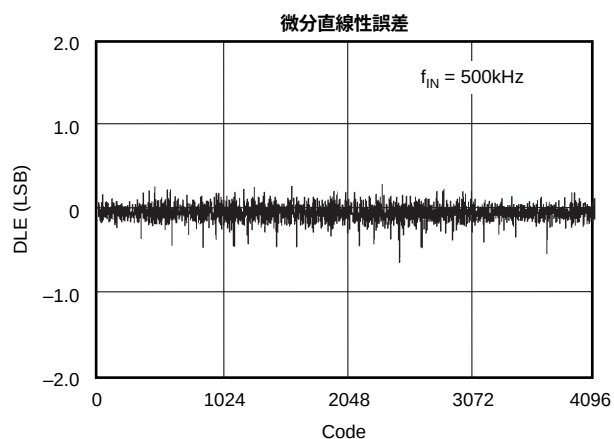
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = +5\text{V}$ 、サンプリング・レート = 40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。



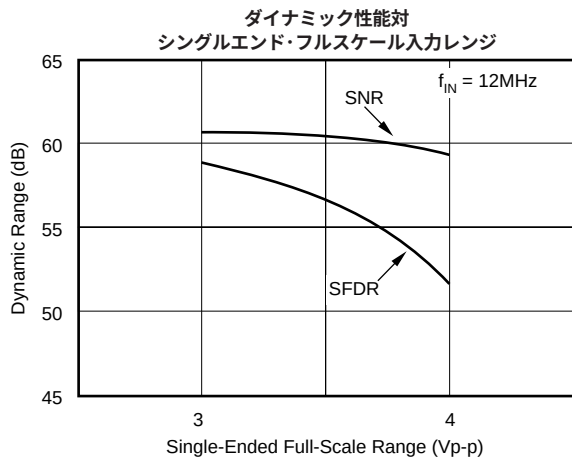
代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_S = +5\text{V}$ 、サンプリング・レート = 40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。

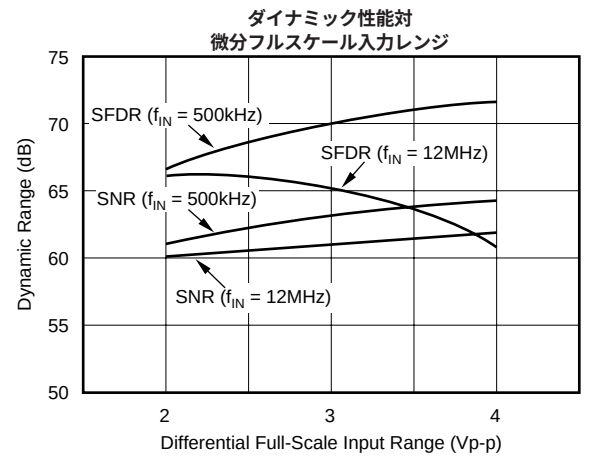


代表的性能曲線

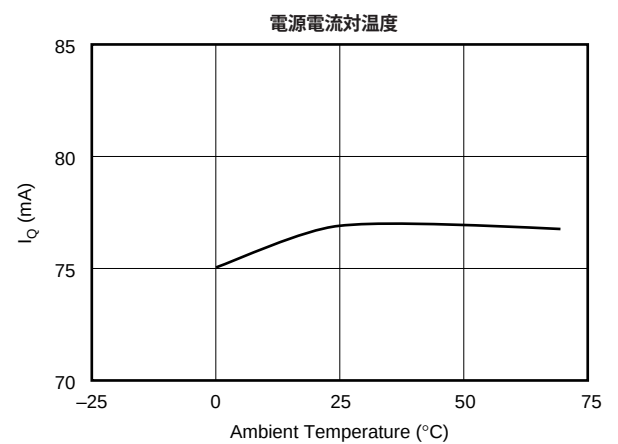
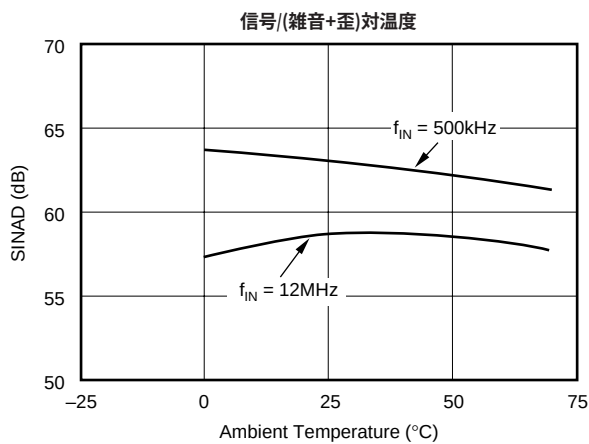
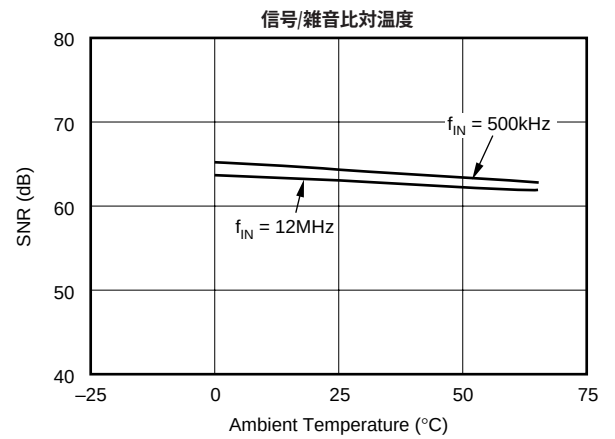
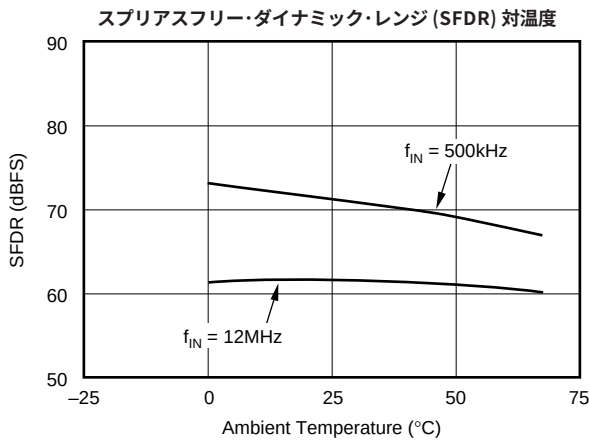
特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = +5\text{V}$ 、サンプリング・レート = 40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下がり時間は2nsです。



注：外部 $\text{REF}_{T_{EXT}}$ を変化させ、 REFB は+1.25Vの内部値に固定。

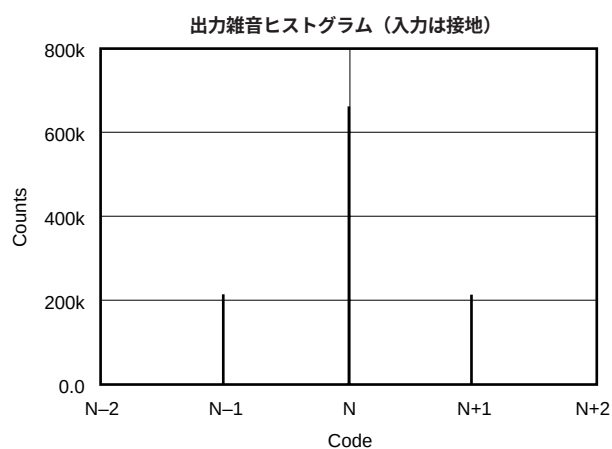
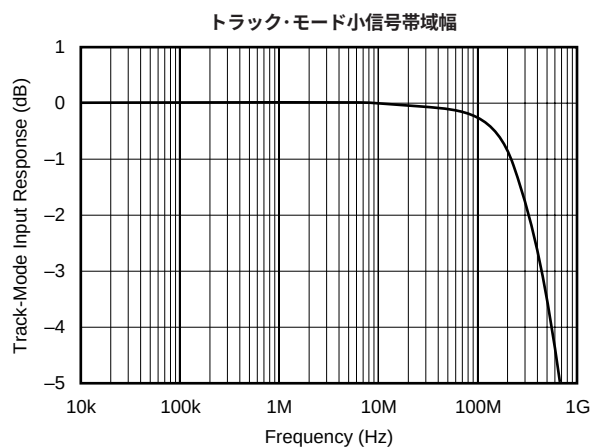
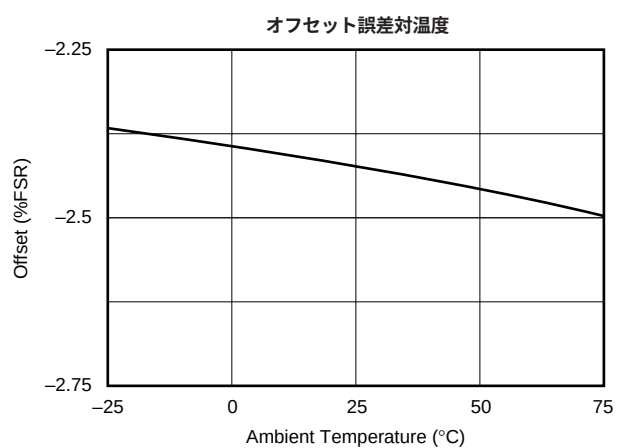
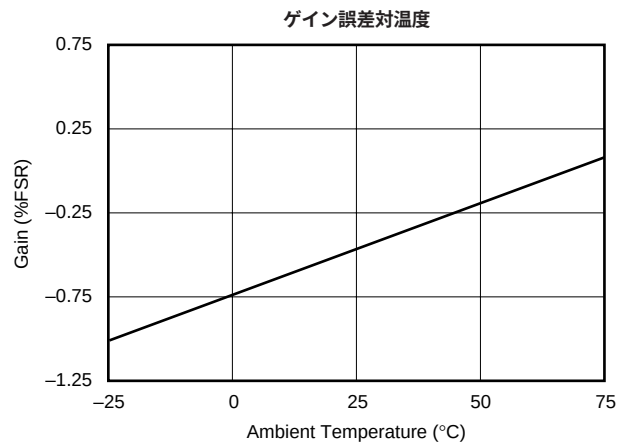
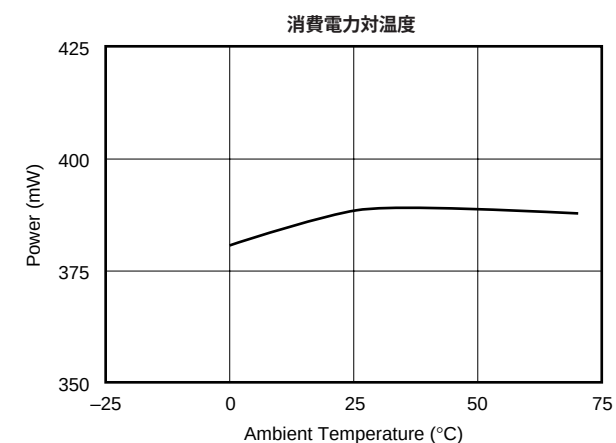


注：外部 $\text{REF}_{T_{EXT}}$ を変化させ、 REFB は+1.25Vの内部値に固定。



代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_S = +5\text{V}$ 、サンプリング・レート = 40MHzです。クロックのデューティ・サイクルは50%、立ち上がり/立ち下り時間は2nsです。



動作原理

ADS8800は、パイプライン方式の高速サンプリングA/Dコンバータです。完全な差動アーキテクチャおよびデータ誤り訂正回路を使用して12ビットの分解能を保証しています。差動トラック/ホールド回路を図1に示します。重なりのない2つの位相信号 $\phi 1$ および $\phi 2$ からなる内部クロックによってスイッチを制御し、サンプリング時には入力信号がオペアンプ・バイアスを基準電位とした入力コンデンサ C_i にチャージされます。次のクロック位相($\phi 2$)では、入力コンデンサの入力側電極が相互に接続され、帰還コンデンサ C_H はオペアンプ出力に接続されます。このとき、電荷が C_i および C_H の間で再配分され、1つのトラック/ホールド・サイクルが完了します。このときの差動出力は、サンプルされたアナログ入力信号をDCとしてホールドした値となります。トラック/ホールド回路は、量子化回路のためにシングル・エンド入力信号を完全な差動信号に変換することもできます。

図2に示すように、パイプライン方式の量子化回路アーキテクチャは11段で構成され、各段には2ビットの量子化回路と2ビットのD/Aコンバータがあります。2ビットの量子化回路の各段は、外部から供給したクロックの2倍の周波数をもつサブ・クロックのエッジで変換を行います。各量子化回路の出力は、それぞれのディレイ・ラインに送られ、次段の量子化回路から生成されたデータとタイミングを合わせます。

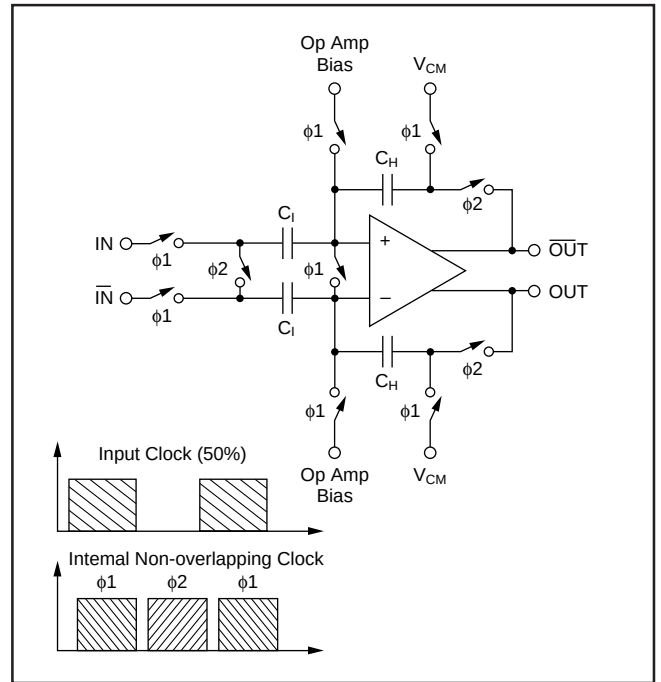


図1. 入力トラック/ホールドの構成とタイミング信号

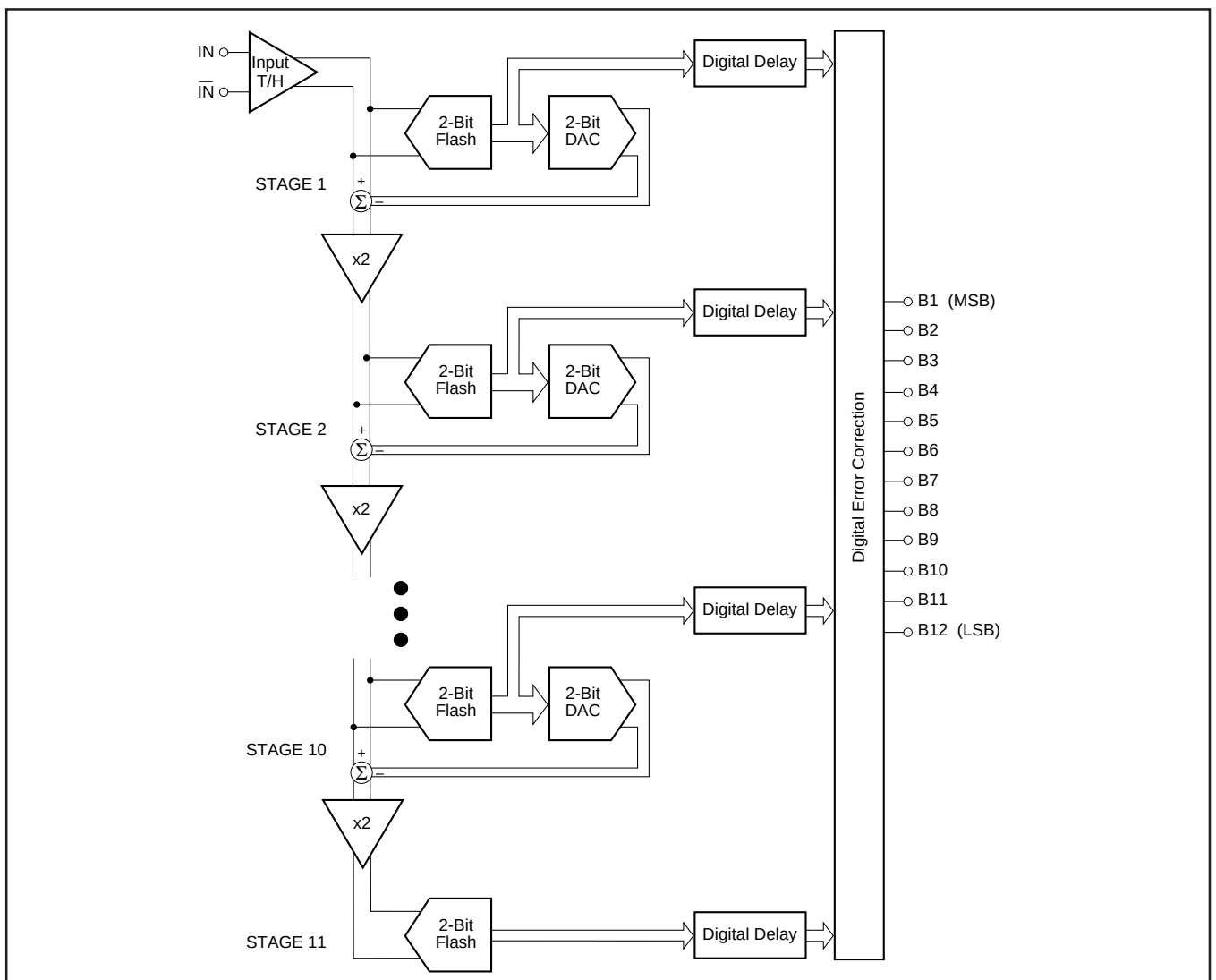


図2. パイプライン方式A/Dのアーキテクチャ

このタイミングを合わせたデータは、冗長ビットの情報に基づいて出力データの調整を行うためのデータ誤り訂正回路に供給されます。ADS800はこの技術により、優れた微分直線性が得られます。

1つの外部クロック・サイクルあたり2段のパイプラインがあるため、変換開始信号から有効データ出力まで6.5クロック・サイクルのデータ待ち時間があります。出力データのフォーマットは、ストレート・オフセット・バイナリ（SOB）またはバイナリ2の補数（BTC）を使用できます。

アナログ入力および内部基準電圧

ADS800のアナログ入力は、信号の性質や要求される性能レベルに応じて構成を変え、いろいろな回路でドライブすることが出来ます。ADS800は、A/Dのフルスケール入力レンジを設定する内部基準電圧を備えています。差動入力レンジでは、各入力が+2.25Vの同相モード電圧を中心として、2つの入力に対するフルスケール・レンジはそれぞれ+1.25V～+3.25Vになっています。各入力のスパン電圧は2Vで、相互に180°の位相差があるため、量子化回路に供給される差動入力信号は4Vになります。図3に示すように、同相モード電圧（CM）に対し高電位の基準電圧（REFT）および低電位の基準電圧（REFB）には外部バイパス用のピンが設けられています。また、同相モード電圧（CM）を基準電圧として利用し、ドライブ回路に適正なオフセットを供給できます。ただし、この基準ノードには大きな負荷をかけないように注意することが必要です。外部基準電圧、シングル・エンド入力およびADS800のドライブ回路の詳細については、アプリケーションの項を参照して下さい。

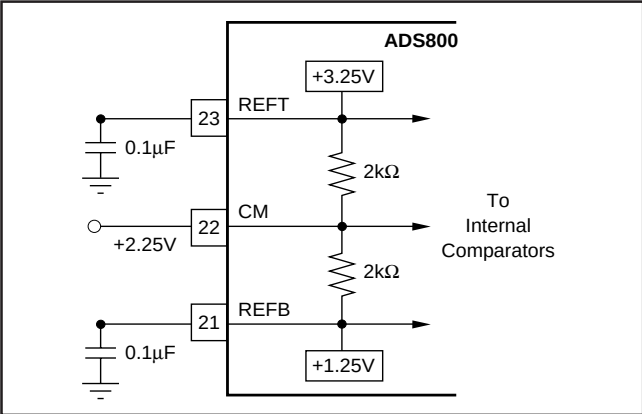


図3. 内部基準電圧の構成

クロック条件

CLKピンにはCMOSレベルのクロックを入力します。外部から与えられるクロックの立ち上がりおよび立ち下がりエッジは、パイプラインにおける各ステージの変換を制御します。したがって、クロック信号のジッタ、立ち上がり/立ち下がり時間およびデューティ・サイクルは変換性能に影響を及ぼします。

- クロック・ジッタは、周波数軸上の処理を行う環境においてSNR特性に大きく影響します。
- クロックの立ち上がり/立ち下がり時間は、可能な限り短くします（2ns以内が最良）。
- ほとんどのアプリケーションでは、クロック・デューティは50%に設定します。しかし、変換レートが35MHz以上で入力信号周波数が2MHzより低い場合は、DNL特性を改善しミッシング・コードの発生を防ぐため、デューティ・サイクルに若干のスキューを与えて下さい。図4には、50%のデューティ・サイク

ルにスキューを与えることが可能な方法を示します。

しかし、ノー・ミッシング・コードを必要とするアプリケーションでSOPを使用する場合、デューティ・サイクルに微妙なスキュー差を与えることで、交換レート35MHz以上および入力周波数2MHz以下（タイミング図を参照）でのDNL特性を向上させます。SSOPで最良の性能を得るには、交換レートが35MHz以上の場合、入力の信号周波数に関係なくクロックをスキューさせます。50%デューティ・サイクル・ソースをスキューする方法については、図4を参照してください。

デジタル出力データ

12ビット出力データは、CMOSロジック・レベルで出力されます。標準の出力のコーディングは、入力信号がフルスケールの時にオール1となるストレート・オフセット・バイナリです。この条件は、ピン19が“ロー”またはオープン（内部で抵抗によりプルダウン）になっている場合です。このピンにロジック“ハイ”電圧を印加すると、最上位ビットが反転するバイナリ2の補数出力になります。ADS800のデジタル出力は、OE（ピン18）にロジック“ハイ”を与えることによって高インピーダンス状態にできます。ピン18が“ロー”またはオープン（内部でプルダウン）になっている場合は、通常動作になります。この機能を利用して、直接デジタル・バスをドライブしたり変換プロセス中に動的に変更すると精度が悪化します。

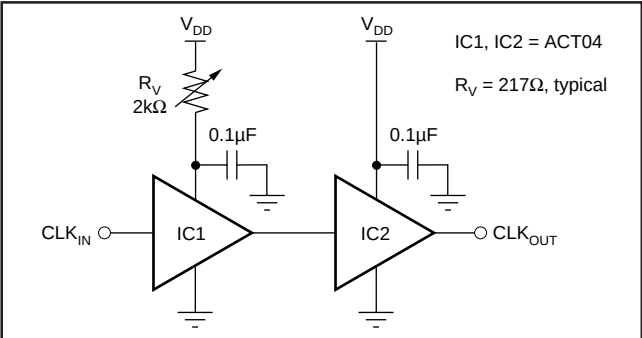


図4. クロック・スキュー発生回路

出力コード	出力コード	
	SOB ピン19 オープンまたはロー	BTC ピン19 ハイ
差動入力 ⁽¹⁾		
+FS (IN = +3.25V, $\overline{\text{IN}}$ = +1.25V)	111111111111	011111111111
+FS -1LSB	111111111111	011111111111
+FS -2LSB	111111111110	011111111110
+3/4フルスケール	111000000000	011000000000
+1/2フルスケール	110000000000	010000000000
+1/4フルスケール	101000000000	001000000000
+1LSB	100000000001	000000000001
バイポーラ・ゼロ (IN = $\overline{\text{IN}}$ = +2.25V)	100000000000	000000000000
-1LSB	011111111111	111111111111
-1/4フルスケール	011000000000	111000000000
-1/2フルスケール	010000000000	110000000000
-3/4フルスケール	001000000000	101000000000
-FS +1LSB	000000000001	100000000001
-FS (IN = +1.25V, $\overline{\text{IN}}$ = +3.25V)	000000000000	100000000000

注：シングル・エンド入力モードでは+FS = +4.25V、-FS = +0.25Vになります。

表1. 出力データのコード表

アプリケーション

ADS800のドライブ

ADS800は、+2.25Vの同相モード基準電圧と差動入力を備えています。AC結合のアプリケーションでこの差動入力を作る最も簡単な方法は、トランスの1次側をシングル・エンド入力でドライブすることです。図5のように、センター・タップを+2.25Vの同相モード電圧に接続すると、2次側に適正な差動出力が発生します。このトランス結合による入力の構成では、良好な高周波AC性能が得られます。

トランスは、コアがフルスケール電圧レベルで飽和しない低歪なものを選択することが重要です。この例では、トランスが内部基準電圧の分割抵抗に大きな負荷をかけないため、同相モード (CM) 出力のバッファは必要ありません。一般には、分割抵抗の直線性を維持するため、CM出力ピンから取り出す電流を0.5 μ A以下に抑えて下さい。OPA130などのFET入力オペアンプは、基準電圧をバッファして外部回路をドライブするのに適します。アナログINおよびIN入力は、トラック/ホールドのグリッチを最小限に抑えて高周波入力の性能を改善するため、22pFコンデンサでバイパスすることが必要です。

図6に、トランスの代わりに低コストなコンデンサを使用したインターフェース回路の例を示します。信号帯域幅によって、データシートに記載された性能を維持するために部品の値は慎重に選択して下さい。入力コンデンサ C_{IN} および入力抵抗 R_{IN} は、低域コーナー周波数 $f_C = 1/(2\pi R_{IN} C_{IN})$ で定まるハイパスフィルタを発生します。コーナー周波数は、 R_{IN} もしくは C_{IN} の値を大きくすることに

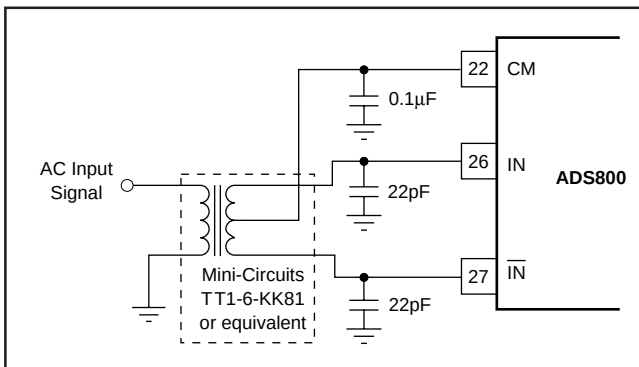


図5. トランスを使用した、AC結合のシングル・エンド差動ドライブ回路

よって低下させることができます。もし回路が50 Ω もしくは75 Ω のインピーダンス・レベルで動作している場合、抵抗値は固定したままで、コンデンサの値のみを大きくします。通常AC使用する結合コンデンサは、1 μ F以上の電解コンデンサもしくはタンタル・コンデンサです。これらの大きな値のコンデンサは、入力周波数の増加とともにL成分が増加し、信号振幅誤差や発振につながることに留意して下さい。全信号帯域にわたり低いAC結合インピーダンスを維持したい場合は、小さな値 (例: 1 μ F) のセラミック・コンデンサを有極性コンデンサと並列に接続して下さい。

コンデンサ C_{SH1} および C_{SH2} は、入力部のトラック/ホールド段におけるスイッチングによる電流グリッチを最小にし、信号対雑音性能を向上させるために使用します。これらのコンデンサはさらに、ローパスフィルタを形成し、ノイズ帯域幅を有効に低減するために使用できます。実極を形成するためには、抵抗 R_{SER1} および R_{SER2} を各入力へ直列に追加します。フィルタのカットオフ周波数は、 $f_C = 1/(2\pi R_{SER} \cdot (C_{SH} + C_{ADC}))$ で決定されます。

ここで、 R_{SER} は入力と直列な抵抗、 C_{SH} は入力とグラウンド間の外部コンデンサ、そして C_{ADC} はA/Dコンバータ内部の入力容量 (標準4pF) です。

抵抗 R_1 および R_2 は、REFTおよびREFBの各リファレンスからドライブ用の同相モード電圧を合成するときに使用します。これらの抵抗によってリファレンスから引き出される電流が、合計1mAを超えないように抵抗値を選択しなければなりません。図6の回路では、合成同相モード電圧 V_{CM} がリファレンスのREFTとREFBのちょうど中間 (+2.25V) にくるように同じ値の二つの抵抗を使用していますが、入力波形によっては必ずしもそうする必要はありません。常に中点である V_{CM} を低インピーダンスなACグラウンドとするため、グラウンドにバイパスされていなければなりません。

ADS800の入力に信号をDC結合する場合は、オペアンプで構成した入力回路が必要です。差動入力モードでは、シングル・エンド信号を差動信号に変えることが必要です。これは、2つのオペアンプを使用して、一方を非反転信号、他方を反転信号に行います。図5の低歪回路は、グラウンドを中心電位とする信号を扱うため、必要なオフセット・シフトを行っています。また、低歪の+3.25V出力振幅を保証するため、ダイオードを使用して出力レベルのシフトも行っています。それほど低歪でなくてもよい場合は、OPA642の代わりに他のアンプを使用することができます。出力レ

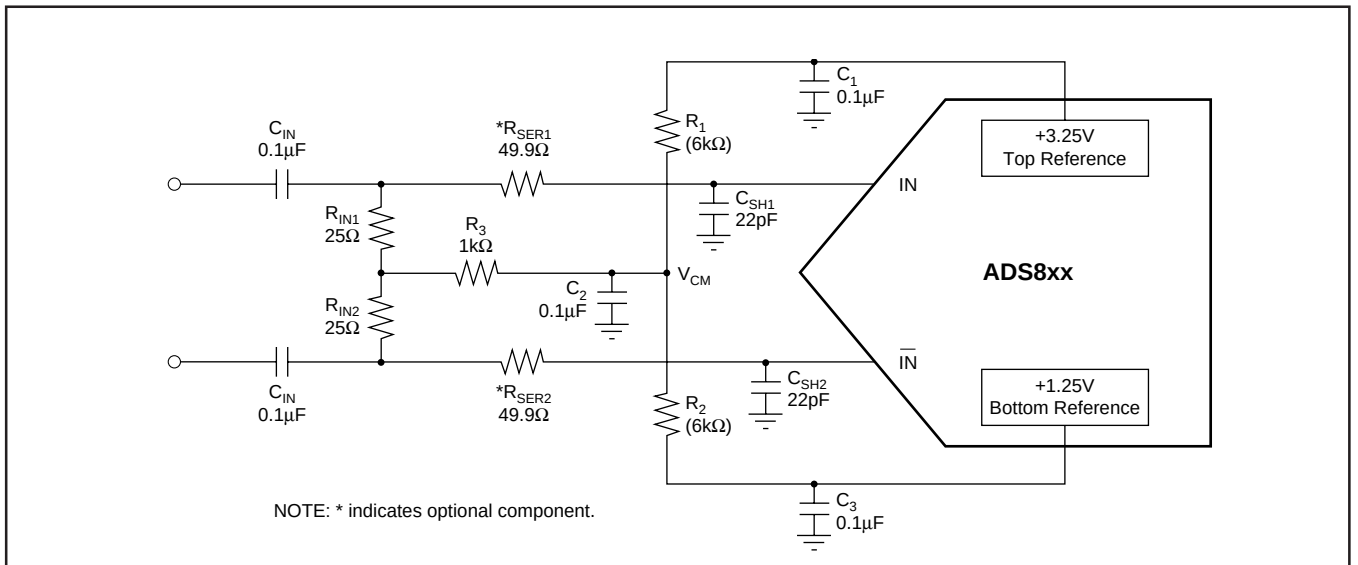


図6. AC結合差動入力回路

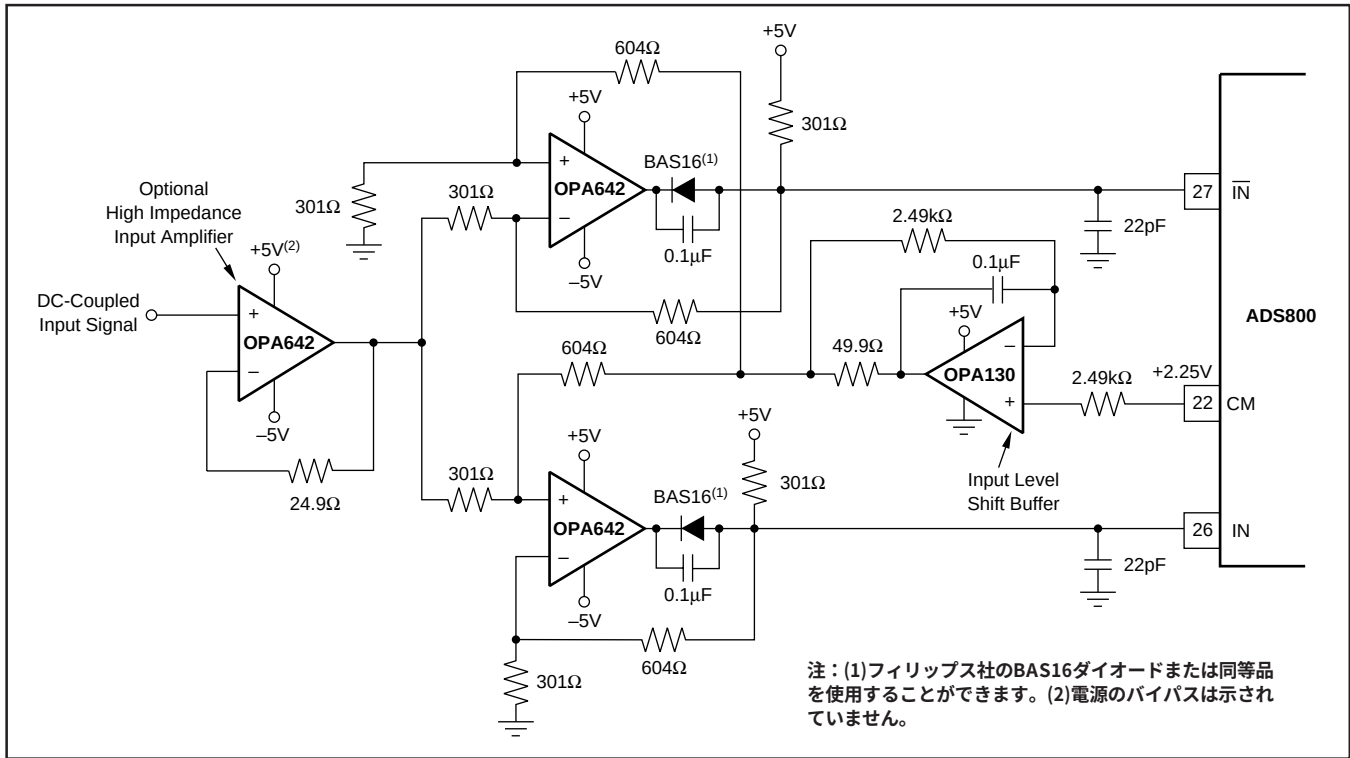


図7. 低歪のDC結合シングル・エンド差動入力ドライバ回路

ベル・シフト回路を使用しない場合は、 $\pm 5V$ の電源で $+3.25V$ まで直線的にスイング可能なオペアンプを選択して下さい。

ADS800は図6で示すように、反転入力を同相モード基準電圧に接続することにより、フルスケール・レンジ $+0.25V \sim +4.25V$ のシングル・エンド入力に構成できます。この構成では、特に高い入力周波数で偶数次の高調波が増加します。

しかし、このトレードオフは、FFTなどを行なわない時間領域のアプリケーションには全く問題がありません。この場合、ドライバ・アンプは $+0.25V \sim +4.25V$ の出力振幅で十分な直線性をもつことが必要です。

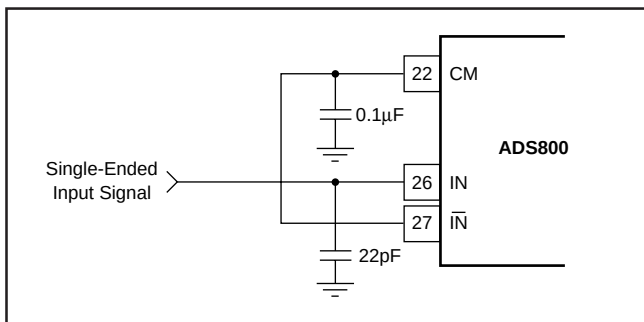


図8. シングル・エンドの入力接続

外部基準電圧源およびフルスケール・レンジの調整

内部基準電圧バッファは、出力電流が約 $1mA$ に制限されています。このため、これら $+1.25V$ および $+3.25V$ の内部基準電圧源は、最低 $18mA$ (室温で) 以上の出力ドライブ能力をもつ外部基準電圧源で強制ドライブできます。この場合、同相モード電圧は2つの基準の中間に設定されます。この機能は、ADS800のゲイン誤差の調整、ゲイン・ドリフトの改善、フルスケール入力レンジの変更などに使用できます。フルスケール・レンジを低くすると、外部の入力信号アンプの振幅条件が緩和されるという利点があります。外部基準電

圧は、高電位基準電圧 (REF_{EXT+}) ピンに対し $+3.4V$ 以下、低電位基準電圧 (REF_{EXT-}) ピンに対し $+1.1V$ 以上、両者の差電圧が $1.5V$ 以上の条件範囲で変えることができます。

差動構成では、フルスケール入力レンジは選択した外部基準電圧の値に設定されます。シングル・エンド・モードでは、入力レンジは $2 \cdot (REF_{EXT+} - REF_{EXT-})$ になり、同相モードは $(REF_{EXT+} + REF_{EXT-})/2$ が中心になります。予想される性能対フルスケール入力レンジは、代表的性能曲線を参照して下さい。

図10の回路は、単一 $+5V$ 電源で完全に動作します。リファレンス電圧源として、この回路では、消費電流を $0.1mA$ に設定したマイクロパワーのREF1004.2.5を使用しています。アンプ A_2 は抵抗分圧器から発生する $+1.25V$ をバッファするため、フォロワとして構成されています。必要なドライブ電流を供給するためには、プルアップおよびプルダウン・レジスタ R_p を追加して下さい。

アンプ A_1 は、ゲイン範囲が約1から1.32のゲイン調整段として構成されています。ここでも、プルアップ抵抗によりオペアンプの出力電流を軽減しています。プルアップおよびプルダウン抵抗の値はそれほど厳密ではなく、消費電流を最適化するために変更することができます。プルアップおよびプルダウン抵抗の必要性は、選択されたアンプのドライブ能力にのみ依存しており、したがって使用しないでも済む場合もあります。

プリント基板のレイアウトとバイパス

正しい動作ときれいなスペクトル応答は、適切に整然と設計されたプリント基板のレイアウトによって保証されます。特に高周波回路では、適正な接地とバイパス、短いリード長、グランド・プレーンの使用が重要です。最良の性能を得るためには多層プリント基板が推奨されますが、十分に考慮して設計された、広いグランド・プレーンを備えた両面プリント基板でも優れた結果を得ることができます。ADS800のアナログおよびデジタル・グランド・ピンは、直接アナログ・グランド・プレーンに接続することを推奨します。経験上、これによって最も良好で安定した結果が得られます。A/Dの電

源コモンは、アナログ・グランド・プレーンにまとめて結線します。電源は、できるだけピンの近くで0.1 μ Fのセラミック・コンデンサによりバイパスします。

ダイナミック性能のテスト

ADS800は高性能なコンバータであるため、正確な結果を得るにはテスト方法に対して十分な注意を払う必要があります。高精度なフェーズ・ロック信号源では、データに窓関数を使用しないで高分解能なFFT測定を実行できます。テスト信号用として、

HP8644Aなどの低ジッタ信号ジェネレータと、A/Dクロック用に低ジッタなHP8022Aパルス・ジェネレータとをフェーズ・ロックさせて使用すれば、優れた結果が得られます。低歪なADS800のテストには、テスト信号のローパス・フィルタ（またはバンドパス・フィルタ）が不可欠です。フルスケールよりやや小さい信号振幅を使用すると、わずかな“余裕”ができ、雑音やDCオフセット電圧によるA/Dのオーバーレンジに起因する信号ピークの欠落を防げます。

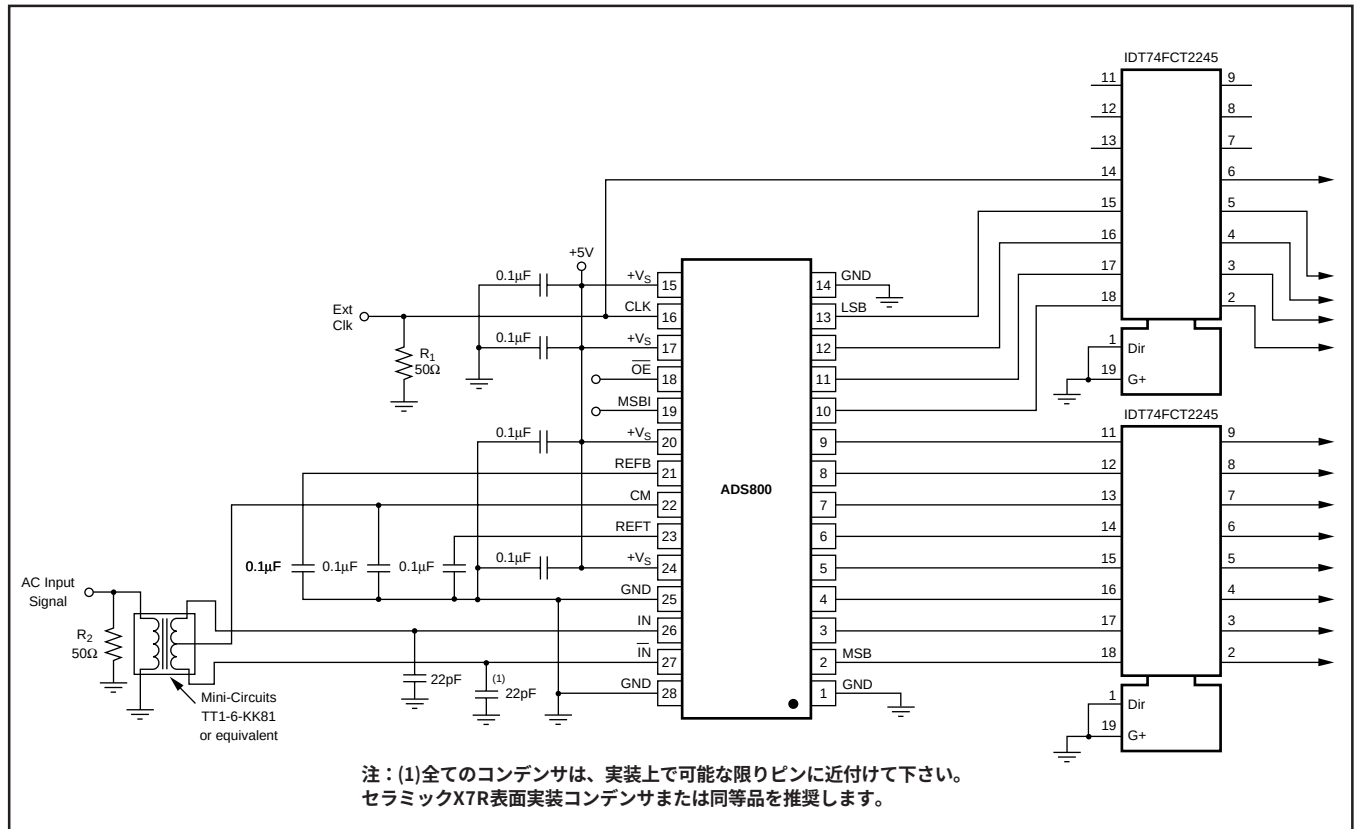


図9. AC結合および外部データ・バッファを備えたADS800インターフェースの回路図

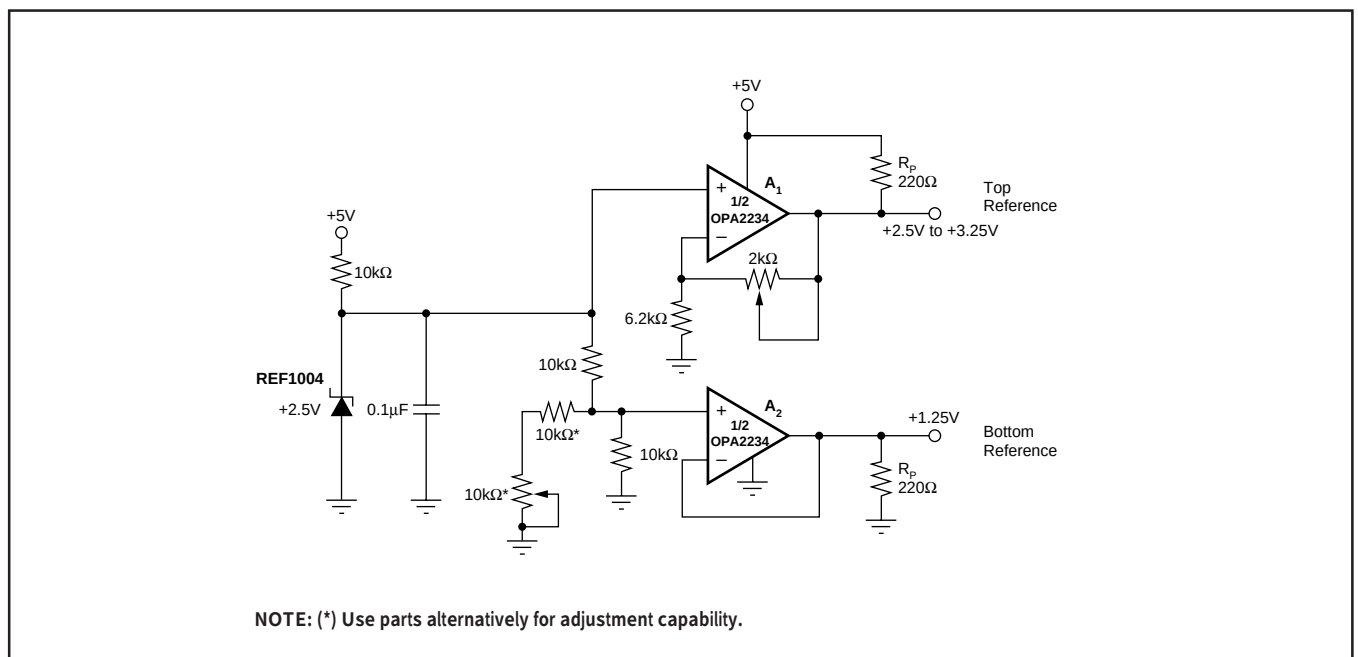


図10. デュアルの単一電源オペアンプを使用した、フルスケール・レンジ設定用外部リファレンス

ダイナミック性能の定義

1. 信号対雑音および歪比 (SINAD) :

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音+高調波電力 (最初の15次高調波)}}$$

2. 信号対雑音比 (SNR) :

$$10 \log \frac{\text{正弦波信号電力}}{\text{雑音電力}}$$

3. 相互変調歪 (IMD) :

$$10 \log \frac{\text{最大IMD積電力 (5次まで)}}{\text{正弦波信号電力}}$$

IMDは、テスト信号 f_1 または f_2 の大きい方を基準とします。基本および高調波レベルの計算には、ピークの両サイドにある5つの“ピン”を使用します。“0”周波数のピン(DC)は、ダイナミック信号処理のアプリケーションでほとんど重要性がないため、計算に含まれていません。

外観

パッケージ番号217—28ピンSOP

DETAIL "A"

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
A	.0926	.1043	2.35	2.65	
A1	.004	.0118	0.10	0.30	7
B	.013	.020	0.33	0.51	
C	.0091	.0125	0.23	0.32	
D	.6969	.7125	17.70	18.10	2
E	.2914	.2992	7.40	7.60	3
e	.050	BASIC	1.27	BASIC	
H	.398	.419	10.11	10.65	
h	.010	.0295	0.25	0.75	4
L	.020	.040	.508	1.02	5
N		28		28	6
α	0°	8°	0°	8°	

NOTES:

- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
- DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
- THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE

CROSSHATCHED AREA.

- L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
- N IS THE NUMBER OF TERMINAL POSITIONS.
- THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
- LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ217 REV.: G

JEDEC NUMBER: MS-013-AE

WITH THE EXCEPTION OF DIM. H, L.

