



12ビットADC、MUX、PGA、内部リファレンス データ・アキュイジション・システム

特 長

- ダイナミック・レンジ：16ビット
- PGAのゲイン：1、2、4、5、8、10、16、20V/V
- マルチプレクサ：差動4チャンネル/シングル・エンド8チャンネル
- 内部リファレンス：2.048Vまたは2.5V
- 高速シリアル・インターフェース
- 高スループット・レート：52kサンプル/s
- 誤差/オーバーロード・インジケータ
- 単一電源動作：2.7Vから5.5V
- シリアル・インターフェースからアクセス可能な4ビット・デジタルI/O
- パッケージ：28ピンSSOP

アプリケーション

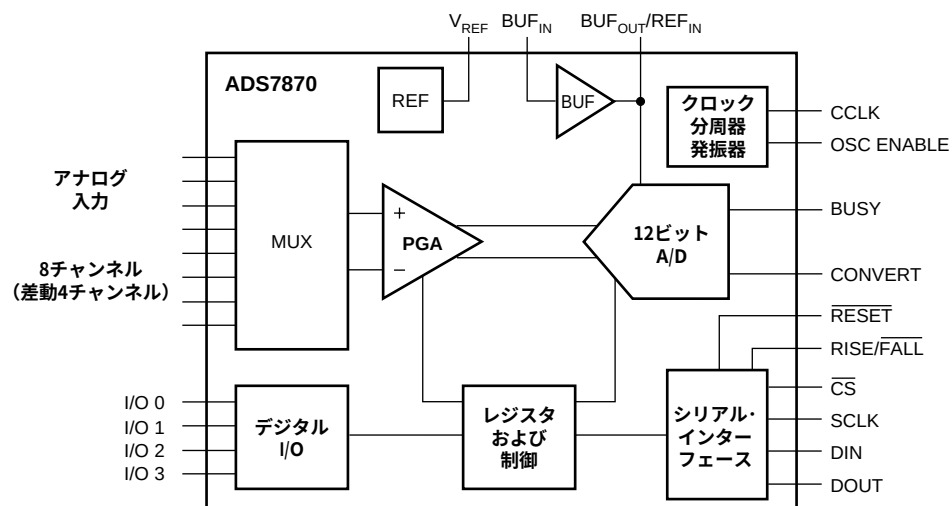
- ポータブル/バッテリー動作システム
- 低消費電力計測装置
- 低消費電力制御システム
- スマート・センサ・アプリケーション

概 要

ADS7870⁽¹⁾は、シングル・チップの完成された低消費電力のデータ・アキュイジション・システムです。ADS7870は、差動4チャンネル/シングル・エンド8チャンネルのマルチプレクサ、高精度プログラマブル・ゲイン・アンプ、12ビット逐次比較型A/Dコンバータ、高精度リファレンス電圧からなります。プログラマブル・ゲイン・アンプにより、高い入力インピーダンス、優れたゲイン精度、良好な同相モード除去、低雑音が実現されています。多くの低レベル信号では、信号ソースとA/D入力の間で外部の増幅やインピーダンスのバッファリングを行う必要はありません。

PGAのオフセット電圧は、自動ゼロ調整されます。1、2、4、5、8、10、16、20V/Vのゲインにより、16ビットのダイナミック・レンジが得られ、125mVの低電圧の信号をフルスケールのデジタル出力に変換できます。ADS7870には、高い初期精度と安定な温度ドリフトのために調整された内部リファレンスがあります。ドリフトの標準値は、10ppm/°Cです。複数のADS7870が共通のリファレンスを共有する場合は、外部リファレンスを使用できます。シリアル・インターフェースは、SPI™、QSPI™、Microwire™、8051ファミリーのプロトコルをグルー・ロジックなしで使用できます。

注：(1)特許出願中



システム全体の仕様⁽¹⁾

(ADS7870の各機能の仕様については、次のページを参照)

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{DD} = +5.0\text{V}$ 、 $V_{REF} = 2.5\text{V}$ を BUF_{IN} に接続(内部リファレンスを使用)、 $\text{CCLK} = 2.5\text{MHz}$ 、 $\text{SCLK} = 2.5\text{MHz}$ です。

パラメータ	条件	ADS7870EA			単位
		最小	標準	最大	
アナログ入力特性 入力電圧範囲 (L _N x入力) 入力キャパシタンス ⁽²⁾ 入力インピーダンス ⁽²⁾ 同相モード 差動 チャンネル間クロストーク マルチプレクサのリーク電流	リニア動作 $V_{IN} = 2\text{Vp-p}, 60\text{Hz}^{(3)}$	-0.2 100 100	4~9.7 6 7 100 100	$V_{DD} + 0.2$ 100 100	V pF MΩ MΩ dB pA
静的精度 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 フルスケール(ゲイン)誤差 レシオメトリックな構成または外部リファレンス ⁽⁴⁾ 内部リファレンス DC同相モード除去、RTI 電源除去、RTI	$G = 1 \sim 20\text{V/V}$ $G = 1 \sim 20\text{V/V}$ $G = 1 \sim 20\text{V/V}$ $G = 1 \sim 20\text{V/V}$ $G = 1 \sim 10\text{V/V}$ $G = 16 \text{ and } 20\text{V/V}$ $G = 1 \sim 10\text{V/V}$ $G = 16 \text{ and } 20\text{V/V}$ $V_{IN} = -0.2\text{V} \sim 5.2\text{V}, G = 20\text{V/V}$ $V_{DD} = 5\text{V} \pm 10\%, G = 20\text{V/V}$	12 92	12 ±1 ±0.5 ±1 86	±2.5 ±0.2 ±0.25 ±0.35 ±0.4	Bits Bits LSB LSB LSB %FSR %FSR %FSR %FSR dB dB
ダイナミック特性 スループット・レート、連続モード アドレス・モード 外部クロック、CCLK ⁽⁵⁾ 内部発振器の周波数 シリアル・インターフェースのクロック(SCLK) データ・セットアップ時間 データ・ホールド時間	1チャンネル 異なるチャンネル間	0.100 10 10	2.5 20	52 52 20 20 ns ns	ksamp/s ksamp/s MHz MHz MHz ns ns
デジタル入力 ロジック・レベル “ロー”レベル入力電圧、 V_{IL} “ハイ”レベル入力電圧、 V_{IH} “ロー”レベル入力電流、 I_{IL} “ハイ”レベル入力電流、 I_{IH}	$V_{DD} \leq 3.6\text{V}$ $V_{DD} > 3.6\text{V}$	2 3		0.8 1 1	V V V μA μA
デジタル出力 データ・コーディング V_{OL} V_{OH} $I_{SOURCE} = 5\text{mA}$ 、DO _{UT} ピン 出力キャパシタンス	バイナリ2の補数 $I_{SINK} = 5\text{mA}$ $I_{SINK} = 16\text{mA}$ $I_{SOURCE} = 0.5\text{mA}$ $I_{SOURCE} = 5\text{mA}$ ハイ・インピーダンス状態、 $V_{OUT} = 0\text{V} \sim V_{DD}$	$V_{DD} - 0.4$	0.8 4.6 5	0.4 1	V V V V μA pF
リファレンス電圧 BUF_{IN} 入力電圧範囲 入力インピーダンス $\text{BUF}_{OUT}/\text{REF}_{IN}$ ^{(6),(7)} 出力電圧精度 対温度 バンドギャップ・リファレンス電圧 短絡電流	バッファ・アンプの入力 $V_{REF} = 2.048\text{V and } 2.5\text{V}$ $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	0.9	$10^{12} 3$ ±0.05 10 1.15 20	$V_{DD} - 0.2$ ±0.25 50	V Ω pF % ppm/°C V mA
電源条件 仕様電圧範囲、 V_{DD} 動作電圧範囲 電源電流 ⁽⁶⁾ 1kHzのサンプリング・レート 50kHzのサンプリング・レート パワーダウン 消費電力 ⁽⁶⁾ 1kHzのサンプリング・レート 50kHzのサンプリング・レート パワーダウン	REFとBUFがオン、内部発振器オン REFとBUFがオン、外部CCLK REFとBUFがオフ REFとBUFがオン、内部発振器オン REFとBUFがオン、外部CCLK REFとBUFがオフ	2.7	5 0.450 1.2 2.25 6 5	5.5 1.7 1	V V mA mA μA mW mW μW
温度範囲 仕様範囲 動作範囲 保存範囲 熱抵抗、 θ_{JA}		-40 -55 -65	150	+85 +125 +150	°C °C °C °C/W

内部機能の仕様⁽¹⁾

(データ・アキュイジション・システム全体の仕様については、前のページを参照)

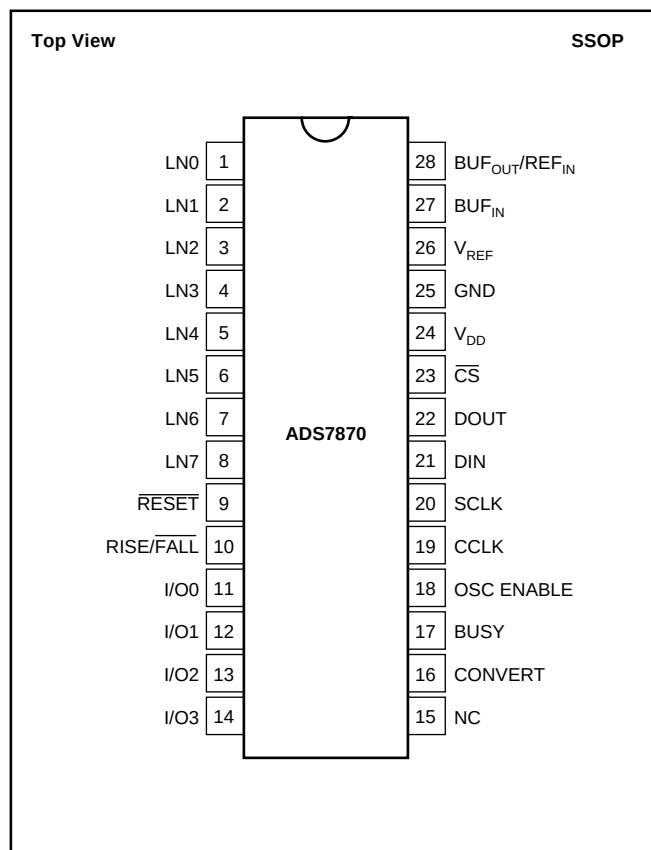
特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5.0\text{V}$ 、 $V_{REF} = 2.5\text{V}$ を BUF_{IN} に接続(内部リファレンスを使用)、 $\text{CCLK} = 2.5\text{MHz}$ 、 $\text{SCLK} = 2.5\text{MHz}$ です。

パラメータ	条件	ADS7870EA			単位
		最小	標準	最大	
マルチプレクサ オン抵抗 オフ抵抗 オン・チャンネルのリーク電流 オン・チャンネル = 5.2V、オフ・チャンネル = 0V オン・チャンネル = 0V、オフ・チャンネル = 5.2V オン・チャンネルのリーク電流 オン・チャンネル = 0V、オフ・チャンネル = 5.2V	$V_{LNX} = 5.2\text{V}$ オン・チャンネル = 5.2V、オフ・チャンネル = 0V		500 1 100 100 100 100		Ω $\text{G}\Omega$ pA pA pA pA
PGAアンプ 入力キャパシタンス ⁽²⁾ 入力インピーダンス ⁽²⁾ 同相モード 差動 オフセット電圧 小信号帯域幅 セトリングタイム: 0.01%	$G = 1$ $G = 20$		4~9.7 6 7 100 5 / ゲイン 0.3 6.4		pF $\text{M}\Omega$ $\text{M}\Omega$ μV MHz μs μs
A/Dコンバータ DC特性 分解能 積分直線性誤差 微分直線性誤差 ノー・ミッシング・コード オフセット誤差 フルスケール(ゲイン)誤差 同相モード除去、A/DのRTI 電源除去、ADS7870のRTI	$\text{REF}_{IN} = 2.5\text{V}$ 外部リファレンス、 $V_{DD} = 5\text{V} \pm 10\%$		12 0.5 0.5 12 0.5 0.02 80 60		LSB LSB LSB Bits LSB % dB dB
PGA+A/Dコンバータ サンプリング・ダイナミック特性 スループット・レート 変換時間 アキュイジション時間 自動ゼロ時間 アパーチャ・ディレイ 小信号帯域幅 ステップ応答	$f_{\text{CCLK}} = 2.5\text{MHz}$, $\text{DF} = 1$ 48 CCLKサイクル 12 CCLKサイクル 28 CCLKサイクル 8 CCLKサイクル 36 CCLKサイクル		52 4.8 9.6 3.2 12.8 5	1回の完全な変換サイクル	kHz μs μs μs μs μs MHz

注: (1)“システム全体の仕様”は、アナログ入力からデジタル出力までの全体の仕様です。“内部機能の仕様”は、ADS7870の各機能の性能を示します。
 (2)ADS7870は、プログラマブル・ゲイン・アンプおよびA/Dコンバータにスイッチ・キャパシタ方式を採用しています。この回路の特性は、選択した LNX ピンの入力キャパシタンスが変換サイクル中に変化することです。(3)1つのチャンネルをオンにし、入力をグラウンドに接続します。他のチャンネルはすべてオフにし、入力に正弦波電圧を印加します。(4)リファレンスの変化に応じて入力電圧が変化するように入力ソースが構成されているとき、レシオメトリックな構成になります。完全な外部リファレンスを使用したとき、同じ精度が適用されます。(5)CCLKをADC制御レジスタのビットD0およびD1に指定されたDF値で分周したものがDCLKです。DCLKの最大値は2.5MHzです。(6)REFとBUFは、それぞれ190 μA および150 μA (950 μW および750 μW)寄与します。初期電源投入時のREFとBUFのデフォルトの状態はオフです。これは、リファレンス/発振器制御レジスタのD3およびD2に“1”を書き込むことによりソフトウェアでオンにできます。(7) $V_{DD} < 3.0\text{V}$ の場合、 $V_{REF} = 2.5\text{V}$ を使用できません。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

ピン配置



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

絶対最大定格⁽¹⁾

電源電圧、V _{DD}	5.5V
アナログ入力：	
入力電流、瞬時	100mA
連続	10mA
入力電圧	V _{DD} + 0.5V ~ Gnd - 0.5V
動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
接合部温度	+150°C
リード温度 (10秒間の半田付け)	+300°C

注：(1) 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号	仕様温度範囲	パッケージのマーキング	発注番号 ⁽¹⁾	供給時の状態
ADS7870EA	28ピンSSOP	324	-40°C ~ +85°C	ADS7870EA	ADS7870EA	マガジン
ADS7870EA	28ピンSSOP	324	-40°C ~ +85°C	ADS7870EA	ADS7870EA/250	テーブリール
ADS7870EA	28ピンSSOP	324	-40°C ~ +85°C	ADS7870EA	ADS7870EA/1K	テーブリール

注：(1) スラッシュ (/) が付記されたモデルは、表示数量のテーブリールでのみ供給されます (例えば、/1K はリール1本あたり1,000個入りのデバイスであることを示します)。“ADS7870EA/1K”を発注すると、1,000個入りテーブリール1本が納品されます。

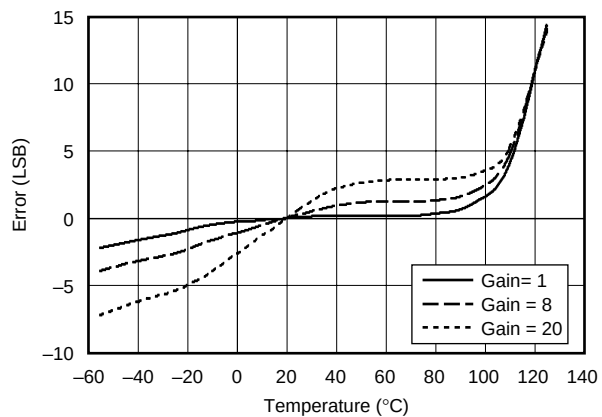
ピン構成

ピン番号	名前	I/O	説明
1	LN0	アナログ入力	MUX入力ライン0
2	LN1	アナログ入力	MUX入力ライン1
3	LN2	アナログ入力	MUX入力ライン2
4	LN3	アナログ入力	MUX入力ライン3
5	LN4	アナログ入力	MUX入力ライン4
6	LN5	アナログ入力	MUX入力ライン5
7	LN6	アナログ入力	MUX入力ライン6
8	LN7	アナログ入力	MUX入力ライン7
9	RESET	デジタル入力	マスター・リセットですべてのレジスタが0になる。
10	RISE/FALL	デジタル入力	SCLKのアクティブなエッジを設定する。“0”のときSCLKが立ち下がりエッジでアクティブになる。“1”のときSCLKが立ち上がりエッジでアクティブになる。
11	I/O 0	デジタル入出力	デジタル入出力信号
12	I/O 1	デジタル入出力	デジタル入出力信号
13	I/O 2	デジタル入出力	デジタル入出力信号
14	I/O 3	デジタル入出力	デジタル入出力信号
15	NC	接続なし	このピンには接続しないこと。
16	CONVERT	デジタル入力	“0”から“1”の遷移で変換サイクルが開始される。
17	BUSY	デジタル出力	“1”のとき、コンバータがビジーであることを示す。
18	OSC ENABLE	デジタル入力	“0”でCCLKが入力として設定され、“1”でCCLKが出力として設定され、発振器がオンになる。
19	CCLK	デジタル入出力	OSC ENABLE = “1”のとき、内部発振器の信号が出力される。OSC ENABLE = “0”のとき、外部変換クロックの入力ピンになる。
20	SCLK	デジタル入力	シリアルデータ入出力転送クロック。RISE/FALLピンによりアクティブなエッジが設定される。RISE/FALLが“ロー”のとき、SCLKは立ち下がりエッジでアクティブになる。
21	DIN	デジタル入力	シリアルデータ入力。3線モードのとき、シリアルデータ入力として使用される。2線モードのとき、このピンとDOUTピンからシリアルデータが出力される。
22	DOUT	デジタル出力	シリアルデータ出力。 $\overline{CS}$ が“ロー”のときドライブされ、 $\overline{CS}$ が“ハイ”のときハイ・インピーダンスになる。このピンは、3線モードと2線モードで同じ動作をする。
23	$\overline{CS}$	デジタル入力	チップ・セレクト。 $\overline{CS}$ が“ロー”のとき、シリアル・インターフェースがイネーブルされる。 $\overline{CS}$ が“ハイ”のとき、シリアル・インターフェースがディスエーブルされ、DOUTピンがハイ・インピーダンスになり、DINピンが入力になる。 $\overline{CS}$ ピンは、シリアル・インターフェースの動作にのみ影響し、信号変換プロセスの動作は直接イネーブル/ディスエーブルされない。
24	V _{DD}	電源	+2.7Vから+5.5Vの電源電圧
25	GND	電源	電源グランド
26	V _{REF}	アナログ出力	2.048V/2.5Vのオンチップ・リファレンス電圧
27	BUF _{IN}	アナログ入力	リファレンス・バッファ・アンプの入力
28	BUF _{OUT} /REF _{IN}	アナログ出力/入力	リファレンス・バッファ・アンプの出力およびADCのリファレンス入力

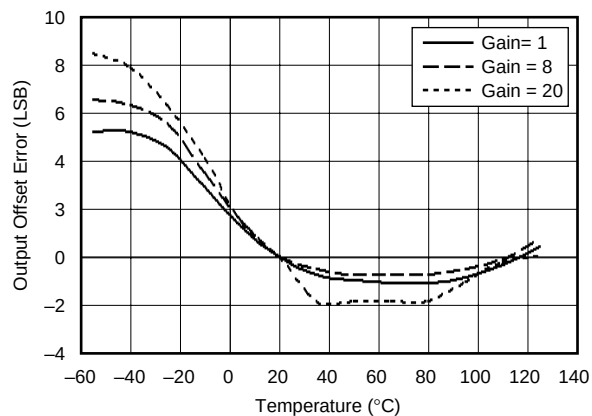
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5.0\text{V}$ 、 $V_{REF} = 2.5\text{V}$ を BUF_{IN} に接続(内部リファレンスを使用)、 $\text{CCLK} = 2.5\text{MHz}$ 、 $\text{SCLK} = 2.5\text{MHz}$ です。

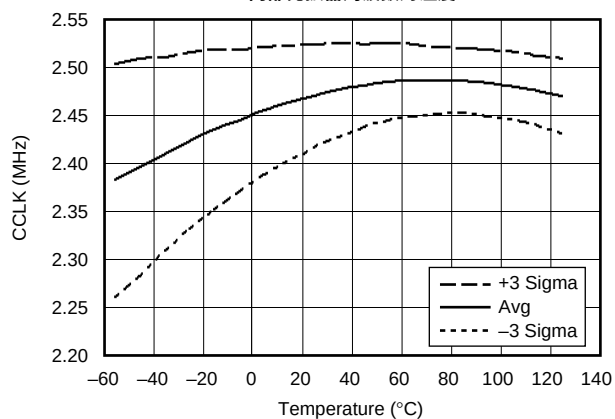
ゲイン誤差対温度



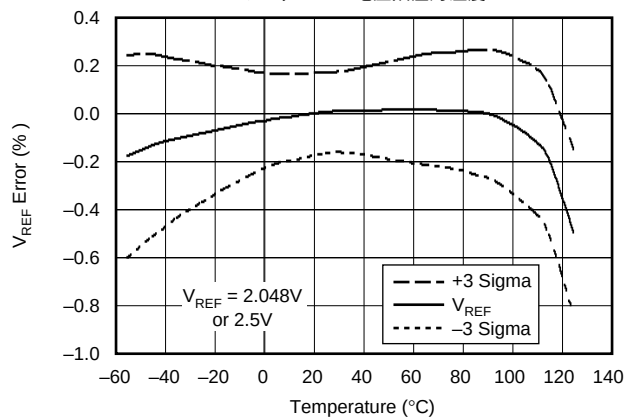
出力オフセット誤差対温度



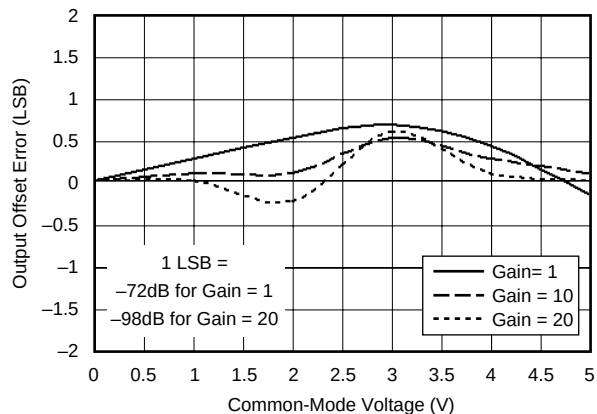
内部発振器周波数対温度



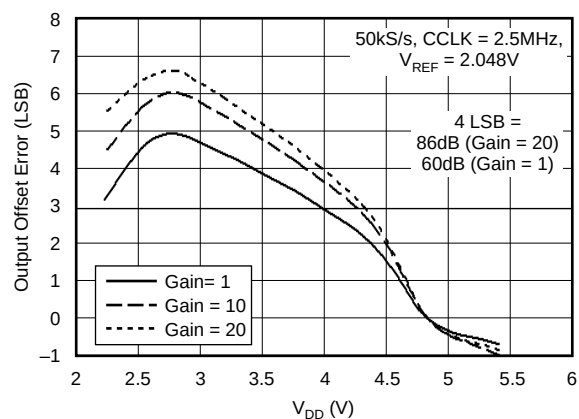
リファレンス電圧誤差対温度



出力オフセット誤差対同相モード電圧

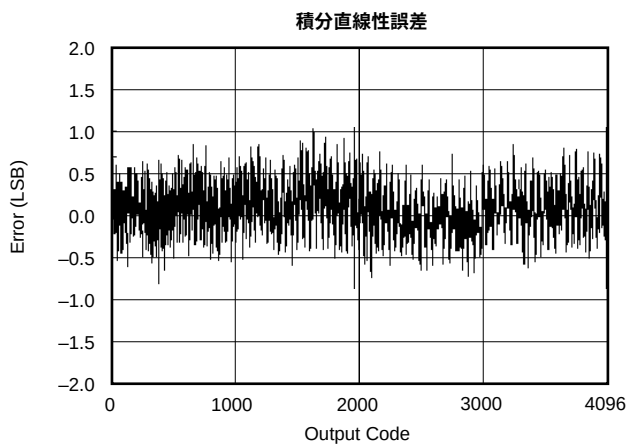
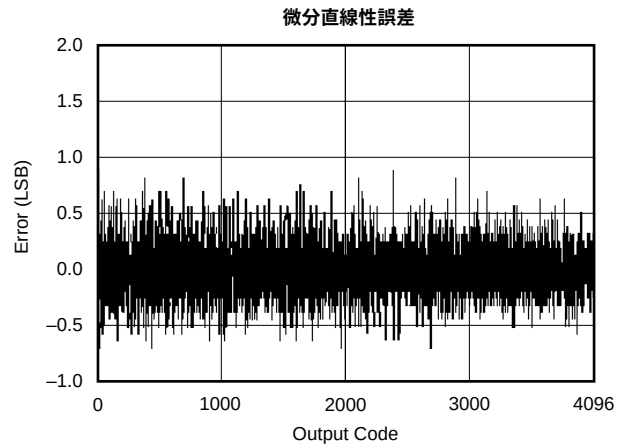
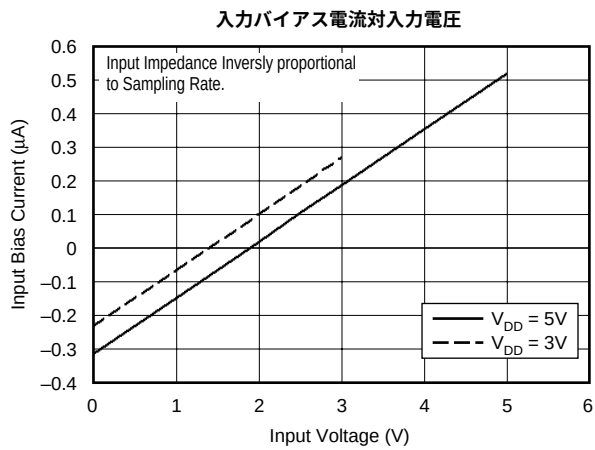
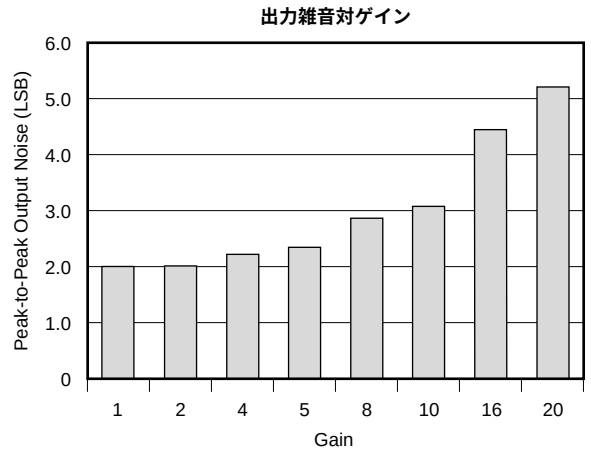
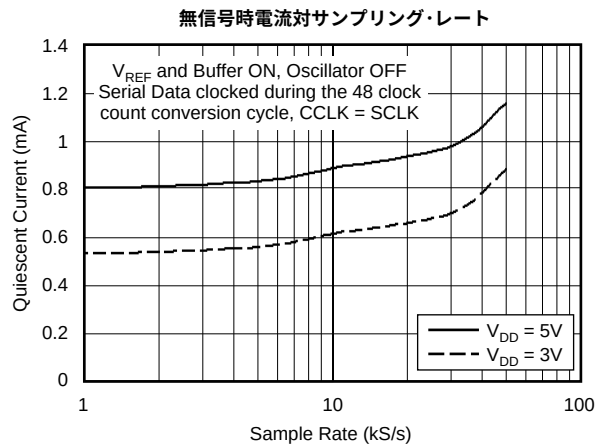


出力オフセット誤差対電源電圧



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5.0\text{V}$ 、 $V_{REF} = 2.5\text{V}$ を BUF_{IN} に接続(内部リファレンスを使用)、 $\text{CCLK} = 2.5\text{MHz}$ 、 $\text{SCLK} = 2.5\text{MHz}$ です。



デバイス全体の説明

ADS7870は、入力アナログ・マルチプレクサ(MUX)、プログラマブル・ゲイン・アンプ(PGA)、A/Dコンバータからなる完成されたデータ・アキュイジション・デバイスです。4ラインのデジタル入出力(I/O)も備えています。変換クロック、リファレンス電圧、制御およびデータ読み取りのためのシリアル・インターフェースなど、サポート機能を提供する回路も追加されています。

ADS7870の制御と構成は、シリアルポートから内部レジスタに命令バイトを書き込むことにより実行します。レジスタによるデバイスの制御には、マルチプレクサのチャンネル選択、PGAのゲイン、A/D変換の開始、I/Oラインの制御があります。レジスタによる構成の制御には、内部リファレンス電圧の設定、発振器の制御があります。

動作モードや機能の選択は、対応するピンにデジタル信号を入力して設定することができます。ピンで設定できる構成オプションには、SCLKのアクティブなエッジの選択、マスター・リセット、内部発振器のクロックのイネーブルがあります。

ADS7870にはLN0からLN7まで8本のアナログ信号入力ピンがあり、アナログ・スイッチのネットワーク(図1の“MUX”ブロック)に接続されています。入力は、8チャンネルのシングル・エンド入力または4チャンネルの差動入力として構成することができます。

4本の汎用デジタルI/Oピン(I/O3からI/O0)は、それぞれデジタル入力またはデジタル出力として構成できます。ユーザはシリアル・インターフェースから4本のデジタルI/Oピンにアクセスでき、ホスト・コントローラに新しい線を接続する必要はありません。

プログラマブル・ゲイン・アンプ(PGA)のゲインは、1、2、4、5、8、10、16、20V/Vです。

ADS7870の12ビットA/Dコンバータは、逐次比較型です。コンバータの出力は、2の補数フォーマットで、MSBファーストまたはLSBファーストで読み取ることができます。

ADS7870の内部リファレンスの出力電圧は、ソフトウェアにより1.15V、2.048Vまたは2.5Vに構成できます。リファレンス回路は、初期精度が高く、温度ドリフトが小さくなるように調整されています。ハイ・インピーダンスの V_{REF} 出力をバッファリングするために別のバッファ・アンプが用意されています。

リファレンス電圧、PGA、A/Dコンバータは、変換クロック(CCLK)とそれを分周した信号を使用します。CCLKは、入力または出力信号のどちらにも構成できます。ADS7870では、CCLK信号を一定の値で分周してからA/DコンバータやPGAに供給することができます。このため、高周波のシステム・クロックを使用してA/Dコンバータの動作を制御することができます。1、2、4、8の分周比(DF)を設定できます。PGAやA/Dに実際に供給される信号はDCLKで、 $DCLK = CCLK/DF$ の関係があります。

ADS7870のシリアル・インターフェースは、各種のマイクロコントローラと便利に使用できるように設計されています。SCLK(シリアルデータ・クロック)、DOUT(シリアルデータ出力)、DIN(シリアルデータ入力、特定のアプリケーションでは双方向に設定されます)、CS(チップ・セレクト)の4本の基本的なシリアル・インターフェース・ピンがあります。

ADS7870には、ユーザがアクセス可能な10の内部レジスタがあり、通常動作でデバイスを構成または制御するために使用できます(表IIのレジスタ・アドレス・マップを参照)。

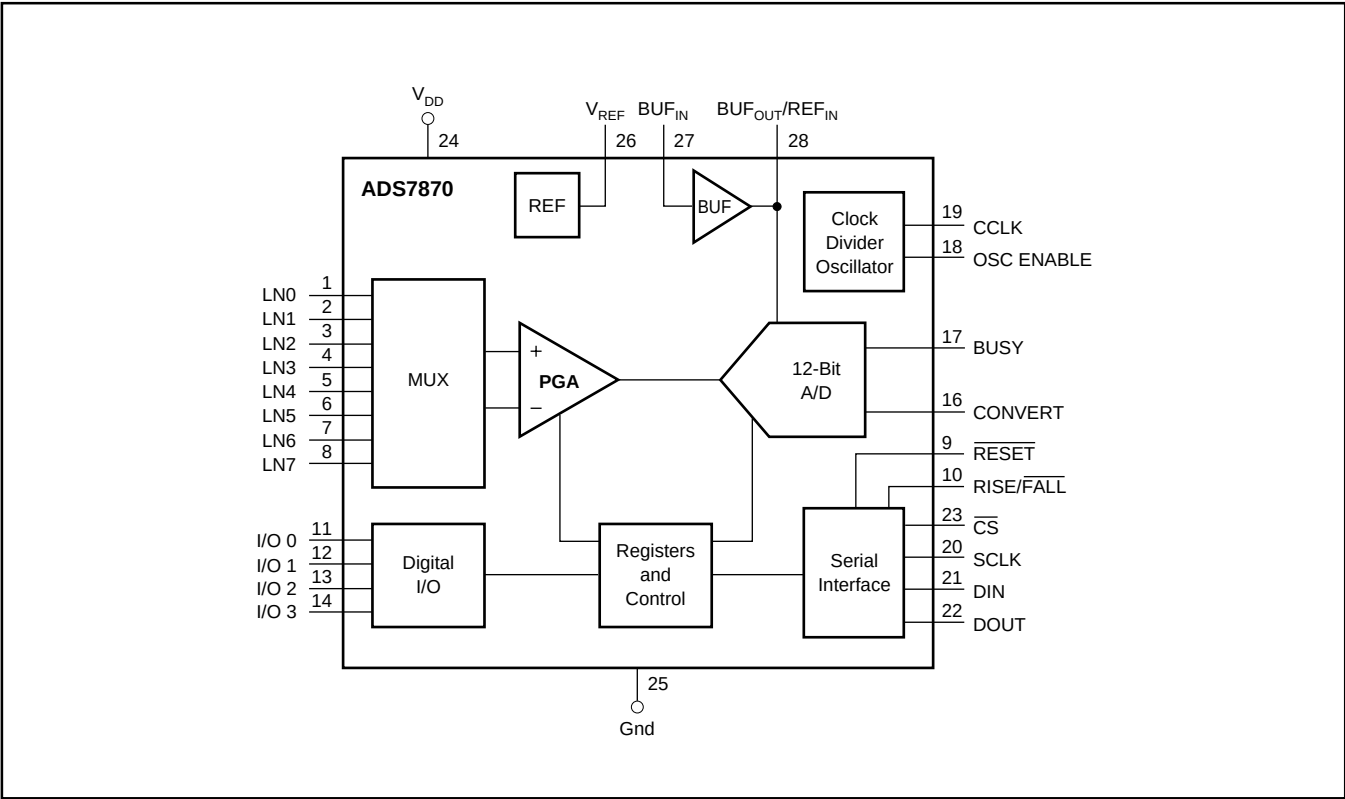


図1. 基本回路図

各機能の説明

マルチプレクサ

ADS7870にはLN0からLN7まで8本のアナログ信号入力ピンがあり、アナログ・スイッチのネットワーク(図1の“MUX”ブロック)に接続されています。スイッチは、ゲイン/MUXレジスタの4つのビットで制御します。

LN0からLN7は、8チャンネルのシングル・エンド入力または4チャンネルの差動入力として構成できます。マルチプレクサの構成の例を図7に示します。差動入力ピンの極性は、MUXレジスタのM2ビットで変更できます。この機能により、ADS7870の入力の接続を物理的に変更しなくても変換結果の極性を反転することができます。

LN0からLN7ピンの入力信号は、 $GND-0.2V$ から $V_{DD}+0.2V$ の範囲でリニアに動作します。差動信号の極性はゲイン/MUXレジスタの命令の書き込みにより変更できますが、各ラインは下記のリニアな同相モード入力電圧の範囲内に保持する必要があります。

入力LN0からLN7には、チップの最初の能動素子であるESD保護回路があります。回路には V_{DD} とGNDに接続された保護ダイオードがあり、通常動作で逆バイアスがかけられています。入力電圧が絶対最大電圧範囲を超えることが予想される場合は、入力と直列に抵抗を追加して電流を10mA以下に制限する必要があります。

変換クロック

リファレンス電圧、PGA、A/Dコンバータは、変換クロック(CCLK)とそれを分周した信号を使用します。PGAとA/Dは、同じクロック信号を使用します。クロックは、OSC ENABLEピンとCCLKピン、リファレンス/発振器構成レジスタ(レジスタ7)のOSCEビットとOSCRビットに対応しています。CCLKは、入力ピンまたは出力ピンのどちらにも構成できます。OSC ENABLEピンが“ロー”(OSC ENABLE = “0”)のとき、CCLKピンは入力になり、ADS7870は入力される外部クロックを使用して変換プロセスを実行します。OSC ENABLE = “1”のとき、ADS7870は内部2.5MHz発振器を変換クロックとして使用します。このクロック信号は、CCLKピンに出力されます。

ADS7870は、CCLKを分周してからA/DコンバータやPGAに供給するようにプログラムできます。このため、SCLKなどの高周波のシステム・クロックを使用してA/Dコンバータの動作を同期的に制御することができます。周波数の分周比は、ADC制御レジスタの2つのビット(CDF1、CDF0)で制御します。1、2、4、8の分周比(DF)を設定できます。PGAやA/Dに実際に供給される信号はDCLKで、 $DCLK = CCLK/DF$ の関係があります。

CCLKピンは、入力または出力のどちらにも構成でき、同じアプリケーションで複数のADS7870を使用する場合に便利です。例えば、1つのADS7870を変換クロックのマスター(CCLKピンを出力に構成)にし、他のすべてのADS7870をスレーブ(CCLKピンを入力に構成)にすることができます。これにより、クロックや他のシステム雑音による潜在的なA/D変換誤差が低減されます。

ADS7870のDCLK周波数には最大値と最小値の制限があります($DCLK = CCLK/DF$)。PGA、リファレンス、A/Dに供給されるDCLKの最大周波数は2.5MHz、最小周波数は100kHzです。

リファレンス電圧とバッファ・アンプ

ADS7870の V_{REF} は、内部のバンドギャップ・リファレンス電圧から作られます。ADS7870は、独自のスイッチ・キャパシタ方式によるバンドギャップ・リファレンスを使用しています(特許出願中)。回路には、 V_{REF} のドリフト曲線を補正する機能があります。リファレンスの出力電圧は、ソフトウェアにより1.15V、2.048Vまたは2.5Vに構成できます。

リファレンス回路内のアンプは、出力電流性能がきわめて制限されています。負荷電流を供給するには別のバッファ・アンプを使用する必要があります。内部バッファ・アンプの標準的なソース電流は最大20mA、シンク電流は最大20 μ Aです。オンボード・リファレンスの温度補償は、回路のリファレンス・バッファで調整されます。この構成で性能が規定されます。

プログラマブル・ゲイン・アンプ

プログラマブル・ゲイン・アンプ(PGA)のゲインは、1、2、4、5、8、10、16、20V/Vです。PGAは、単一電源、レール・ツー・レール入力、自動ゼロ調整の機能を備えたキャパシタ・ベースの計測アンプです。PGAのゲインは、レジスタ4のビットG2からG0で設定します。

レジスタ2は、変換サイクル中にPGAの入出力が許容範囲を超えたかどうかを示す読み取り専用レジスタです。これらの信号の論理和がA/D出力レジスタ0の最下位ビットになります。A/D出力レジスタのビットD0を調べると、範囲を超えたかどうかわかります。詳細については、レジスタの説明を参照して下さい。

A/Dコンバータ

ADS7870の12ビットA/Dコンバータは、逐次比較型です。コンバータの出力は、2の補数フォーマットで、シリアル・インターフェースからMSBファーストまたはLSBファーストで読み取ることができます。出力コード対入力電圧のプロットを図2に示します。入力マルチプレクサを差動入力に構成した場合、A/D出力コードの範囲は、 $V_{IN} = -V_{REF}/G$ の-2048から $V_{IN} = (+V_{REF} - 1V_{LSB})/G$ の2047までになります。入力マルチプレクサをシングル・エンド入力に構成した場合、A/D出力コードの範囲は、 $V_{IN} = 0$ から $(+V_{REF} - 1V_{LSB})/G$ までに相当する0から2047までになります。

変換サイクル

変換サイクルには、48DCLKサイクルが必要です($DCLK = CCLK/DF$)。信号については、変換クロックの項を参照して下さい。

PGAの動作には、36DCLKサイクルが必要です。PGA部では、入力ソースの同相モード電圧のキャプチャ、PGAのオフセット電圧の自動ゼロ調整、信号の増幅が行われます。PGAは、12ビットの1/2LSBの精度に必要な0.01%の精度までセトリングします。最後の12DCLKサイクルでA/Dコンバータの逐次比較による変換が実行されます。

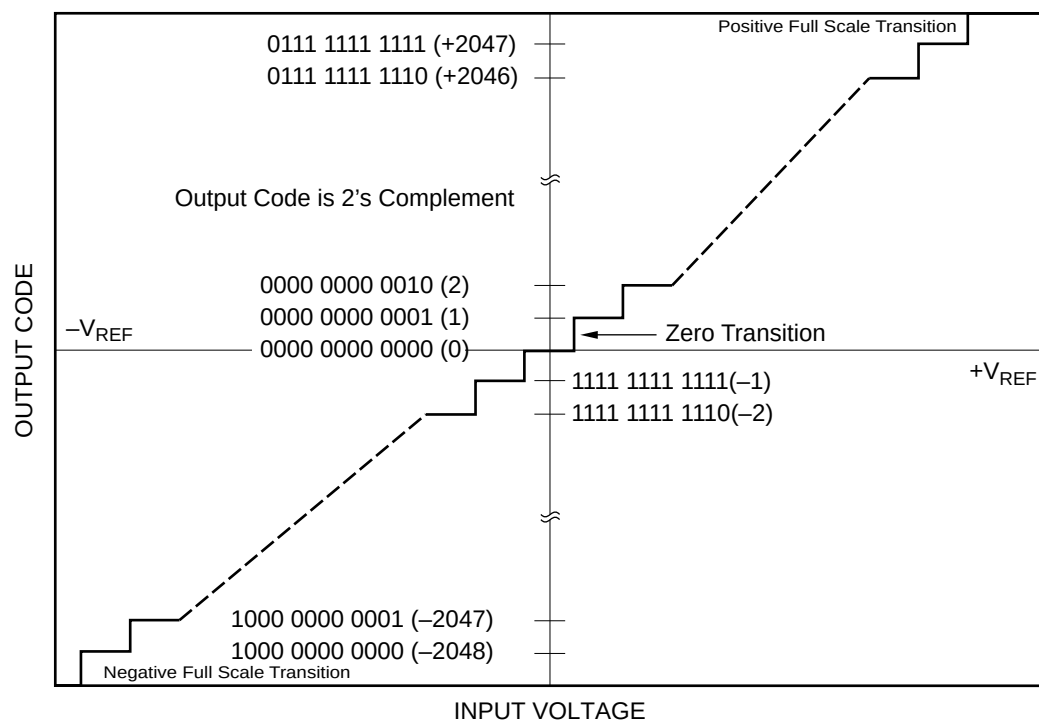


図2. 出力コード対入力電圧

このクロック・シーケンスの間、選択したチャンネルの入力キャパシタンスは、6pF、9.7pF、6pF、7pF、6pFと変化します。ADS7870が変換中でないときのチャンネルの負荷キャパシタンスは4pFになります。

このようなLNxピンの容量性負荷の変化は、回路の内部キャパシタの切り替え時にDCLKの遷移でピンの電圧が変化する原因になります。ADS7870のクロック速度では、入力ピンの電圧が短時間に最終的な値にセトリグするため、遷移はA/Dの変換結果に影響しません。

A/D変換サイクルの開始

ADS7870の変換を開始するには4通りの方法があります。

- 1) ダイレクト・モード命令を送る。
- 2) レジスタ4の書き込みを実行し、CNVビットを“1”に設定する。
- 3) レジスタ5の書き込みを実行し、CNVビットを“1”に設定する。
- 4) CONVERTピンをアサートする(ロジック“ハイ”)。

シリアル・インターフェース

ADS7870は、デジタル・シリアルポート・インターフェースを通じてマイクロプロセッサや他の外部回路と通信します。インターフェースは、Motorola 68HC11、Intel 80C51、

MicroChip PICシリーズなど、広く使用されている各種のマイクロコントローラと互換性があります。

シリアル・インターフェースは、SCLK(シリアル・ビット・クロック)、DIN(シリアルデータ入力)、DOUT(シリアルデータ出力)、CS(チップ・セレクト)の4本の基本ピンからなります。SCLKは、データ転送の同期をとります。各ビットは、RISE/FALLピンの設定に応じてSCLKの立ち下がりエッジまたは立ち上がりエッジで転送されます。DINは、シリアルデータの出力ラインとしても使用できます。

その他のピンは、基本的なシリアル・インターフェースの機能を拡張し、各種マイクロコントローラと使用できるようにします。RISE/FALLピンは、ADS7870がSCLKの立ち上がりまたは立ち下がりのどちらのエッジでシリアルデータを転送するか指定するために使用します。BUSYピンは、変換が進行中であることを示し、マイクロコントローラの割り込みに使用できます。CONVERTピンは、ハードウェアによりADS7870の変換サイクルを開始する方法として使用できます。RESETピンは、ADS7870を電源投入時の状態にリセットするために使用できます。4本の汎用デジタルI/Oピン(I/O3からI/O0まで)もあります。

ADS7870は、シリアル・インターフェースに命令を書き込むことにより制御します(表 I 参照)。この8ビット・ワードでダイレクト・モードまたはレジスタ・モードが定義されます(動作モードの項を参照)。

シリアル・インターフェースの通信は、命令バイトとその後のデータ(書き込み動作の場合)またはADS7870がデータを出力するためのクロック(読み取り動作の場合)を供給するマイクロコントローラに依存します。変換結果の読み取りで命令バイトのオーバーヘッドを短縮できる特殊な動作モードもあります。

デバイスのリセット(RESET)、変換の開始(CONVERT)、発振器のイネーブル(OSC ENABLE)は、外部ピンの信号入力または内部レジスタのデータ設定のどちらでも実行できます。各命令は、論理和(ピンまたはレジスタ)が真のとき実行されます。CONVERTピンの信号は、エッジ・トリガ型のイベントで、ホールド時間は2DCLK周期です。

動作モード

ADS7870のシリアル・インターフェースは、命令バイトに基づいて動作し、その命令の内容によって指示された動作が実行されます。8ビットの命令ワードは、DINに入力されます。ADS7870に書き込むことができる命令バイトには、命令ワードのビットD7で決定される2つのタイプがあります(表 I 参照)。2つのタイプの命令は、2種類の動作モードに対応しています。ダ

イレクト・モード(ビットD7=1)では、変換が開始されます。レジスタ・モード(ビットD7=0)では、命令の後に指定されたレジスタの読み取りまたは書き込み動作が実行されます。

ダイレクト・モード

ダイレクト・モードでは、ADS7870に8ビットの命令バイト(ビットD7を“1”に設定)を書き込むことにより変換が開始されます。ダイレクト・モードの命令の書き込みにより、マルチプレクサの構成とPGAのゲインが設定され、変換サイクルが開始されます。ADS7870は、命令バイトの最後のビットが受信された後、命令バイトに指示されたPGAゲインと入力チャンネルで変換を実行します。

変換サイクルは、命令バイトのSCLKの8番目のアクティブなエッジの後、CCLKの2番目の立ち下がりエッジで開始されます。変換が完了すると、変換結果がA/D出力レジスタに保存され、レジスタ・モードの読み取り動作でシリアル・インターフェースから読み取ることができます。

命令バイト

変換開始
(ダイレクト・モード)

または
読み取り/書き込み
(レジスタ・モード)

D7(MSB)	D6	D5	D4	D3	D2	D1	D0
1	G2	G1	G0	M3	M2	M1	M0

OR

0	R/W	16/8	AS4	AS3	AS2	AS1	AS0
---	-----	------	-----	-----	-----	-----	-----

変換開始命令バイト(ダイレクト・モード)⁽¹⁾

ビット	記号	名前	値	機能
D7		モード選択	1	変換サイクルを開始する(ダイレクト・モード)。
D6-D4	G2-G0	PGAゲイン選択	000 001 010 011 100 101 110 111	PGAゲイン = 1(電源投入時のデフォルト状態) PGAゲイン = 2 PGAゲイン = 4 PGAゲイン = 5 PGAゲイン = 8 PGAゲイン = 10 PGAゲイン = 16 PGAゲイン = 20
D3-D0	M3-M0	入力チャンネル選択	表III参照	要求された変換の入力チャンネル選択、差動またはシングル・エンドの構成を決定する。

注：(1) このバイトの下位7ビットは、レジスタ4(ゲイン/MUXレジスタ)にも書き込まれる。

読み取り/書き込み命令バイト(レジスタ・モード)

ビット	記号	名前	値	機能
D7		モード選択	0	読み取りまたは書き込み動作を開始する(レジスタ・モード)。
D6	R/W	読み取り/書き込み選択	0 1	書き込み動作 読み取り動作
D5	16/8	ワード長	0 1	8ビット・ワード 16ビット・ワード(2×8ビット・バイト)
D4-D0	AS4-AS0	レジスタ・アドレス	表II参照	読み取りまたは書き込みを実行するレジスタのアドレスを決定する。

表 I. 命令バイトのアドレス

ダイレクト・モードの命令バイトの構造を表Iに示します。

- ・D7：このビットが“1”のとき、ダイレクト・モード動作になります。
- ・D6からD4(G2からG0)：プログラマブル・ゲイン・アンプのゲインを制御します。PGAのゲインは、1、2、4、5、8、10、16、20に設定することができます。表Iにコーディングを示します。
- ・D3からD0(M3からM0)：入力チャンネルの選択を決定するスイッチを構成します。入力チャンネルは、差動またはシングル・エンドに構成できます。差動構成では、入力信号の極性を反転することができます。表IIIにコーディングを示します。

このバイトの下位7ビットがレジスタ4(ゲイン/MUXレジスタ)に書き込まれることに注意して下さい。

他のすべての制御可能なADS7870のパラメータは、それまでに各レジスタに保存された値になります。この値は、電源投入時のデフォルト値またはレジスタ・モード動作で制御レジスタに書き込まれた値です。ダイレクト・モードの命令には、データを追加する必要はありません。

レジスタ・モード

レジスタ・モード(命令バイトのビットD7が“0”)では、ADS7870のレジスタの読み取りまたは書き込みが実行されます。ユーザが指定できるADS7870の機能は、すべてレジスタに情報を書き込むことにより制御できます(表II参照)。変換結果は、A/D出力レジスタから読み取ることができます。

命令バイト(表I参照)では、次の読み取り/書き込み動作を実行するレジスタのアドレス、シリアル通信のワード長(8ビットまたは16ビット)、次の動作のタイプ(指定されたレジスタの読み取りまたは書き込み)が指定されます。レジスタ・モードの命令バイトの構造を表Iに示します。

- ・D7：このビットが“0”のとき、レジスタ・モードの動作になります。
- ・D6(R/W)：命令バイトのビット6は、読み取り動作を実行するか書き込み動作を実行するかを決定します。“1”が読み取り、“0”が書き込みです。
- ・D5(16/8)：次の読み取り動作または書き込み動作のワード長を決定します。“1”が16ビット(2×8ビット・バイト)、“0”が

8ビットです。

- ・D4からD0まで(AS4からAS0まで)：読み取りまたは書き込みを実行するレジスタのアドレスを決定します。

レジスタ・アドレスのコーディングなどの情報については、表IIを参照して下さい。

16ビット動作では、最初の8ビットの書き込み/読み取りを、命令バイトのビットAS4からAS0(レジスタ・アドレス)に指定されたアドレスで実行します。次の8ビットのアドレスは、最初のバイトのレジスタ・アドレスが奇数か偶数かによって決まります。偶数の場合、2番目のバイトのアドレスはレジスタ・アドレス+1になります。レジスタ・アドレスが奇数の場合、2番目のバイトのアドレスはレジスタ・アドレス-1になります。このため、2つのA/D出力データ・レジスタの変換結果は、上位バイトまたは下位バイトのどちらからでも転送することができます(シリアル・インターフェース制御レジスタの項を参照)。

レジスタの要約

ADS7870のアクセス可能なレジスタの要約を表IIに示します。ユーザがアクセス可能な10のレジスタについて次に簡単に説明します。各レジスタの詳細については、ユーザがアクセス可能な内部レジスタの項を参照して下さい。

レジスタ0、1(A/D出力データ・レジスタ)には、A/D変換結果の下位および上位のビット(ADC0からADC11まで)が保存されます。レジスタ0には、PGAの内部許容電圧範囲を超えたかどうかを示すビット(OVR)もあります。

レジスタ2(PGA有効レジスタ)には、PGAの電圧が許容範囲を超えた場合に、状況を説明する情報が保存されます。

レジスタ3(A/D制御レジスタ)には、変換クロックに使用する分周比(CDF0およびCDF1)、自動リードバックの構成(RBM0およびRBM1)など、シリアル・インターフェースの情報が保存されます。

レジスタ4(ゲイン/MUXレジスタ)には、入力チャンネルの選択(M0からM3まで)、プログラマブル・ゲイン・アンプのゲイン設定ビット(G0からG2まで)があります。

レジスタ5(デジタルI/O状態レジスタ)には、各デジタルI/Oピン(I/O3からI/O0まで)の状態が保存されます。

レジスタ・アドレス					アドレ ス番 号	読み取り /書き込み	レジスタの内容								レジスタ名
AS4	AS3	AS2	AS1	AS0			D7 (MSB)	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	読み取り	ADC3	ADC2	ADC1	ADC0	0	0	0	OVR	A/D出力データ・レジスタ、下位バイト
0	0	0	0	1	1	読み取り	ADC11	ADC10	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	A/D出力データ・レジスタ、上位バイト
0	0	0	1	0	2	読み取り	0	0	VLD5	VLD4	VLD3	VLD2	VLD1	VLD0	PGA有効レジスタ
0	0	0	1	1	3	読み取り /書き込み	0	0	0	0	RBM1	RBM0	CFD1	CFD0	A/D制御レジスタ
0	0	1	0	0	4	読み取り /書き込み	CNV/BSY	G2	G1	G0	M3	M2	M1	M0	ゲイン/MUXレジスタ
0	0	1	0	1	5	読み取り /書き込み	CNV/BSY	0	0	0	IO3	IO2	IO1	IO0	デジタルI/O状態レジスタ
0	0	1	1	0	6	読み取り /書き込み	0	0	0	0	OE3	OE2	OE1	OE0	デジタルI/O制御レジスタ
0	0	1	1	1	7	読み取り /書き込み	0	0	OSCR	OSCE	REFE	BUFE	R2V	RGB	リファレンス/発振器制御レジスタ
1	1	0	0	0	24	読み取り /書き込み	LSB	2W/3	8051	0	0	8501	2W/3	LSB	シリアル・インターフェース制御レジスタ
1	1	1	1	1	31	読み取り	0	0	0	0	0	0	0	1	IDレジスタ

表II. レジスタ・アドレス・マップ

また、レジスタ4とレジスタ5には、変換を開始したり(書き込み命令の場合)、コンバータがビジーかどうか判定する(読み取り命令の場合)ことができる変換/ビジービット(CNV/BSY)があります。

レジスタ6(デジタルI/O制御レジスタ)には、4本のデジタルI/Oピンの機能が入力であるか出力であるかを決定する情報(OE3からOE0まで)があり、各I/Oピンのモードが設定されます。

レジスタ7(リファレンス/発振器制御レジスタ)は、変換クロックに使用する内部発振器をオンにするかどうか(OSCE)、内部リファレンス電圧とバッファをオンにするかどうか(REFE、BUFE)、リファレンス電圧(2.5V、2.048V、1.15V)を制御します。

レジスタ24(シリアル・インターフェース制御レジスタ)は、データが出力される順序(MSBファーストまたはLSBファースト、LSBビット)、シリアル・インターフェースの構成(2線または3線動作、2Wビット)、8051型マイクロプロセッサのインターフェースに適したタイミング(8051ビット)を制御します。

リセット

システムの同期がADS7870とコントローラ間で失われた場合、3通りのリセット方法があります。

次の操作を実行すると、シリアル・インターフェースとレジスタのすべての内容がリセットされます。

- 1) 電源をオフにしてからオンにします。電源は、内部ノードが十分に放電するまでオフにする必要があります。
- 2) RESETピンをトグルします。リセットに必要な最小パルス幅は50nsです。
- 3) オール0の8ビット・バイトをレジスタ0に書き込みます。

上記の操作では、すべての内部レジスタが0に設定されます。これにより、発振器とリファレンスはオフになります。復帰時間は、リファレンス出力のフィルタ・コンデンサの容量に依存します。

シリアル・インターフェースが同期し、命令を待っている場合は、SCLKのサイクルで8つの“0”と1つの“1”をDINに入力することによりデバイスがリセットされます。“1”の後のSCLKの次のアクティブなエッジが次の命令の最初のビットになります。 $\overline{\text{CS}}$ をサイクルすると、シリアル・インターフェースが確実に

リセットされます。

シリアル・インターフェースは、 $\overline{\text{CS}}$ 信号が“1”になるたびに再同期します。このため、ADS7870との通信ではシーケンスの最後まで $\overline{\text{CS}}$ を“ロー”に保持する必要があります。この同期でレジスタの値が変化することはありません。

$\overline{\text{CS}}$ をサイクルできない場合は、39の“0”の後に1つの“1”を書き込む必要があります。この文字列の長さは、デバイスが確実に同期するワースト・ケースの条件に基づいています。

書き込み動作

書き込み動作を実行するには、前に述べたように最初にADS7870に命令バイトを書き込む必要があります(表I参照)。この命令は、目的のレジスタとワード長(8ビットまたは16ビット)を決定します。命令バイトの最初のビットがラッチされるSCLKの最初のアクティブなエッジの前に(RISE/FALLピンの状態に応じて立ち上がりエッジまたは立ち下がりエッジがアクティブになります) $\overline{\text{CS}}$ ピンをアサート(“0”)する必要があります。 $\overline{\text{CS}}$ の後の最初のアクティブなエッジが命令バイトの最初のビットになります。命令バイトの残りの7ビットは、SCLKの次の7つのアクティブなエッジでラッチされます。 $\overline{\text{CS}}$ は、シーケンスの最後まで“ロー”に保持する必要があります。 $\overline{\text{CS}}$ を“ハイ”にすると、シリアル・インターフェースが再同期します。

ゲイン/MUXレジスタまたはデジタルI/OレジスタのCNV/BSYビットを使用して変換を開始するときは、書き込み動作のSCLKの最後のアクティブなエッジの後のCCLKの2番目の立ち下がりエッジで変換が開始されます。

8ビットの書き込み動作の例(LSBファースト、SCLKが立ち上がりエッジでアクティブ)を図3に示します。2重の矢印は、データが目的のレジスタにラッチされるときSCLKの遷移を示します。偶数アドレスの16ビットの書き込みのタイミングの例(LSBファースト、SCLKが立ち上がりエッジでアクティブ)を図4に示します。両方のバイトが各レジスタで同時に更新されることに注意して下さい。命令バイトのアドレス(ADDR)が偶数のため、2番目のバイトの書き込みアドレスは1加算されます。ADDRが奇数の場合、2番目のバイトのアドレスはADDR-1になります。

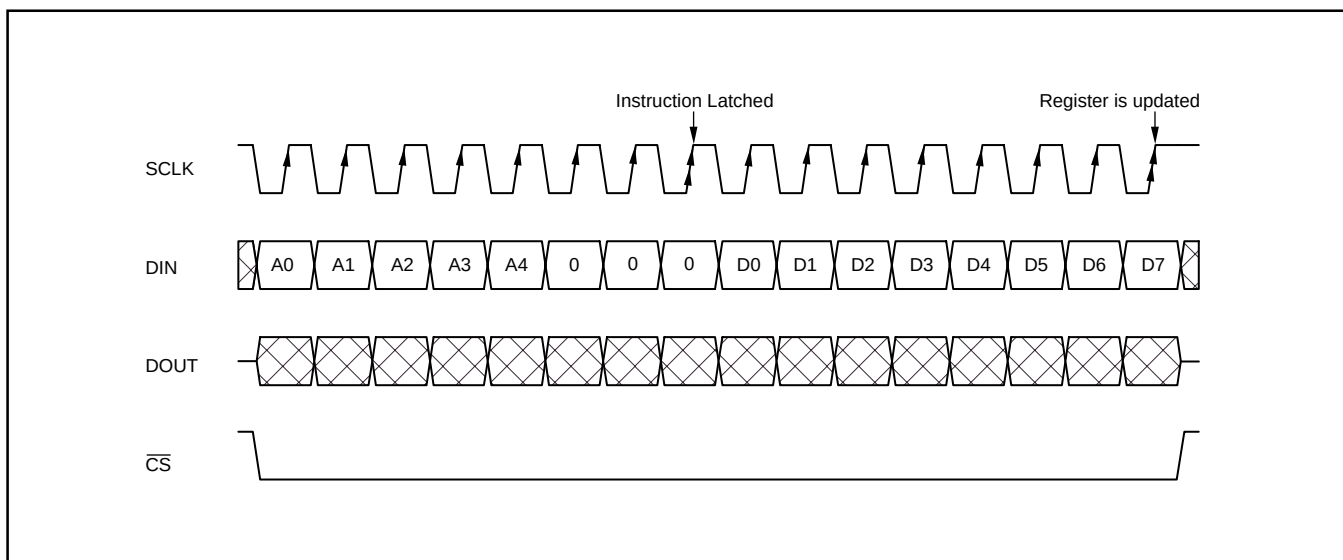


図3. 8ビットの書き込み動作のタイミングの例

読み取り動作

読み取り動作は、命令バイトの後のデータの流がADS7870からホスト・コントローラの方であることを除き、書き込み動作と同じです。DOUTピンは(2線モードの場合はDINピンも)、命令バイトがSCLKの8番目のアクティブなエッジでラッチされた後、SCLKの次の非アクティブなエッジでデータのドライブを開始します。このため、ホスト・コントローラはSCLKの次のアクティブなエッジで有効なデータを読み取ることができます。

DOUT(またはDIN)のデータは、SCLKの非アクティブなエッジで遷移します。DINピン(2線モード)は、読み取りデータの8番目(または16番目)のアクティブなエッジの後のSCLKの非アクティブなエッジでデータのドライブを停止し、ハイ・インピーダンスに戻ります。DOUTは、 $\overline{CS}$ がアサートされていないときはハイ・インピーダンスになります。DOUT(またはDIN)は、 $\overline{CS}$

が“ハイ”(“1”)のときハイ・インピーダンス・モードになります。DINがデータをドライブ中であるかどうかはSCLKの状態が決まることを除いて、ADS7870は一般にクロックのアイドル状態の影響を受けません。

読み取り動作が完了すると、ADS7870は次の命令バイトを受信できる状態になります。読み取り動作では、転送されるデータ・バイトのSCLKの最初のアクティブなエッジでADS7870の状態が反映されます。

8ビットの読み取り動作の例(LSBファースト、SCLKが立ち上がりエッジでアクティブ)を図5に示します。2重の上向き矢印は、命令がラッチされることを示します。データの最初のビットは、命令の読み取り部分のSCLKの最初のアクティブなエッジでサンプリングされます。残りのビットは、SCLKの次の非アクティブなエッジでサンプリングされます。

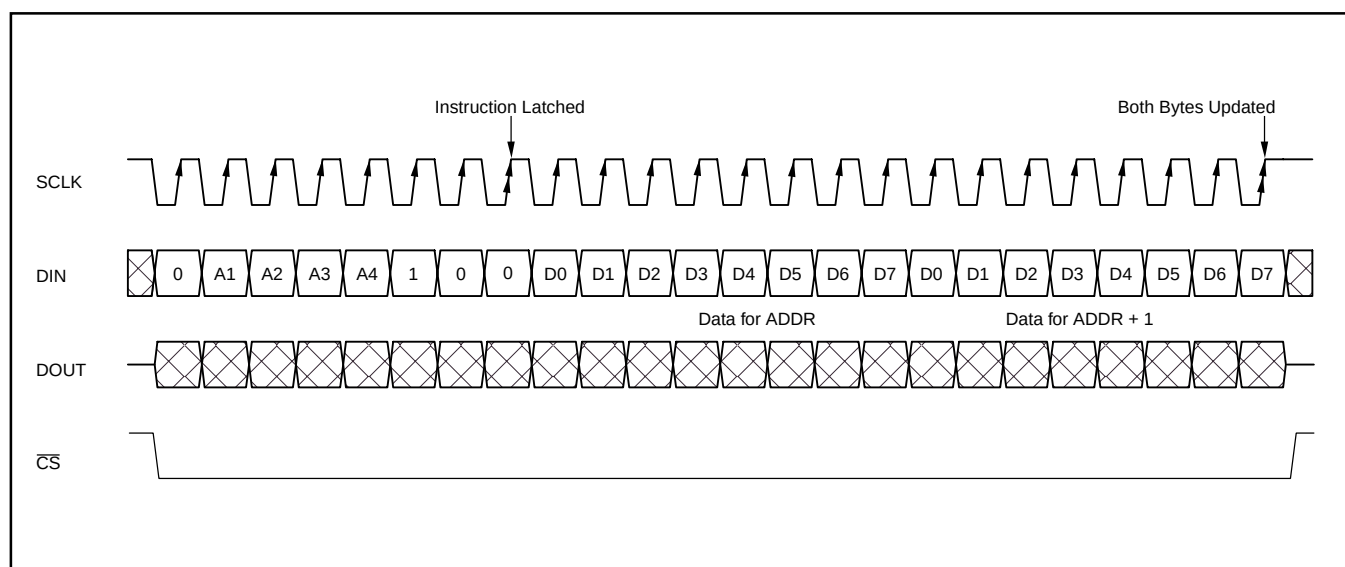


図4. 偶数アドレスの16ビットの書き込み動作のタイミングの例

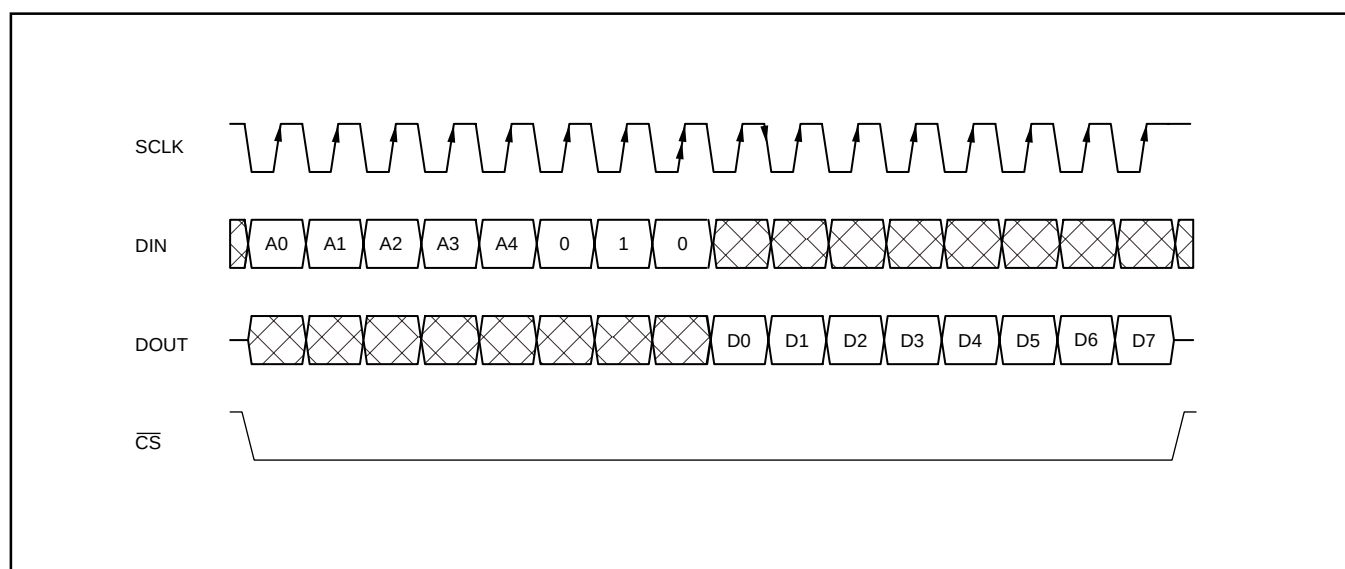


図5. 8ビットの読み取り動作のタイミングの例

奇数アドレスの16ビットの読み取り動作の例(LSBファースト、SCLKが立ち上がりエッジでアクティブ)を図6に示します。命令バイトのアドレス(ADDR)が奇数のため、2番目のバイトのアドレスは1減算されます。ADDRが偶数の場合、2番目のバイトのアドレスは1加算されます。

マルチプレクサのアドレス

変換開始の命令バイトまたはゲイン/MUXレジスタ(ADDR = 4)の下位4ビットは、要求された変換のマルチプレクサの構成を

割り当てます。入力チャンネルは、差動またはシングル・エンドに構成できます。差動構成では、入力信号の極性をM2ビット(ビットD2)で反転できます。シングル・エンド・モードでは、すべての入力チャンネルがシステム・グランドを基準として測定されます。マルチプレクサの割り当ての例を図7に示します。入力チャンネル選択のコーディングを表IIIに示します。

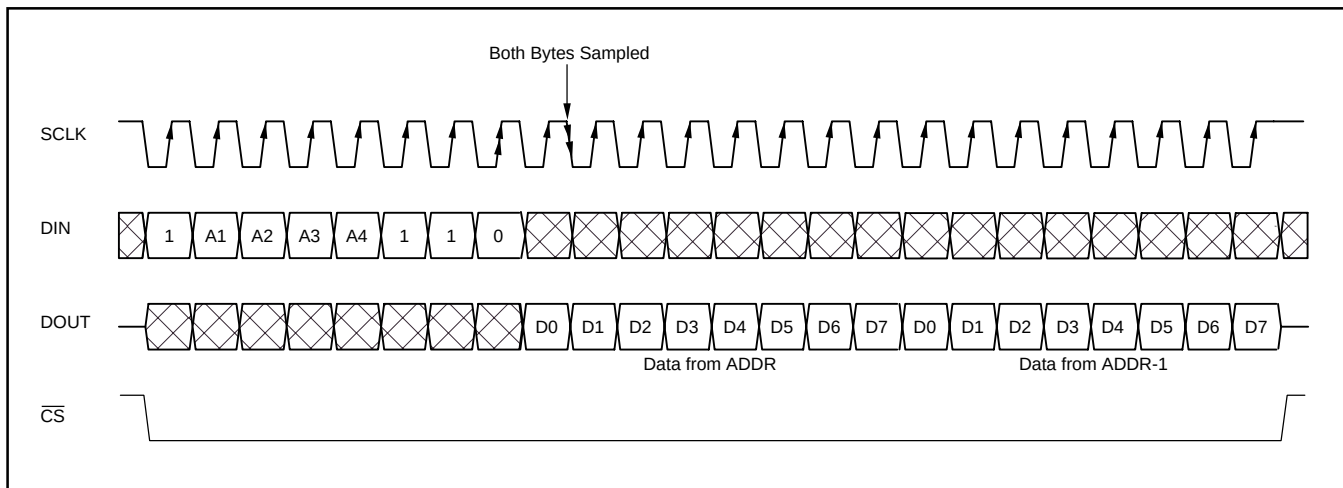


図6. 奇数アドレスの16ビットの読み取りのタイミングの例

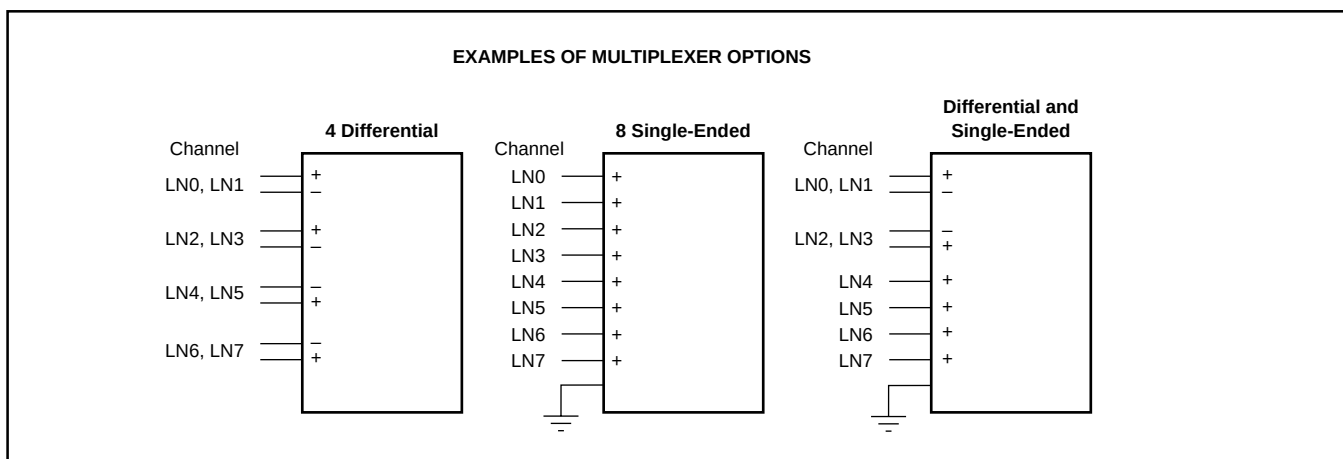


図7. マルチプレクサのオプションの例

差動入力チャンネルの選択のコーディング												
選択ビット				入力ライン								
M3	M2	M1	M0	LN0	LN1	LN2	LN3	LN4	LN5	LN6	LN7	
0	0	0	0	+	-							
0	0	0	1			+	-					
0	0	1	0					+	-			
0	0	1	1							+	-	
0	1	0	0	-	+							
0	1	0	1			-	+					
0	1	1	0					-	+			
0	1	1	1							-	+	

シングル・エンド入力チャンネルの選択のコーディング(負入力はグランド)												
選択ビット				入力ライン								
M3	M2	M1	M0	LN0	LN1	LN2	LN3	LN4	LN5	LN6	LN7	
1	0	0	0	+								
1	0	0	1		+							
1	0	1	0			+						
1	0	1	1				+					
1	1	0	0					+				
1	1	0	1						+			
1	1	1	0							+		
1	1	1	1								+	

ビットM3で差動モードまたはシングル・エンド・モードが選択される。差動モードを選択した場合、ビットM2で入力チャンネルの極性が決まる。太字の項目は、電源投入時のデフォルト状態を示す。

表III. マルチプレクサのアドレス

ユーザがアクセス可能な内部レジスタ

ADS7870のレジスタは8ビット幅です。大部分のレジスタは予約されています。ユーザがアクセス可能な10のレジスタの要約をレジスタ・アドレス・マップ(表II)に示します。ここでは、各レジスタの詳細について説明します。レジスタの全ビットの電源投入/リセット時のデフォルト状態は“0”です。

ADC出力レジスタ

A/D出力レジスタ(ADDR = 0およびADDR = 1)は、A/D変換の結果(ADC11からADC0)が保存される読み取り専用レジスタです(表IV)。変換結果は、2の補数フォーマットです。レジスタの各

ビットは、シリアル・インターフェース制御レジスタのLSBビット(D7およびD0)の値に応じてMSB(D7)ファーストまたはLSB(D0)ファーストで読み取ることができます。ADDR = 0のレジスタには、PGAの内部電圧の制限を超えたかどうかを示すOVRビットもあります。

PGA有効レジスタ

PGA有効レジスタ(ADDR = 2)は、PGAの6つのコンパレータ(VLD5からVLD0)の結果が保存される読み取り専用レジスタです(表V参照)。

ADC出力レジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
2	ADC3	ADC2	ADC1	ADC0	0	0	0	OVR
1	ADC11	ADC10	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4

ADDR = 0(下位バイト)

ビット	記号	名前	値	機能
D7-D4	ADC3-ADC0	A/D出力	(1)	変換結果の下位4ビット
D3-D1	—	—	0	未使用ビット。常に0に設定する。
D0	OVR	PGA範囲オーバー	0 1	有効な変換結果 PGAでアナログ範囲を超える状況が発生した。変換結果は無効の可能性がある。レジスタ2(PGA有効レジスタ)に状況の詳細が保存される。

ADDR = 1(上位バイト)

ビット	記号	名前	値	機能
D7-D0	ADC11-ADC4	ADC出力	(1)	変換結果の上位8ビット

注：(1)値は変換結果による。

表IV．ADC出力レジスタ(ADDR = 0、ADDR = 1)

PGA有効レジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
2	0	0	VLD5	VLD4	VLD3	VLD2	VLD1	VLD0

ADDR = 2

ビット	記号	名前	値	機能
D7-D6	—	—	0	未使用ビット。常に0に設定する。
D5	VLD5	PGA有効5	0 1	PGAの‘－’出力の電圧が最小値を超えた。
D4	VLD4	PGA有効4	0 1	PGAの‘－’出力の電圧が最大値を超えた。
D3	VLD3	PGA有効3	0 1	PGAの‘－’入力の電圧が許容値を超えた。
D2	VLD2	PGA有効2	0 1	PGAの‘＋’出力の電圧が最小値を超えた。
D1	VLD1	PGA有効1	0 1	PGAの‘＋’出力の電圧が最大値を超えた。
D0	VLD0	PGA有効0	0 1	PGAの‘＋’入力の電圧が許容値を超えた。

表V．PGA有効レジスタ(ADDR = 2)

A/D制御レジスタ

A/D制御レジスタ(ADDR=3)は、CCLKの分周比とリードバック・モードのオプションを構成します(表VI参照)。

リードバック・モード

RBM1およびRBM0は、A/D出力レジスタからA/D変換結果を読み取るために4種類のモードの中からどのモードを使用するかを決定します。

- ・モード0(デフォルト・モード)では、A/D出力レジスタの出力を読み取るために別の読み取り命令を実行する必要があります。
- ・モード1、2、3では、A/D出力レジスタから変換結果が自動リードバックされ、別の読み取り命令を使用する必要がありません。

モード1：上位バイトから先にデータを出力する。

モード2：下位バイトから先にデータを出力する。

モード3：上位バイトのみ出力する。

詳細については、24ページにあるリードバック・モードの項を参照して下さい。

クロックの分周比

CFD1およびCFD0は、A/D、PGAおよびリファレンスに供給されるDCLKとCCLKの分周比を設定します。A/DおよびPGAは、最大2.5MHzのクロックで動作します。外部クロックを使用する場合は、変換プロセスの速度に合わせて外部クロック周波数を低くしてからPGAやA/Dに供給する必要があります。A/DやPGAに実際に供給する信号をDCLKと呼び、 $DCLK = CCLK / DF$ (DFはCFD1およびCFD0ビットで決まる分周比)の関係があります。例えば、CCLKに入力される外部クロックが10MHzでDFが4(CFD1=1、CFD0=0)の場合、DCLKは2.5MHzになります。

ゲイン/MUXレジスタ

ゲイン/MUXレジスタ(ADDR=4)には、PGAゲイン(G2からG0)と入力チャンネルの選択(M3からM0)を構成するビットがあります(表III参照)。ダイレクト・モードで変換を開始するときは、このレジスタも更新され、ビットの定義と命令バイトの互換性が保たれます。

入力チャンネルの選択

ビットM3からM0は、入力チャンネルの選択を決定するスイッ

チを構成します。入力チャンネルは、差動またはシングル・エンドに構成できます。差動構成の場合、入力ピンの極性をM2ビットで反転できます。入力チャンネルのコーディングを表IIIに示します。入力構成の例を図7に示します。

変換/ビジー

CNV/BSYビットが書き込み動作で“1”に設定された場合は、データがゲイン/MUXレジスタにラッチされるSCLKのアクティブなエッジの後のCCLKの2番目の立ち下がりエッジで変換が開始されます。CNV/BSYビットは、読み取り命令で読み取ることができます。読み取り動作でレジスタをサンプリングするときにADS7870が変換を実行している場合、CNV/BSYビットは“1”になります。

ゲインの選択

ビットG2からG0は、プログラマブル・ゲイン・アンプのゲインを制御します。PGAゲインは、1、2、4、5、8、10、16、20に設定することができます。コーディングを表VIIに示します。

デジタルI/O状態レジスタ

デジタルI/O状態レジスタ(ADDR=5)には、4本のデジタルI/Oピンの状態が保存されます。各ピンは、デジタル入力(ピンの状態はピンに接続されている外部信号によって設定される)またはデジタル出力(ピンの状態はADS7870のシリアル入力データによって設定される)として機能します。入力または出力の機能の制御は、デジタルI/O制御レジスタのデジタルI/Oモード制御ビット(OE3からOE0)で設定します。また、変換を開始したり(書き込み命令の場合)、コンバータがビジーかどうか判定する(読み取り命令の場合)ことができる変換/ビジー・ビット(CNV/BSY)があります。

デジタルI/O状態ビット

デジタルI/O状態レジスタのビットD3からD0(I/O3からI/O0)は、状態ビットです。ピンが対応するモード・ビットでデジタル入力に設定されている場合、状態ビットはピンに接続されている外部信号が“1”であるか“0”であるかを示します。対応するビットの状態を書き込み動作で制御することはできません。ビットの状態は、デジタルI/Oピンに接続されている外部信号によってのみ制御されます。コーディングを表VIIIに示します。

ADC制御レジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
3	0	0	0	0	RBM1	RBM0	CFD1	CFD0

ADDR = 3

ビット	記号	名前	値	機能
D7-D4	—	—	0	予約ビット。常に0に設定する。
D3-D2	RBM1-RBM0	リードバック・モード	00 01 10 11	モード0-ADCの変換結果にアクセスするために読み取り命令が必要。 モード1-上位バイトから先に出力する。 モード2-下位バイトから先に出力する。 モード3-上位バイトのみ出力する。
D1-D0	CFD1-CFD0	CCLK分周	00 01 10 11	CCLKの分周比 = 1(DCLK = CCLK) CCLKの分周比 = 2(DCLK = CCLK/2) CCLKの分周比 = 4(DCLK = CCLK/4) CCLKの分周比 = 8(DCLK = CCLK/8)

太字の項目は、電源投入時のデフォルト状態を示す。

表VI. ADC制御レジスタ(ADDR=3)

ゲイン/MUXレジスタ

ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
4	CNV/BSY	G2	G1	G0	M3	M2	M1	M0

ADDR = 4

ビット	記号	名前	値	機能
D7	CNV/BSY	変換/ビジー	0 1	アイドル・モード ビジー・モード、書き込み = 変換開始
D6-D4	G2-G0	PGAゲイン選択	000 001 010 011 100 101 110 111	PGAゲイン = 1 PGAゲイン = 2 PGAゲイン = 4 PGAゲイン = 5 PGAゲイン = 8 PGAゲイン = 10 PGAゲイン = 16 PGAゲイン = 20
D3-D0	M3-M0	入力チャンネル選択	表III	要求された変換の入力チャンネル選択、差動またはシングル・エンド構成を決定する。

太字の項目は、電源投入時のデフォルト状態を示す。

表VII. ゲイン/MUXレジスタ (ADDR = 4)

デジタルI/O状態レジスタ

ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
5	CNV/BSY	0	0	0	IO3	IO2	IO1	IO0

ADDR = 5

ビット	記号	名前	値	機能
D7	CNV/BSY	変換/ビジー	0 1	アイドル・モード ビジー・モード、書き込み = 変換開始
D6-D4	—	—	0	未使用ビット。常に0に設定する。
D3	IO3	I/O3の状態	0 1	入力または出力の状態 = 0 入力または出力の状態 = 1
D2	IO2	I/O2の状態	0 1	入力または出力の状態 = 0 入力または出力の状態 = 1
D1	IO1	I/O1の状態	0 1	入力または出力の状態 = 0 入力または出力の状態 = 1
D0	IO0	I/O0の状態	0 1	入力または出力の状態 = 0 入力または出力の状態 = 1

太字の項目は、電源投入時のデフォルト状態を示す。

注：ピンがモード制御でデジタル入力に設定されている場合、デジタルI/O状態レジスタの対応するビットの状態を書き込み動作で制御することはできない。ビットの状態は、デジタルI/Oピンに接続されている外部信号によってのみ制御される。

表VIII. デジタルI/O状態レジスタ (ADDR = 5)

4本のデジタルI/Oピンを使用すると、マイクロコントローラのピンを使用せずに、マルチプレクサなどの外部回路を制御したり、他のデバイスのデジタル・ステータス・ラインを読み取ることができます。このレジスタから読み取られたデータは、ADS7870内部のラッチの状態ではなく、常にピンの状態を示します。ピンが入力として構成されている場合、または出力ピンで障害が発生している場合、両者は一致しないことがあります。

変換/ビジー

CNV/BSYが書き込み動作で“1”に設定された場合は、デジタルI/OレジスタにデータがラッチされるSCLKのアクティブなエッジの後のCCLKの2番目の立ち下がりエッジで変換が開始さ

れます。CNV/BSYビットは、読み取り命令で読み取ることができます。読み取り動作でレジスタをサンプリングするときにADS7870が変換を実行している場合、CNV/BSYビットは“1”になります。

デジタルI/O制御レジスタ

デジタルI/O制御レジスタ(ADDR = 6)には、4本のデジタルI/Oラインを入力または出力として構成する情報が保存されます。OEビットを“1”に設定すると、対応するI/Oピンが出力としてイネーブルされます。OEビットを“0”に設定すると、対応するI/Oピンが入力としてイネーブルされます(表IX)。

リファレンス/発振器構成レジスタ

リファレンス/発振器構成レジスタ(ADDR=7)は、変換クロックに内部発振器を使用するかどうか(OSCE、OSCR)、内部リファレンス電圧とバッファをオンにするかどうか(REFE、BUFE)、リファレンス電圧(2.5V、2.048V、1.15V)を決定します(表X参照)。

発振器の制御

内部リファレンス電圧は、スイッチ・キャパシタ方式を採用しており、クロック信号の入力が必要です。OSCR=1のとき、リファレンスのクロック信号に内部発振器を使用します。OSCR=0のとき、リファレンスのクロック信号にCCLKピンの信号を使用します。分周比は、A/D制御レジスタのCFD0およびCFD1ビットで制御します。

OSCEビットは、内部発振器イネーブル・ビットです。このビットを“1”に設定すると、内部発振器に電源が供給され、2.5MHzの信号がCCLKピンから出力されます。内部発振器は、OSCRビットとREFEビットを“1”に設定したときもイネーブル

されます。

内部発振器は、OSC ENABLEピンを“1”に設定したときもイネーブルされます。OSCEおよびOSCRの電源投入時のデフォルト状態は、“0”です。発振器は、OSC ENABLEピンが“ハイ”のとき、または対応する制御レジスタのビットが“1”のとき、オンになります。

リファレンス電圧とバッファのイネーブル

REFEビット=“0”(電源投入時のデフォルト状態)のときは、リファレンスがオフになり電流が流れません。このビットを“1”に設定すると、リファレンスがオンになり、約190 μ Aの電流が流れます。

BUFEビット=“0”(電源投入時のデフォルト状態)のときは、バッファ・アンプがオフになり電流が流れません。このビットを“1”に設定すると、バッファ・アンプがオンになり、約150 μ Aの電流が流れます。

デジタルI/O制御レジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
6	0	0	0	0	OE3	OE2	OE1	OE0

ADDR = 6

ビット	記号	名前	値	機能
D7-D4	—	—	0	予約ビット。常に0に設定する。
D3	OE3	I/O3の状態	0 1	デジタルI/O1 = デジタル入力 デジタルI/O1 = デジタル出力
D2	OE2	I/O2の状態	0 1	デジタルI/O2 = デジタル入力 デジタルI/O2 = デジタル出力
D1	OE1	I/O1の状態	0 1	デジタルI/O3 = デジタル入力 デジタルI/O3 = デジタル出力
D0	OE0	I/O0の状態	0 1	デジタルI/O4 = デジタル入力 デジタルI/O4 = デジタル出力

太字の項目は、電源投入時のデフォルト状態を示す。

表IX. デジタルI/O制御レジスタ(ADDR = 6)

リファレンス/発振器レジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
7	0	0	OSCR	OSCE	REFE	BUFE	R2V	RBG

ADDR = 7

ビット	記号	名前	値	機能
D7-D6	—	—	0	予約ビット。常に0に設定する。
D5	OSCR	発振器制御	0 1	内部V _{REF} のクロックにCCLKピンを使用する。 クロック信号に内部発振器を使用する。
D4	OSCE	発振器イネーブル	0 1	CCLKを入力として構成する。 CCLKから2.5MHzの信号を出力する(70 μ A)。
D3	REFE	リファレンス・イネーブル	0 1	リファレンスをオフにする。電流は流れない。 リファレンスをオンにする。190 μ Aの電流が流れる。
D2	BUFE	バッファ・イネーブル	0 1	バッファをオフにする。電流は流れない。 バッファをオンにする。150 μ Aの電流が流れる。
D1	R2V	2Vリファレンス	0 1	V _{REF} = 2.5V(RBGビット = 0) V _{REF} = 2.048V(RBGビット = 0)
D0	RBG	バンドギャップ・リファレンス	0 1	リファレンス電圧の値がビットR2Vにより決定される。 V _{REF} = 1.15V

太字の項目は、電源投入時のデフォルト状態を示す。

表X. リファレンス/発振器構成レジスタ(ADDR = 7)

リファレンス電圧の選択

RBGビットを“1”に設定すると、V_{REF}ピンの電圧が1.15Vになり、R2Vビットが無効になります。このビットを“0”に設定すると(電源投入時のデフォルト状態)、リファレンス電圧の値がR2Vビットにより決定されます。

R2V = 0、RBG = 0(電源投入時のデフォルト状態)のときのV_{REF}ピンの電圧は2.5Vです。R2V = 1、RBG = 0のときのリファレンス電圧は2.048Vです。

12ビットのバイポーラ入力A/Dコンバータには4096の状態があり、2.500Vのリファレンスの場合、各状態が1.22mVに対応します。2.048Vのリファレンスでは、各A/Dビットが1.0mVに対応します。

シリアル・インターフェース制御レジスタ

シリアル・インターフェース制御レジスタ(ADDR = 24)では、ユーザがシリアル・インターフェースの特定の機能を制御することができます(表XI参照)。このレジスタは、データの順序(MSBまたはLSBファースト)、シリアル・インターフェースの構成(2線または3線動作)、8051型マイクロプロセッサのインターフェースに適したタイミングを制御します。

このレジスタの情報は対称にフォーマットされており、LSB(ビットD7)ファーストでもMSB(ビットD0)ファーストでも読み取りまたは書き込みを実行することができます。レジスタには各機能の制御ビットが2つずつあり、どちらかを“1”に設定した場合にその機能が有効になります。このため、マイクロコントローラの通信コードを単純にすることができます。

この構成データをレジスタ24に書き込む命令バイト自体も対称です。レジスタ・モードのアドレス24の8ビットの書き込み命令は、バイナリで“0001 1000”です(表I参照)。したがって、このコマンドは常に有効になります。

LSBまたはMSB

LSBビットは、シリアル・インターフェースの送受信がLSBファーストであるかMSBファーストであるかを決定します。LSBビットを“1”に設定すると、すべてのバイトがLSBファーストで送受信されるものとしてインターフェースが構成されます。デフォルトはMSBファースト(LSB = “0”)です。

2線または3線動作

2Wビットは、ADS7870を2線または3線モードに構成します。2線モード(2W = 1)では、DINピンが読み取り命令のデータ出力部で出力としてイネーブルされます。DINピンは、ADS7870の受信時にデータ入力として、ADS7870の送信時にデータ出力として動作します。DINピンから出力されるデータは、DOUTピンにも出力されます。3線モード(2W = 0)では、ADS7870のデータがDINピンで受信され、DOUTピンから送信されます。電源投入時のデフォルト状態は、3線モードです。

シリアル・インターフェースのタイミング(8051ビット)

8051ビットは、動作の最後でDINピンがハイ・インピーダンスになるときのタイミングを変更します。このビットが“1”のとき、ピンは次の非アクティブなエッジまたはCSが非アクティブになるまで待たずに、データ転送の最後のバイトのSCLKの最後のアクティブなエッジでハイ・インピーダンスになります。これにより、ADS7870が早くデータ・ラインから切り離され、80C51型のインターフェースの衝突が避けられます。80C51は、SCLKの非アクティブなエッジの前の4CPUサイクルおよびSCLKのアクティブなエッジの後の2CPUサイクルの間、データをドライブします。このビットが“0”のとき、DINピンは次の非アクティブなSCLKのエッジまたはCSが非アクティブ(“1”)になったときにハイ・インピーダンスになります。

シリアル・インターフェース制御レジスタ

ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
24	LSB	2W	8051	0	0	8051	2W	LSB

ADDR = 24

ビット	記号	名前	値	機能
D7	LSB	LSBまたはMSBファースト	0 1	シリアル・インターフェースがMSBファーストで送受信する。 シリアル・インターフェースがLSBファーストで送受信する。
D6	2W	2線または3線	0 1	3線モード 2線モード
D5	8051	シリアル・インターフェース	0 1	DINピンが次の非アクティブなエッジまたはCSが非アクティブになったときハイ・インピーダンスになる。 DINピンがデータ転送の最後のバイトのSCLKの最後のアクティブなエッジでハイ・インピーダンスになる。
D4-D3	—	—	0	予約ビット。常に0に設定する。
D2	8051	シリアル・インターフェース	0 1	DINピンが次の非アクティブなエッジまたはCSが非アクティブになったときハイ・インピーダンスになる。 DINピンがデータ転送の最後のバイトのSCLKの最後のアクティブなエッジでハイ・インピーダンスになる。
D1	2W	2線または3線	0 1	3線モード 2線モード
D0	LSB	LSBまたはMSBファースト	0 1	シリアル・インターフェースがMSBファーストで送受信する。 シリアル・インターフェースがLSBファーストで送受信する。

太字の項目は、電源投入時のデフォルト状態を示す。

表X I . シリアル・インターフェース制御レジスタ(ADDR = 24)

ADS7870が読み取り動作の最後でDINピンをハイ・インピーダンス・モードにするときのタイミングを図8および図9に示します(2Wビット = “1”)。DOUTの動作は、2Wの状態に依存しません。この2例は、8051ビット = “0” の場合です。

8051ビットが“1”のときにハイ・インピーダンス状態に移行するタイミングを図10に示します。DIN(およびDOUT)ピンが、読み取り動作の最後のビットでSCLKの非アクティブなエッジまたはCSの立ち上がりまで待つ(図8、図9参照)のではなく、SCLK

のアクティブなエッジでハイ・インピーダンス状態になることに注意して下さい。これは、80C51のモード0型シリアル・インターフェースとの互換性を確保するためです。80C51では、SCLKの立ち下がりエッジの前にDINを有効にし、SCLKの立ち上がりエッジの後まで有効の状態を保持します。これは衝突の原因になりますが、8051ビットを“1”に設定することによりこの潜在的な問題が解決され、読み取り動作のたびにCSを“ハイ”にする必要がありません。

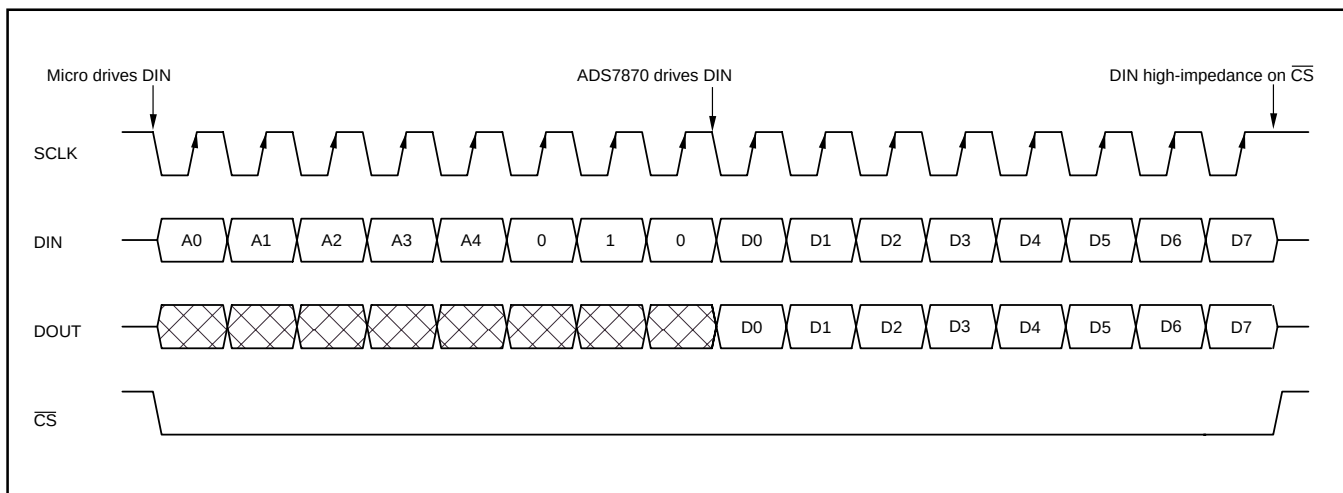


図8. DIN/DOUTのハイ・インピーダンス状態のタイミング($\overline{CS}$ = “1”)

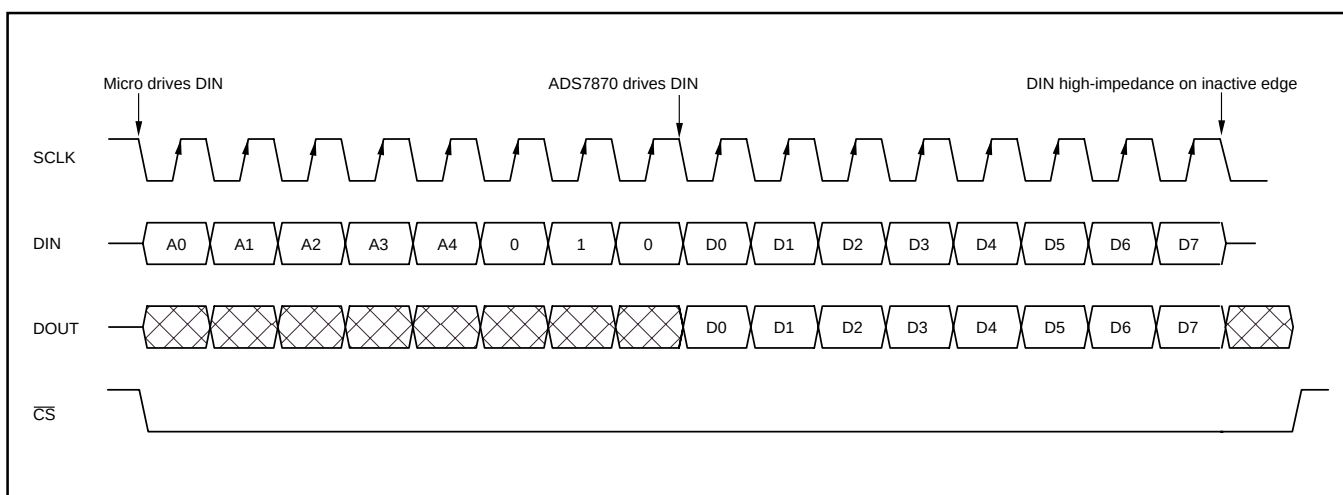


図9. DIN/DOUTのハイ・インピーダンス状態のタイミング(SCLKの非アクティブなエッジ)

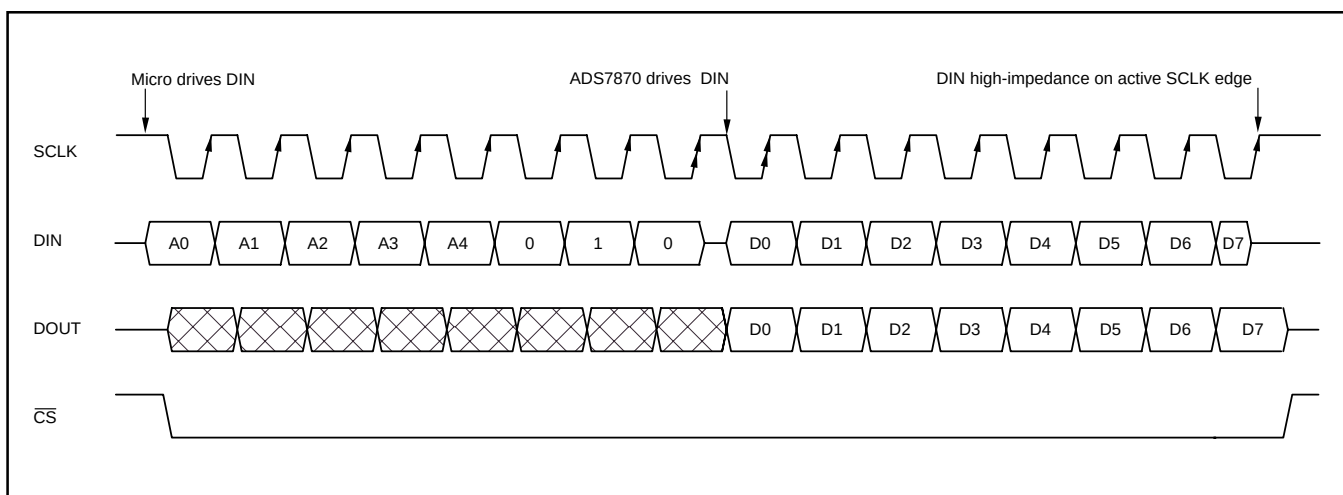


図10. DIN/DOUTのハイ・インピーダンス状態のタイミング(8051ビット = “1”)

IDレジスタ

ADS7870にはIDレジスタ(ADDR = 31)があり、実装されているADS7870のレビジョンをユーザが識別することができます(表XII参照)。

その他のレジスタ

その他のレジスタ・アドレスは、ADS7870の通常動作では使用されません。これらのレジスタに読み取りを実行するとランダムな値が返され、0以外の書き込みを実行すると動作が不安定になります。部分的に使用するレジスタの未使用ビットは、常に“ロー”に設定する必要があります。

シリアル・インターフェースによる変換の開始

シリアル・インターフェースで変換サイクルを開始するには、2通りの方法があります。第1の方法(ダイレクト・モード)は、前に説明した変換開始バイトを使用する方法です。第2の方法(アドレス・モード)は、書き込み命令を実行してレジスタのCNV/BSYビットを設定する方法です。

変換は、SCLKの8番目のアクティブなエッジ(ダイレクト・モードの命令またはアドレス・モードのデータ)の後のCCLKの2番目の立ち上がりエッジで開始されます。BUSYピンは、変換開始の1DCCLK周期(CFD1およびCFD0に応じて1、2、4、8CCLK周期)後にアクティブ(“1”)になります。この遅延は、連続実行の

ために変換が待ち行列に入れられるとき、BUSYを非アクティブにするためです。BUSYは、変換が完了すると非アクティブになります。

SCLKの8番目のアクティブなエッジでCNV/BSYビットが設定されたときに既に進行中の変換があった場合は、現在の変換が完了するまでCNV/BSYビットが待ち行列に入れられます。既に待ち行列に変換があった場合は、待ち行列の現在の変換が新しい変換に置き換えられます。待ち行列に並べられる変換は1つだけです。現在の変換が完了すると直ちに次の変換が開始されます。これにより、A/Dコンバータの最大のスループットが得られます。BUSYは変換の最初のA/Dクロック周期で非アクティブになるため、BUSYの非アクティブな(立ち下がり)エッジを使用して変換の終了(および次の変換の開始)を検出できます。

変換開始命令バイトを使用した変換開始のタイミングを図11に示します。SCLKの2重の上向き矢印は、命令がラッチされることを示します。CCLKの2重の下向き矢印は、変換サイクルが実際に開始される時(SCLKの8つのアクティブなエッジの後のCCLKの2番目の立ち上がりエッジ)を示します。この例は、LSBファースト、CCLKの分周比が1、SCLKが立ち上がりエッジでアクティブな場合です。CCLKの分周比が1のため、BUSYが1CCLK周期後にアクティブになることに注意して下さい。

IDレジスタ								
ADDR	D7(MSB)	D6	D5	D4	D3	D2	D1	D0
31	0	0	0	0	0	0	0	1

ADDR = 31

ビット	記号	名前	値	機能
D7-D0	—	—	—	ADS7870のレビジョンを識別する。

表 X II . IDレジスタ (ADDR = 31)

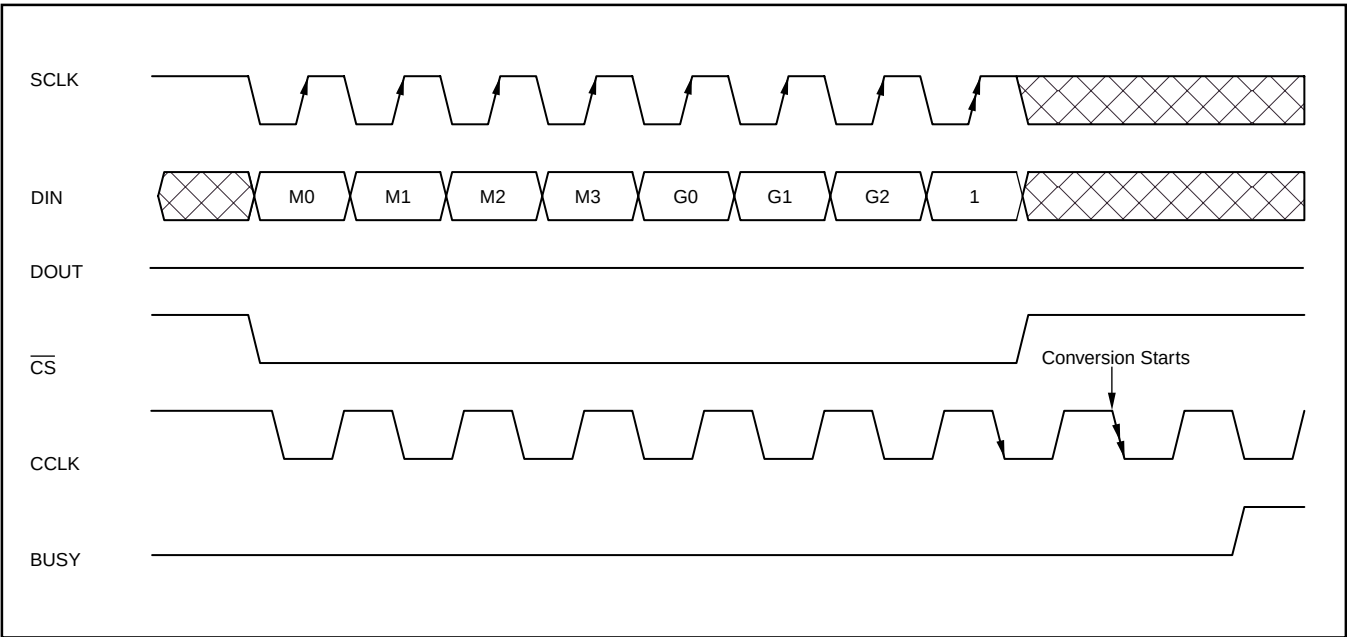


図11. シリアル・インターフェースの変換命令を使用した変換開始のタイミングの例

ゲイン/MUXレジスタのCNV/BSYビットを“1”に設定する8ビットの書き込み動作による変換開始の例を図12に示します。SCLKの2重の上向き矢印はデータがゲイン/MUXレジスタにラッチされることを示し、CCLKの2重の矢印は変換が開始されることを示します。この例は、LSBファースト、CCLKの分周比が1、SCLKが立ち上がりエッジでアクティブな場合です。

既に変換が進行中(BUSYが“ハイ”)のときに変換開始命令パイトを使用した変換開始のタイミングを図13に示します。SCLK

の2重の上向き矢印は、命令がラッチされることを示します。CCLKの2番目の下向き矢印は、変換が進行中でなかった場合に、変換サイクルが開始されることを示します。CCLKの2重の下向き矢印は、変換サイクルが実際に開始される時(前の変換の完了直後)を示します。この例は、LSBファースト、CCLKの分周比が2、SCLKが立ち上がりエッジでアクティブな場合です。CCLKの分周比が2であるため、BUSYが2CCLK周期“ロー”になることに注意して下さい。

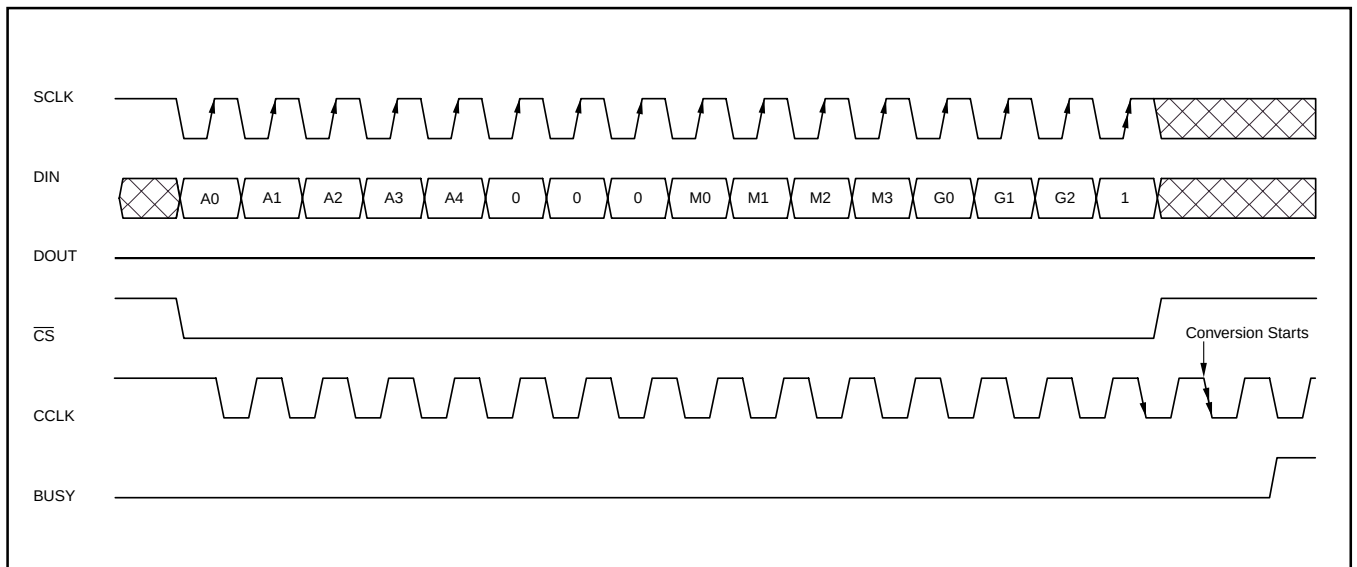


図12. ゲイン/MUXレジスタの8ビットの書き込みを使用した変換開始のタイミングの例

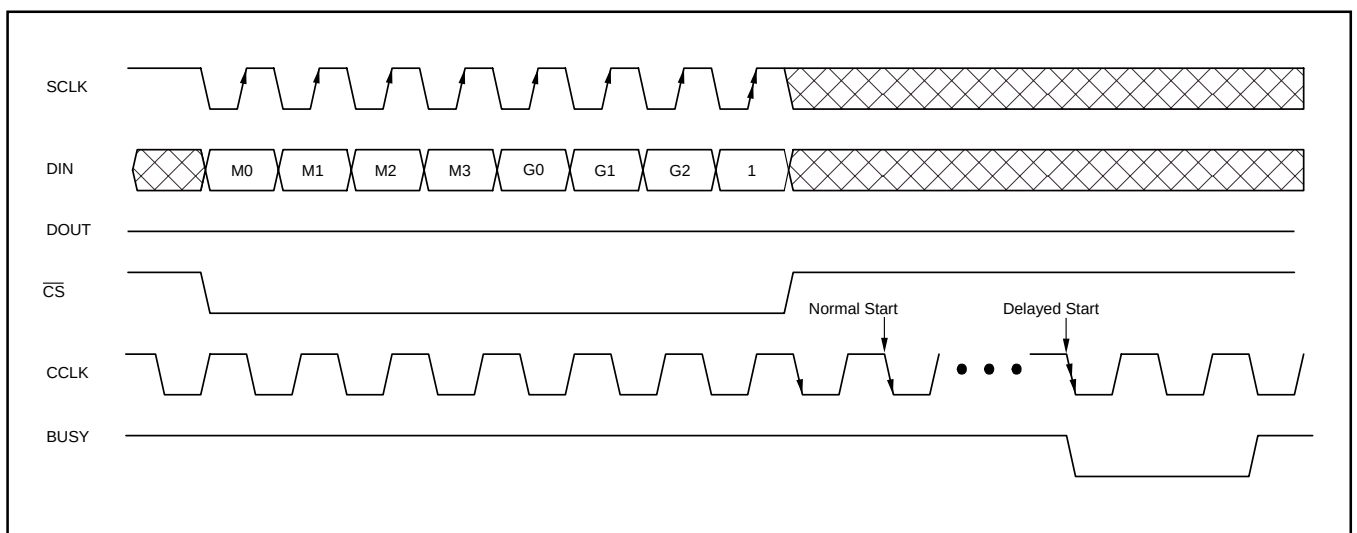


図13. シリアル・インターフェースの遅延された変換開始のタイミングの例

CONVERTピンを使用した変換の開始

変換は、CONVERTピンのアクティブな(立ち上がり)エッジでも開始できます。レジスタのCNV/BSYビットと同様、CONVERTの立ち上がりエッジの後のCCLKの2番目の立ち下がりエッジで変換が開始されます。

CONVERTピンは、少なくとも2CCLK周期の間“ハイ”に保持する必要があります。また、CONVERTを“ハイ”にする前に少なくとも2CCLK周期の間“ロー”にする必要があります。BUSYは、変換開始の1DCLK周期後にアクティブになります。

CONVERTピンの場合は、レジスタのCNV/BSYビットと異なり、進行中の変換が中断され、新しい変換が開始されます。BUSYは、変換が完了すると“ロー”になります。 $\overline{CS}$ は、CONVERTピンで変換を開始するとき“ハイ”または“ロー”のどちらでもかまいません。

CONVERTピンを使用した変換開始のタイミングを図14に示します。CCLKの2重の下向き矢印は、変換サイクルが実際に開始される時(CONVERTがアクティブになった後のCCLKの2番目のアクティブなエッジ)を示します。この例は、CCLKの分周比が4の場合です。BUSYが4CCLK周期後にアクティブになることに注意して下さい。

リードバック・モード

A/D出力レジスタからA/Dの変換結果を読み取る4種類の自動モードがあります。使用するモードは、A/D制御レジスタ(ADDR = 3)のRBM1およびRBM0ビットで指定します。

- ・モード0(デフォルト・モード)では、変換結果を読み取るために別の読み取り命令が必要です。
- ・モード1では、上位バイトから先に出力されます。
- ・モード2では、下位バイトから先に出力されます。
- ・モード3では、上位バイトのみ出力されます。

モード3では、A/Dのショート・サイクルが実行されません。自動リードバック・モードは、シリアル・インターフェースを使用して変換を開始するときだけトリガされます。CONVERTピンを使用して変換を開始するとき、リードバック・モードはトリガされません。

自動リードバックのデータの最初のビットは、読み取り命令のSCLKの最初のアクティブなエッジでサンプリングされます。残りのビットは、SCLKの次の非アクティブなエッジ(最初のアクティブなエッジの後の最初のエッジ)でサンプリングされます。最初のビットと残りのビットが別の変換のものになることを避けるため、SCLKの最初のアクティブなエッジと次の非アクティブなエッジの間で変換を終了しないことが必要です。

モード0

モード0(デフォルトの動作モード)では、変換結果を読み取るために読み取り命令を実行する必要があります。ADDR = 1で16ビットの読み取りを実行すると上位バイトから先に出力され、ADDR = 0で16ビットの読み取りを実行すると下位バイトから先に出力されます。ADDR = 1で8ビットの読み取りを実行すると、上位バイトのみ出力されます。

変換の進行中に変換結果を読み取るにより、スループットを上げることができます。変換データ・ワード(命令バイトではない)のSCLKの最初のアクティブなエッジの前に完了する最後の変換を読み取ります。このオーバーラップにより、変換Nの開始、変換N-1の読み取り、変換N+1の開始、変換Nの読み取りなどのシーケンスが可能になります。変換0では、変換-1の結果を廃棄する必要があります。

モード1

このモードでは、変換の開始と同時に変換結果が出力されるようにシリアル・インターフェースが構成されます。読み取りの命令が不要なため、8SCLKサイクル短縮されるので便利です。このモードは、変換開始後にADDR = 1の16ビットの読み取りの命令バイトをADS7870に送ったときと同じように動作します。

変換が完了するまで変換結果の読み取りを待つ必要はありません。完了した最後の変換は、変換が進行中であるかどうかにかかわらず、SCLKのサンプリング・エッジでリードバックされます。

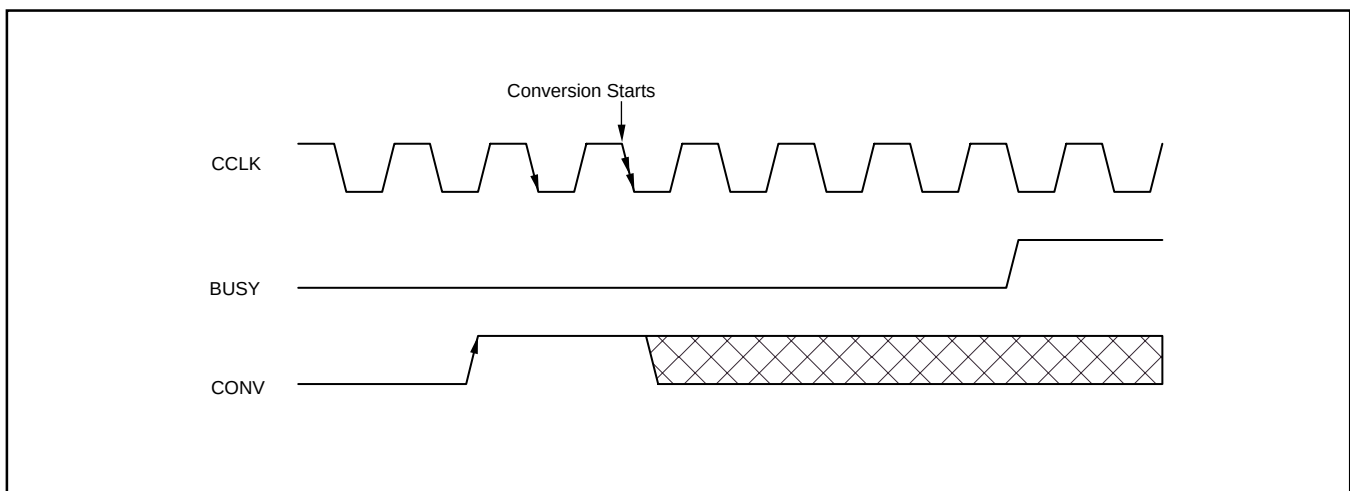


図14. CONVERTピンを使用した変換開始のタイミングの例

モード2

このモードは、変換結果が下位バイトから出力される点を除いてモード1と同じです(ADDR=0の16ビットの読み取りに相当)。

モード2を使用した自動リードバック動作のタイミングの例を図15および図16に示します。図15は、前の変換結果の読み取りです。この例は、LSBファースト、CCLKの分周比=2、SCLKが立ち上がりエッジでアクティブな場合です。データは、変換開始命令の直後にリードバックできます。変換が実際に開始する(または完了する)まで待つ必要はありません。

図16は、要求した現在の変換結果の読み取りです。マイクロ

コントローラは、ADC出力レジスタを読み取る前にBUSYが非アクティブになるまで待つ必要があります。BUSYを待つ間、CSは“ロー”に保持します。この例は、MSBファースト、CCLKの分周比が1、SCLKが立ち下がりエッジでアクティブな場合です。DOUTピンには、SCLKの該当するアクティブなエッジまで正しいデータが出力されないことに注意して下さい。

モード3

このモードでは、変換の上位バイトのみ出力されます。これは、ADDR=1の8ビットの読み取りに相当します。

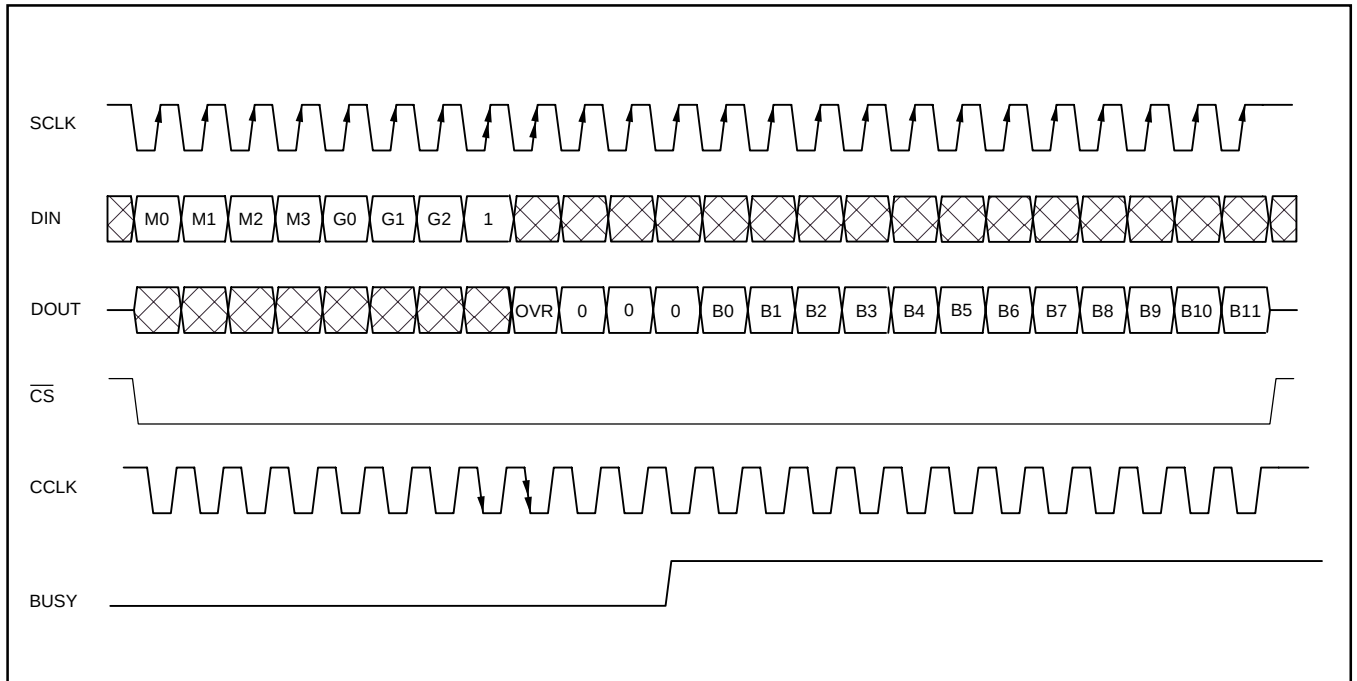


図15. モード2を使用した前の変換結果の自動リードバックのタイミング

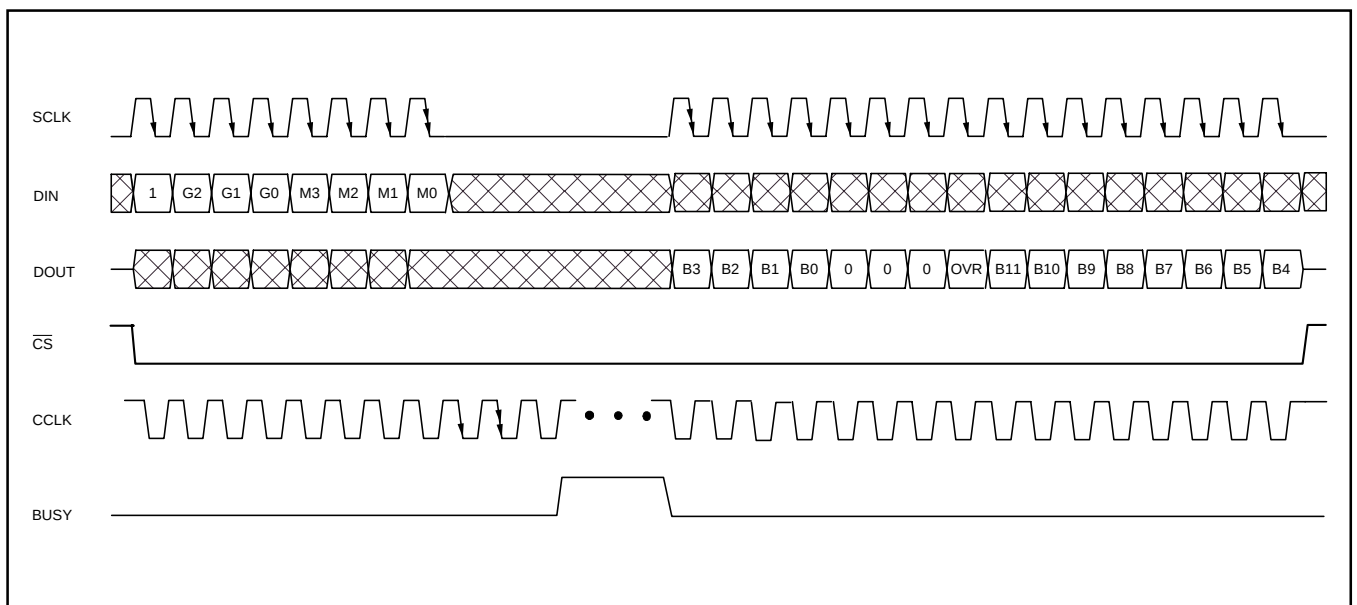


図16. モード2を使用した現在の変換結果の自動リードバックのタイミング

使用上の注意

必要なサポート部品

高精度なアナログ集積回路と同様に、良好な電源バイパスが必要です。低ESRのセラミック・コンデンサと大容量の電解コンデンサを電源ラインに並列に使用することにより必要な性能が得られます。標準値は、それぞれ0.1 μ Fおよび10 μ Fです。

V_{REF} とグラウンド間に約0.01 μ Fのセラミック・コンデンサを接続すると、内部リファレンス電圧回路の雑音性能が改善されます。このコンデンサの値を大きくすると、 V_{REF} の雑音がわずかに改善されますが、オンにしてから安定するまでの時間が長くなります。

内部バッファ・アンプを使用する場合は、安定性を確保するためにグラウンド間に出力フィルタ・コンデンサを接続する必要があります。公称値0.47 μ Fで最適な性能が得られます。0.1 μ Fから10 μ Fまでの値を使用できます。1つのADS7870のバッファを使用して複数のデバイスをドライブする構成では、各スレーブ・デバイスに0.1 μ Fのフィルタ・コンデンサを追加します。

ピン15は、ノー・コネクション・ピンとして規定されています。この回路は製造時に使用され、オープンのままにするか、グラウンドに接続します。電流はほとんど流れません。

ホスト・コントローラがすべての機能を制御する標準的な回路を図17に示します。SCLKは、立ち下がりエッジでアクティブです。内部リファレンス電圧と発振器を使用する場合は、デバイスのレジスタの対応する制御ビットを設定してオンにする必要があります。これらのレジスタは、電源投入時およびリセット動作のたびに常に設定する必要があります。

マイクロコントローラの接続

ADS7870は、各種マイクロコントローラときわめて柔軟にインターフェースを構成することができます。ここでは、2種類のコントローラ(Motorola M68HC11、Intel 80C51)のハードウェア・モードを使用した接続について説明します。

Motorola M68HC11(SPI)

Motorola M68HC11は、一般にSPI(Serial Peripheral Interface)と呼ばれる、MSBファーストでデータを転送する3線(スレーブ・セレクトをカウントする場合は4線)シリアル・インターフェースを備えています。通常、このインターフェースは、それぞれ2つの8ビット・シフト・レジスタ(受信用と送信用に1つずつ)を内蔵したマイクロコントローラと周辺装置として説明されます。

マイクロコントローラの送信シフト・レジスタと周辺装置の受信シフト・レジスタを接続し、周辺装置の送信シフト・レジスタとマイクロコントローラの受信シフト・レジスタを接続します。SCKがシフト・レジスタを制御します。SPIでは全二重動作(読み取りと書き込みの同時実行)が可能です。ADS7870は全二重動作をサポートしていません。ADS7870では、書き込みのみまたは読み取りのみの実行が可能で、読み取りと書き込みを同時に実行することはできません。

M68HC11ではSCKを立ち上がりエッジでも立ち下がりエッジでもアクティブに構成できるため、他の周辺装置との互換性が得られるM68HC11の動作モードに応じて適切な状態にADS7870のRISE/FALLピンを設定することができます。

インターフェース構成レジスタ(表XI)の2Wビット、LSBビット、8051ビットは、いずれも“0”(デフォルト)に設定します。ADS7870はデフォルトでSPIモードに設定されるため、電源投入またはリセット後にM68HC11がADS7870のインターフェース構成レジスタを初期化する必要はありません。

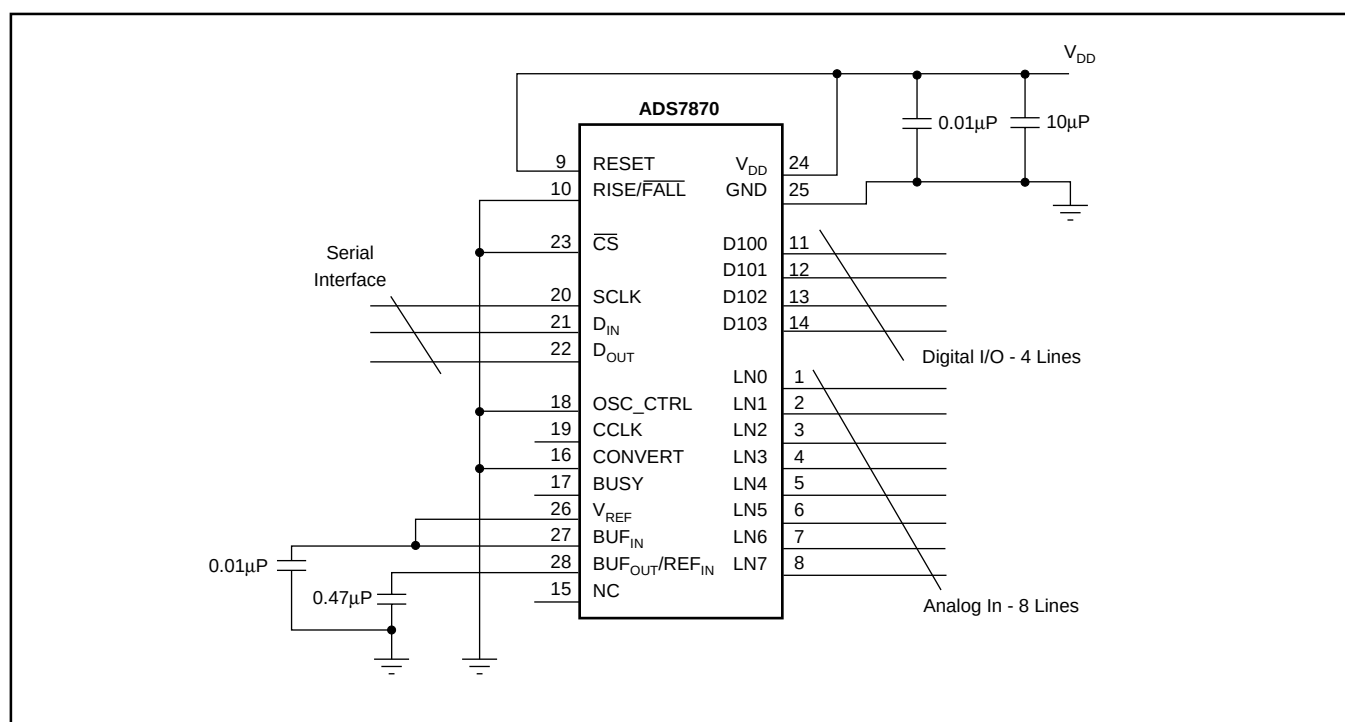


図17. 推奨値のコンデンサを使用した標準的な動作

M68HC11とADS7870の標準的な接続を図18に示します。書き込み動作中にDOUTがフロートしないようにDOUTのプルアップ抵抗が必要なことがあります。周辺装置がADS7870のみの場合は、必要に応じてCSを“ロー”に固定することができます。

Intel 80C51

シリアル・ポート・モード0で動作するIntel 80C51は、2線(CSにI/Oピンを使用する場合は3線)シリアル・インターフェースを備えています。TXDピンがシリアル・インターフェースのクロックを供給し、RXDがデータ入出力として動作します。データはLSBファーストで転送されます。ADS7870のRISE/FALLピンを

“ハイ”に接続することにより(SCLKが立ち上がりエッジでアクティブ)最適な互換性が得られます。インターフェース構成レジスタのLSBビット、8051ビット、2Wビットは、いずれも“1”に設定します。電源投入またはリセット後は、最初の命令でインターフェース構成レジスタの書き込み動作を実行する必要があります。

80C51とADS7870の標準的な接続を図19に示します。周辺装置がADS7870のみの場合は、必要に応じてCSを“ロー”に固定することができます。

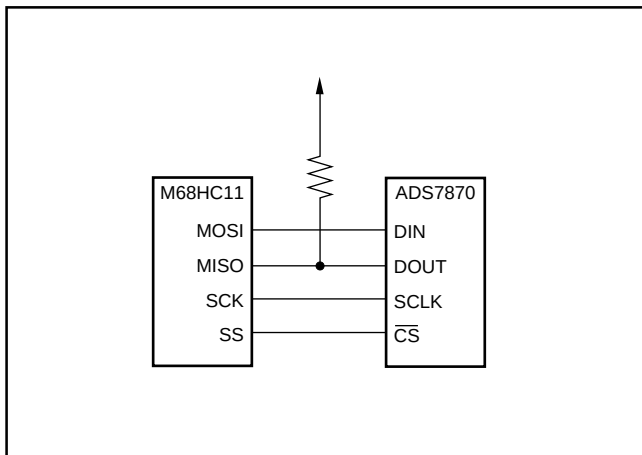


図18. ADS7870とM68HC11の接続

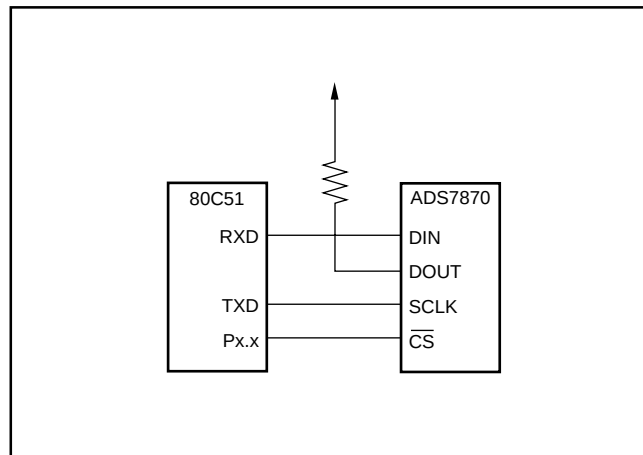


図19. ADS7870と80C51の接続

外観

