

デュアル、500kHz、12ビット、2+2チャンネル 同時サンプリングA/Dコンバータ

特 長

- 4入力チャンネル
- 完全な差動入力
- 最大スループット：2 μ s(1チャンネルあたり)
- ノー・ミッシング・コードを保証
- パラレル・インターフェース
- 実効サンプリング・レート：1MHz
- 低消費電力：40mW

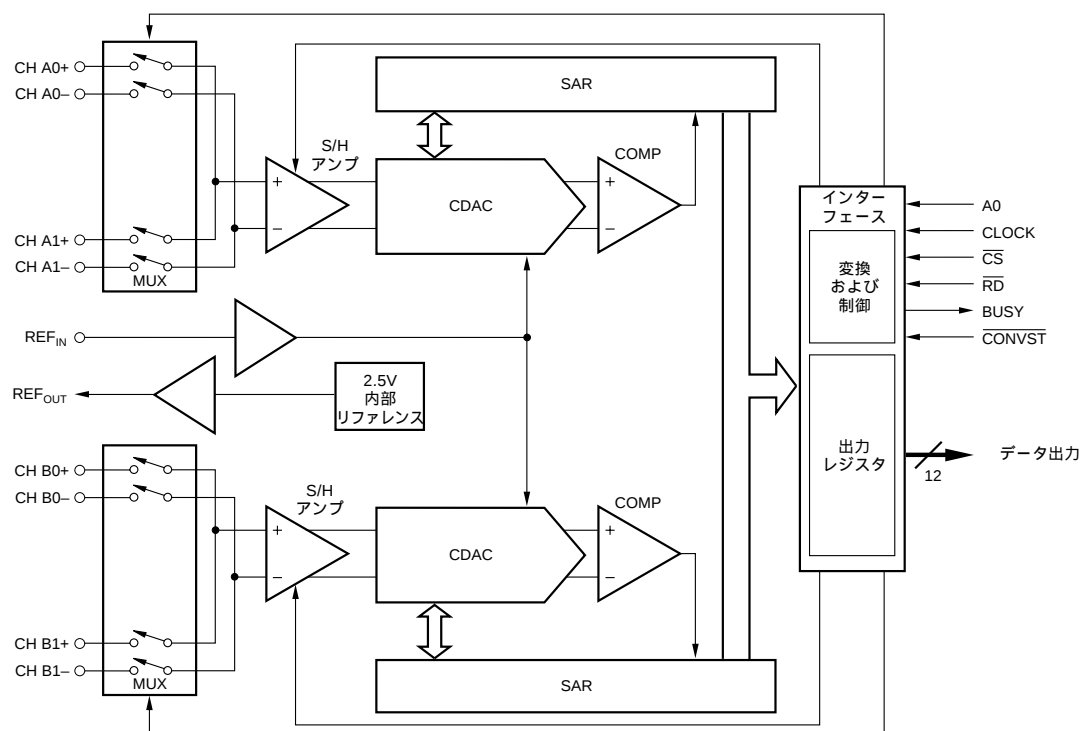
アプリケーション

- モータ制御
- 多軸ポジショニング・システム
- 3相電源制御

概 要

ADS7862は、2組のペアに分けて高速な同時信号アキュジションを実行できる4つの完全な差動入力チャンネルを備えたデュアル・タイプの12ビット、500kHz、A/Dコンバータです。サンプル/ホールド・アンプの入力は完全な差動で、A/Dコンバータの入力まで差動が保たれます。このため、雑音の大きい環境で重要な同相モード除去が50kHzで80dBと優れています。

ADS7862は、ソフトウェアのオーバーヘッドを最小限に抑えるパラレル・インターフェースと制御入力を備えています。各チャンネルのデータは、12ビット・ワードとして出力されます。パッケージは、32ピンTQFPで供給され、すべて-40 ~ +85 の動作温度範囲で仕様が規定されています。



仕様

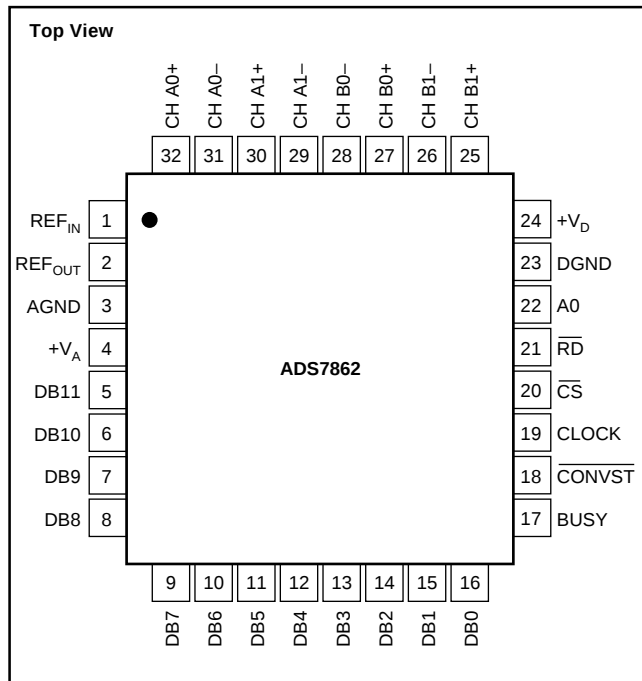
特に記述のない限り、T_A = T_{MIN} ~ T_{MAX}、+V_A = +V_D = +5V、V_{REF} = +2.5V内部リファレンス、f_{CLK} = 8MHz、f_{SAMPLE} = 500kHzです。

パラメータ	条件	ADS7862Y			ADS7862YB			単位
		最小	標準	最大	最小	標準	最大	
分解能				12			*	Bits
アナログ入力 入力電圧範囲、バイポーラ 絶対入力範囲 入力キャパシタンス 入力リーク電流	V _{CENTER} = 内部V _{REF} 2.5V +IN -IN CLK = GND	-V _{REF} -0.3 -0.3	15 ±1	+V _{REF} V _{CC} + 0.3 V _{CC} + 0.3	*	*	*	V V V pF μA
システム性能 ノー・ミッシング・コード 積分直線性 積分直線性マッチング 微分直線性 バイポーラ・オフセット誤差 バイポーラ・オフセット誤差のマッチング 正のゲイン誤差 正のゲイン誤差のマッチング 負のゲイン誤差 負のゲイン誤差のマッチング 同相モード除去比 雑音 電源除去比	REF _{IN} 基準 REF _{IN} 基準 REF _{IN} 基準 DC V _{IN} = ±1.25Vp-p、50kHz	12	±0.75 0.5 ±0.75 ±0.75 ±0.15 ±0.15 80 80 120 ±0.5	±2 1 3 ±0.75 2 ±0.75 2	*	±0.5 * ±0.5 ±0.5 ±0.1 ±0.1 * * * *	±1 * ±1 ±2 2 ±0.5 ±0.5 1 * *	Bits LSB LSB LSB LSB LSB LSB LSB LSB dB dB μVrms LSB
サンプリング特性 変換時間(A/D1個あたり) アキュジション時間 スループット・レート アパーチャ遅延 アパーチャ遅延のマッチング アパーチャ・ジッタ 小信号帯域幅		500	1.75 0.25 3.5 100 50 40		*	* * * * * *		μs μs kHz ns ps ps MHz
ダイナミック特性 全高調波歪 SINAD スプリアスフリー・ダイナミック・レンジ チャンネル間の分離	V _{IN} = ±2.5Vp-p、100kHz V _{IN} = ±2.5Vp-p、100kHz V _{IN} = ±2.5Vp-p、100kHz V _{IN} = ±2.5Vp-p、100kHz		75 71 -78	-80		* * *	*	dB dB dB dB
リファレンス電圧 内部 内部ドリフト 内部雑音 内部ソース電流 内部負荷除去 内部PSRR 外部電圧範囲 入力電流 入力キャパシタンス		2.475	2.5 ±25 50 2 0.005 65 2.5 0.05 5	2.525	*	* * * * * * * * *	*	V ppm/ μVp-p mA mV/μA dB V μA pF
デジタル入出力 ロジック・ファミリ ロジック・レベル : V _{IH} V _{IL} V _{OH} V _{OL} 外部クロック データ・フォーマット	I _{IH} = +5μA I _{IL} = +5μA I _{OH} = -500μA I _{OL} = 500μA	3.0 -0.3 3.5 0.2	CMOS	+V _{DD} + 0.3 0.8 0.4 8	*	* * * *	* * * * *	V V V V MHz
電源条件 電源電圧、+V 無信号時電流、+V _A 消費電力		4.75	5 5 25	5.25 8 40	*	* * *	* * *	V mA mW

* 印は、ADS7862Yのグレードと同じ値であることを示します。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

ピン配置



絶対最大定格

アナログ入力(対AGND、任意のチャンネル入力)	-0.3V ~ (+V _D + 0.3V)
REF _{IN}	-0.3V ~ (+V _D + 0.3V)
デジタル入力(対DGND)	-0.3V ~ (+V _D + 0.3V)
グラウンド電圧の差 : AGND、DGND	±0.3V
+V _D ~ AGND	-0.3V ~ +6V
消費電力	325mW
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(10秒間の半田付け)	+300

ピン構成

ピン	記号	説明
1	REF _{IN}	リファレンス入力
2	REF _{OUT}	+2.5Vリファレンス出力。内部リファレンスを使用するときはREF _{IN} (ピン1)に直接接続する。
3	AGND	アナログ・グラウンド
4	+V _A	アナログ電源。+5VDC。デジタル電源(ピン24)に直接接続する。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサでアナログ・グラウンドにデカップリングする。
5	DB11	データ・ビット11、MSB
6	DB10	データ・ビット10
7	DB9	データ・ビット9
8	DB8	データ・ビット8
9	DB7	データ・ビット7
10	DB6	データ・ビット6
11	DB5	データ・ビット5
12	DB4	データ・ビット4
13	DB3	データ・ビット3
14	DB2	データ・ビット2
15	DB1	データ・ビット1
16	DB0	データ・ビット0、LSB
17	BUSY	変換中「ハイ」になる
18	CONVST	変換開始
19	CLOCK	CMOSコンパチブルの外部クロックをCLOCK入力に印加することにより変換プロセスを外部ソースと同期させることができる。CLOCKピンは、CLOCK = 16 • f _{SAMPLE} の式によりサンプリング・レートを制御する。
20	CS	チップ・セレクト
21	RD	パラレル出力の同期パルス。読み取り動作時、最初の立ち下がりエッジでAレジスタが選択され、2番目のエッジでBレジスタが選択される。A0が入力0または入力1の読み取りを制御する。
22	A0	A0が「ロー」のとき、変換開始の立ち下がりエッジでチャンネルA0とチャンネルB0が変換され、A0が「ハイ」のときチャンネルA1とチャンネルB1が変換される。読み取り動作時、RDの最初の立ち下がりエッジでAレジスタが選択され、2番目のエッジでBレジスタが選択される。A0が入力0または入力1の読み取りを制御する。
23	DGND	デジタル・グラウンド。アナログ・グラウンド(ピン3)に直接接続する。
24	+V _D	デジタル電源、+5VDC
25	CH B1+	非反転入力チャンネルB1
26	CH B1-	反転入力チャンネルB1
27	CH B0+	非反転入力チャンネルB0
28	CH B0-	反転入力チャンネルB0
29	CH A1-	反転入力チャンネルA1
30	CH A1+	非反転入力チャンネルA1
31	CH A0-	反転入力チャンネルA0
32	CH A0+	非反転入力チャンネルA0



静電気放電対策

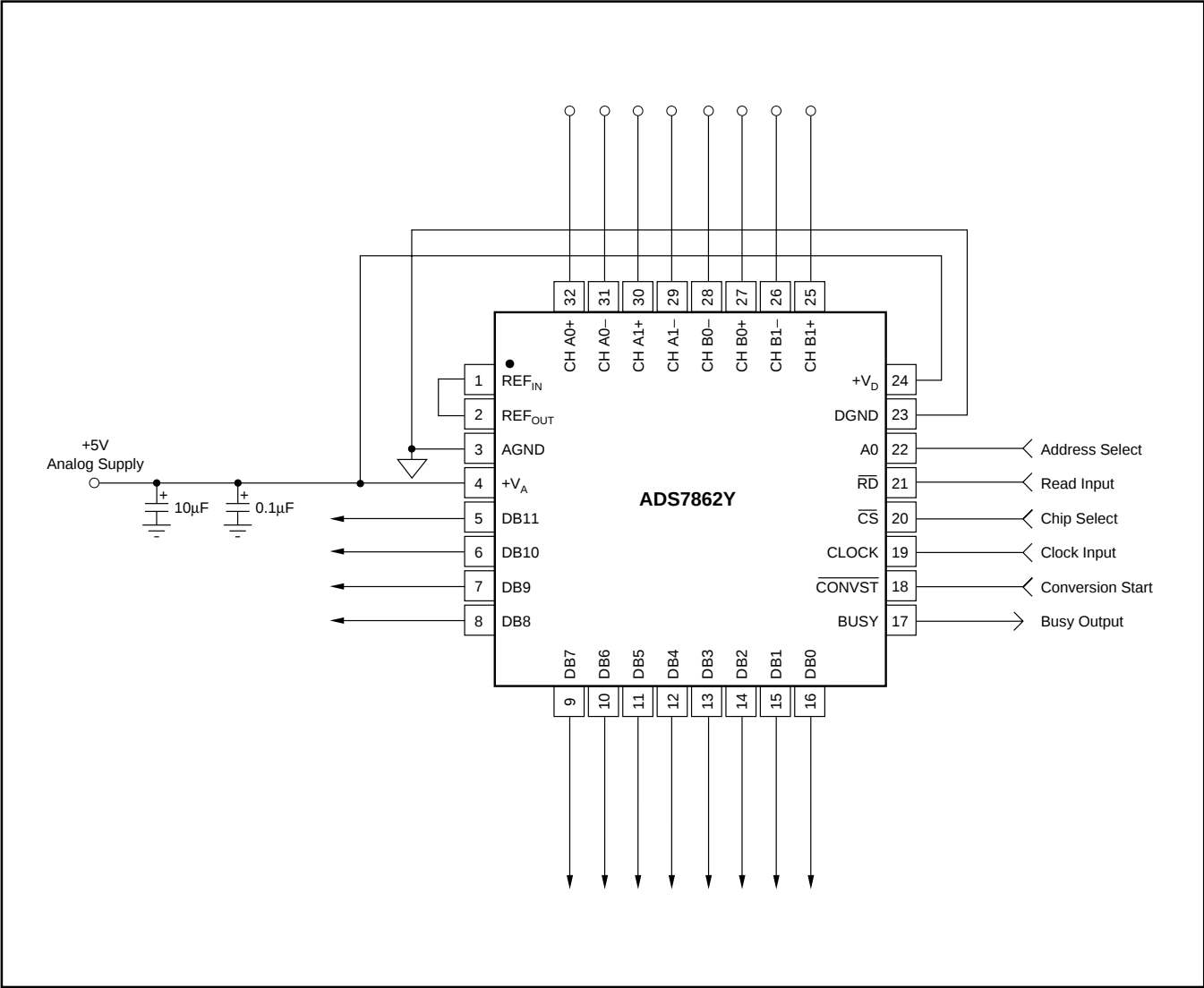
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	最小相対精度 (LSB)	最大ゲイン誤差 (%)	仕様温度範囲	パッケージ	パッケージ 図番号 ⁽¹⁾	発注番号 ⁽²⁾	供給時の状態
ADS7862Y	±2	±0.75	−40 ~ +85	32ピンTQFP	351	ADS7862Y/250	テーブリール
ADS7862Y	±2	±0.75	−40 ~ +85	32ピンTQFP	351	ADS7862Y/2K	テーブリール
ADS7862YB	±1	±0.5	−40 ~ +85	32ピンTQFP	351	ADS7862YB/250	テーブリール
ADS7862YB	±1	±0.5	−40 ~ +85	32ピンTQFP	351	ADS7862YB/2K	テーブリール

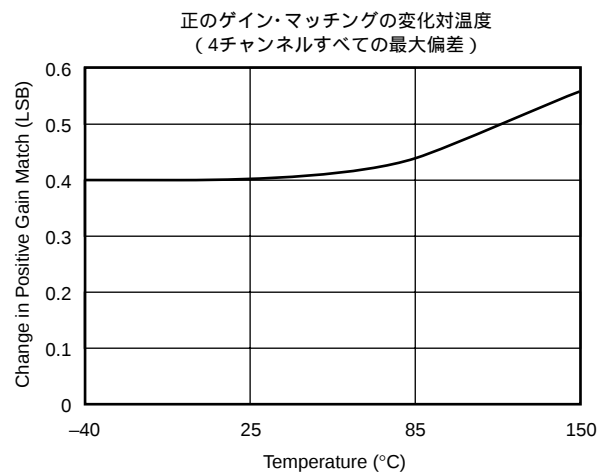
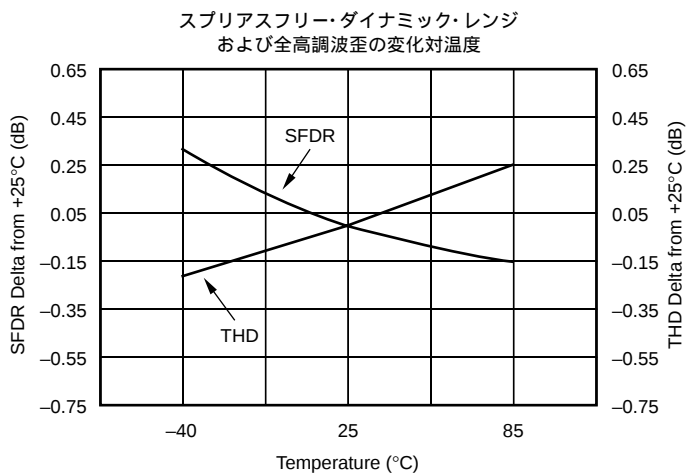
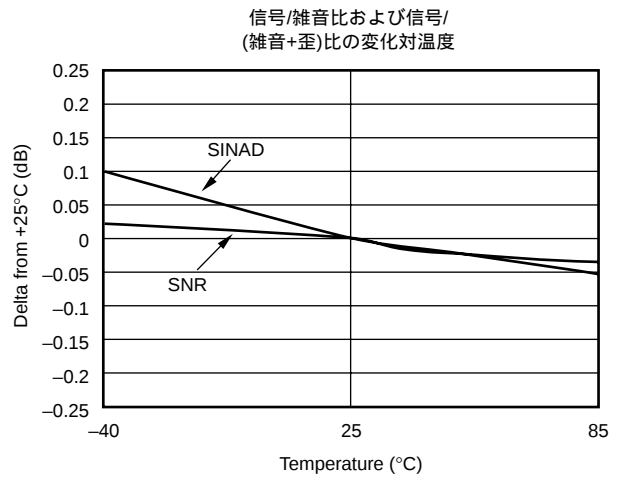
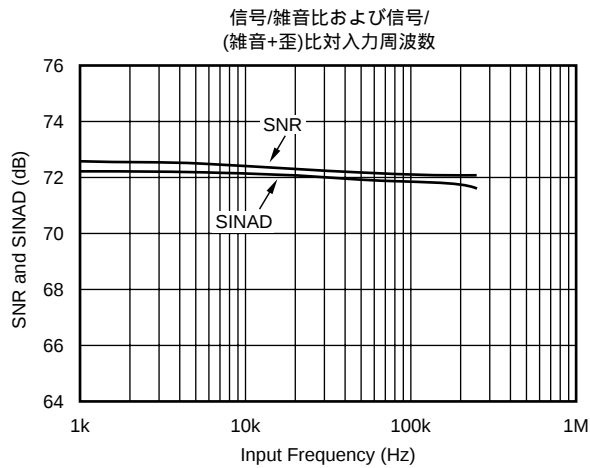
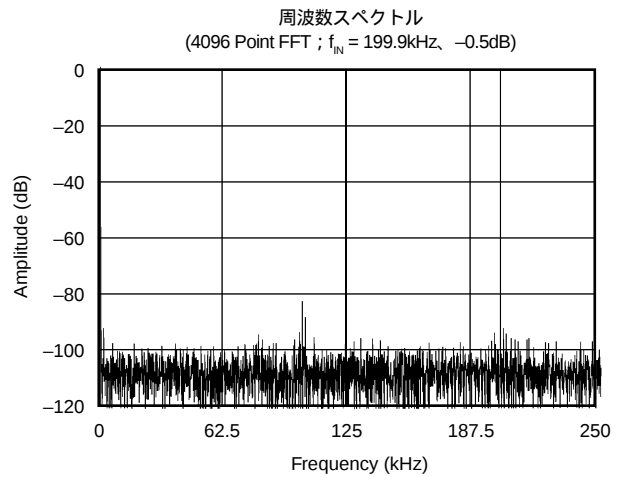
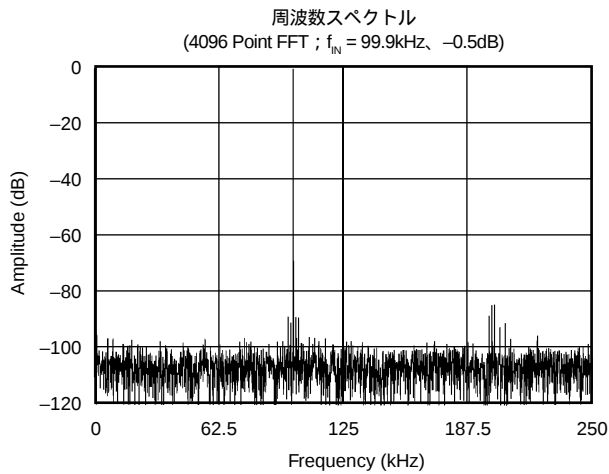
注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) スラッシュ(/)が付記されたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2Kはリール1本あたり2,000個入りのデバイスであることを示します)。“ADS7862Y/2K”を発注すると、2,000個入りテーブリール1本が納品されます。

基本動作



代表的性能曲線

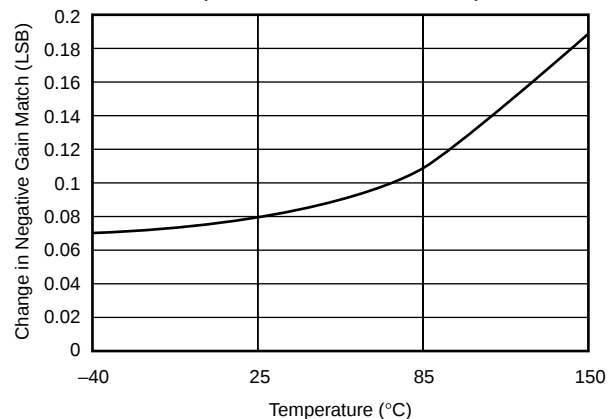
特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $+V_A = +V_D = +5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 内部リファレンス、 $f_{CLK} = 8\text{MHz}$ 、 $f_{SAMPLE} = 500\text{kHz}$ です。



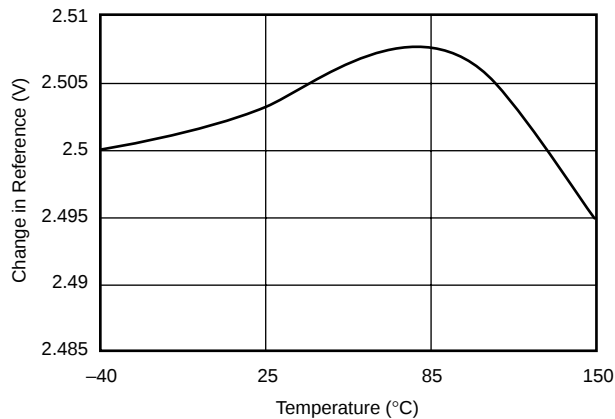
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。

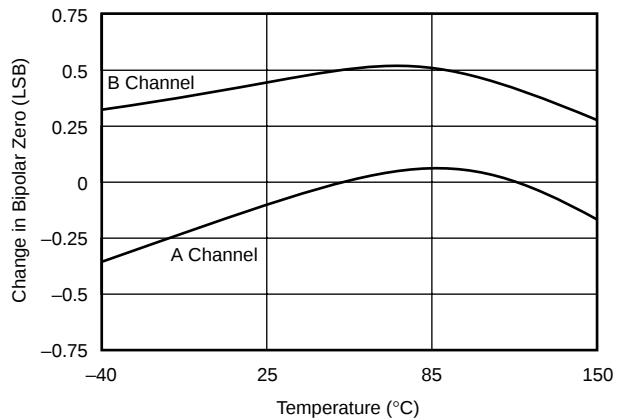
負のゲイン・マッチングの変化対温度
(4チャンネルすべての最大偏差)



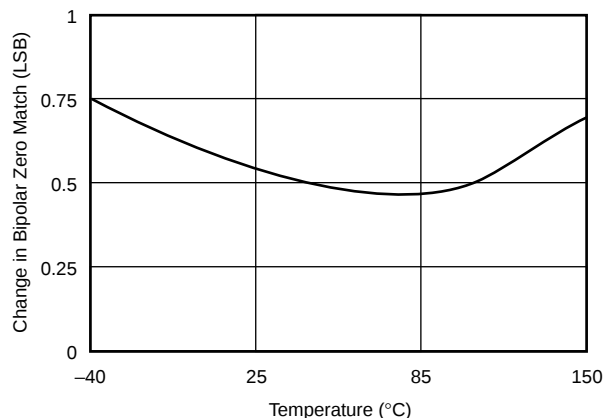
リファレンス電圧の変化対温度



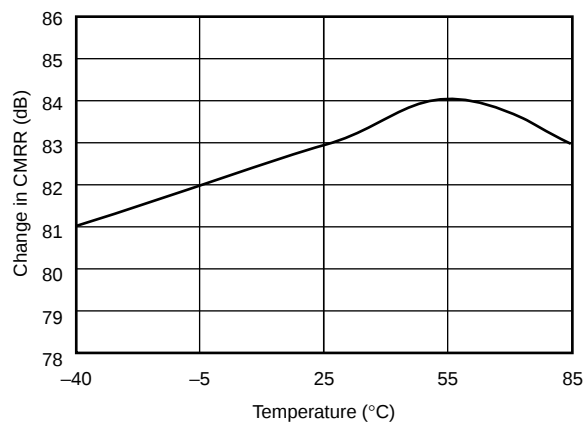
バイポーラ・ゼロの変化対温度



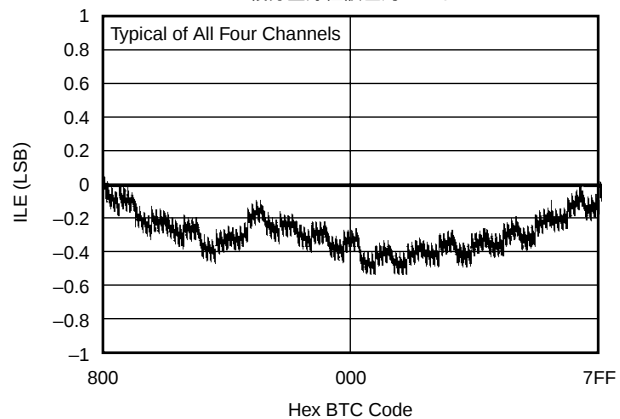
バイポーラ・ゼロ・マッチングの変化対温度



CMRRの変化対温度

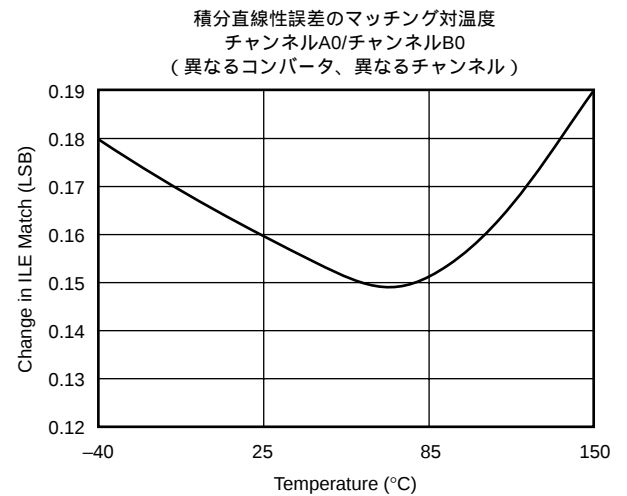
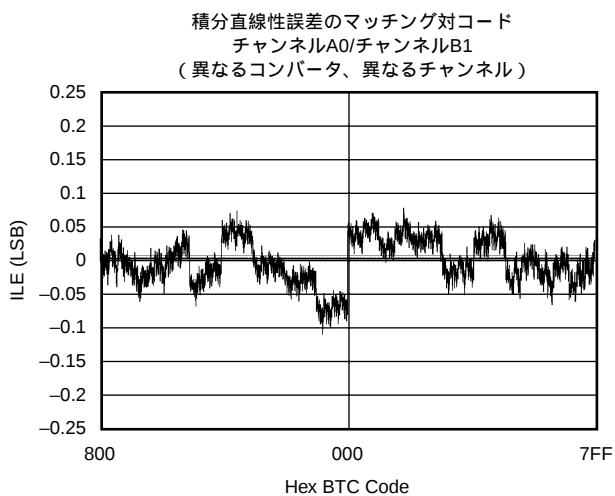
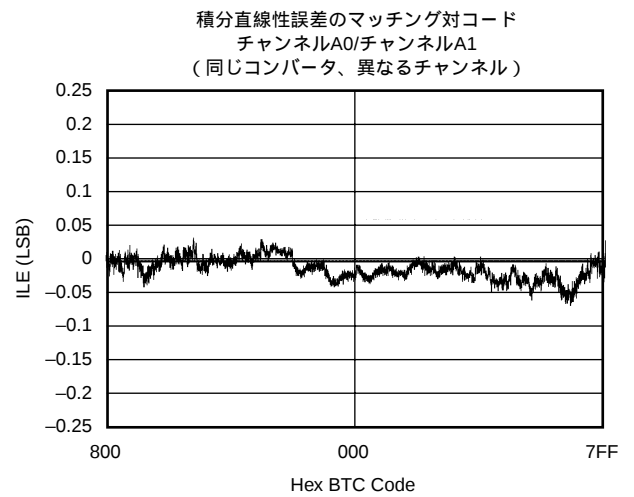
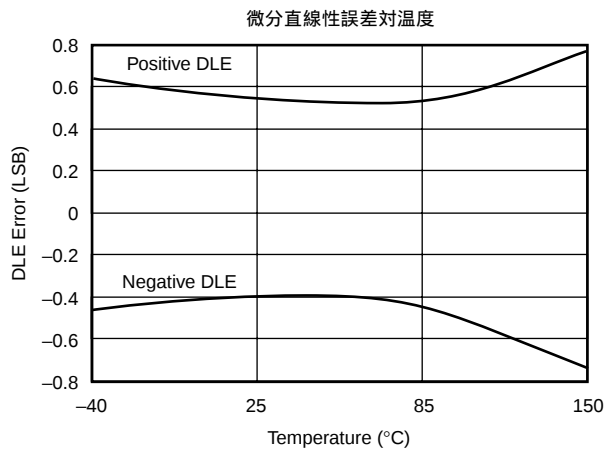
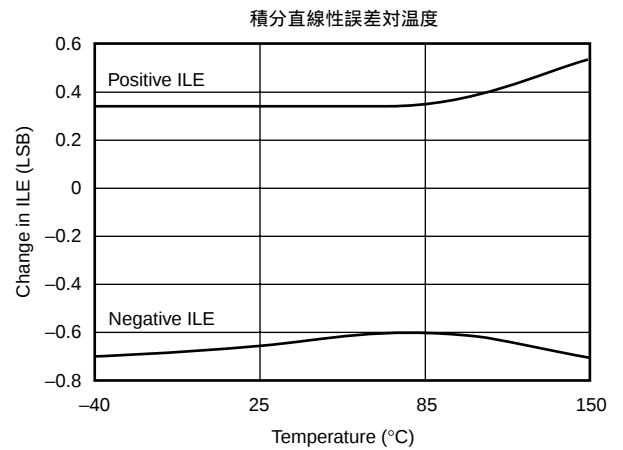
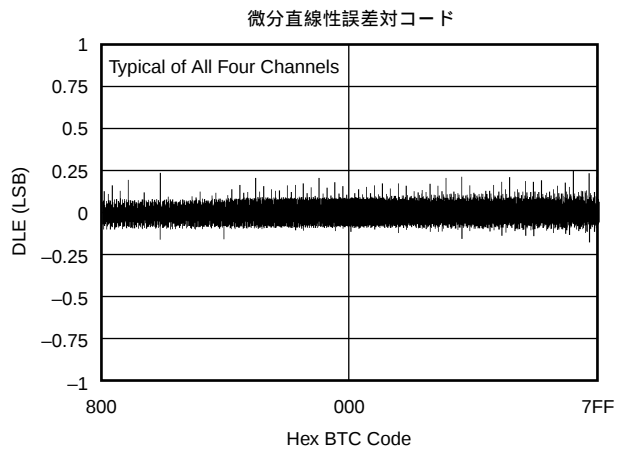


積分直線性誤差対コード



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。



はじめに

ADS7862は、+5V単一電源で動作する高速で低消費電力なデュアル・タイプの12ビットA/Dコンバータです。入力チャンネルは完全な差動で、同相モード除去の標準値は80dBです。ADS7862は、デュアル2 μ s逐次比較型ADC、2つの差動サンプル/ホールド・アンプ、+2.5V内部リファレンスとREF_{IN}およびREF_{OUT}ピン、高速なパラレル・インターフェースを内蔵しています。2組のチャンネル(AとB)に分かれた4つのアナログ入力があり、A0入力でチャンネルを選択します(A0が“ロー”のときチャンネルA0とB0、A0が“ハイ”のときチャンネルA1とB1が選択されます)。各A/Dコンバータの2つの入力(A0とA1、B0とB1)を同時にサンプリングして変換できるため、両方のアナログ入力の信号の相対的な位相情報が保存されます。アナログ入力には、+2.5V内部リファレンスを中心とする $-V_{REF}$ から $+V_{REF}$ までの電圧を入力することができます。フロント・エンドにレベル・シフト回路を使用して、バイポーラ電圧を入力することもできます(図7を参照)。

$\overline{CONVST}$ ピンを15ns以上“ロー”にすることにより、ADS7862の変換が開始されます。 $\overline{CONVST}$ を“ロー”にすると、両方のサンプル/ホールド・アンプが同時にホールド状態になり、両方のチャンネルで変換プロセスが開始されます。BUSY出力ピンは“ハイ”になり、変換サイクルの間“ハイ”に保持されます。A0ピンのステータスに応じて、チャンネル0(A0が“ロー”)またはチャンネル1(A0が“ハイ”)の変換結果がデータに反映されます。変換後、 $\overline{RD}$ および $\overline{CS}$ を両方とも“ロー”にすることにより、パラレル出力バスからデータを読み取ることができます。

ADS7862の変換時間は、8MHzの外部クロックを使用したとき1.75 μ sになります。対応するアキュイジション時間は0.25 μ sです。次の変換の開始時に直ちに読み取り機能を実行することにより、最大出力レート(500kHz)を達成することができます。

注：この動作モードの詳細については、「タイミングおよび制御」を参照して下さい。

サンプル/ホールド部

ADS7862のサンプル/ホールド・アンプにより、ADCはフルスケール振幅の入力正弦波を12ビットの精度まで正確に変換することができます。サンプル/ホールドの入力帯域幅は、ADCが500kHzの最大スループット・レートで動作するときも、ADCのナイキスト・レート(ナイキストはサンプリング・レートの1/2)より高くなります。サンプル/ホールド・アンプの小信号帯域幅の標準値は40MHzです。

標準的なアパーチャ遅延時間、すなわち $\overline{CONVST}$ パルスの後にサンプル・モードからホールド・モードへ切り替えるためにADS7862が必要とする時間は、3.5nsです。反復されたアパーチャ遅延の値の平均デルタは、標準値で50psです(アパーチャ・ジッタとも呼びます)。これらの仕様は、AC入力信号を同時に正確にキャプチャするADS7862の能力を反映しています。

リファレンス

通常動作では、REF_{OUT}ピン(ピン2)をREF_{IN}ピン(ピン1)に直接接続してADS7862に+2.5Vの内部リファレンスを供給します。一方、1.2Vから2.6Vまでの外部リファレンスを使用して(対応するフルスケール・レンジは2.4Vから5.2Vまで)ADS7862を動作させることもできます。

ADS7862の内部リファレンスはダブル・バッファリングされます。内部リファレンスを使用して外部負荷をドライブする場合、リファレンスとピン2の負荷の間のバッファが使用されます(内部リファレンスは標準で2mAの電流をソースし、負荷のキャパシタンスが100pFを超えないことが必要です)。外部リファレンスを使用する場合は、2番目のバッファによって外部リファレンスとCDACが分離されます。このバッファは、変換中に両方のCDACのすべてのキャパシタを再充電する目的にも使用されます。

アナログ入力

アナログ入力はバイポーラで完全な差動です。ADS7862のアナログ入力をドライブする一般的な方法として、シングルエンドと差動の2つがあります(図1および図2を参照)。入力がシングルエンドのとき、 $-IN$ 入力は同相モード電圧に保持されます。 $+IN$ 入力は同じ同相モード電圧を中心にスイングし、ピーク・ツー・ピークの振幅は(同相モード $+V_{REF}$)から(同相モード $-V_{REF}$)までになります。 V_{REF} の値によって、同相モード電圧の変動する範囲が決まります(図3を参照)。

入力が差動のとき、入力の振幅は $+IN$ および $-IN$ 入力の差の $(+IN) - (-IN)$ になります。各入力のピーク・ツー・ピークの振幅は、この同相モード電圧を中心とする $\pm 1/2 V_{REF}$ です。ただし、入力の位相が180度ずれているため、差動電圧のピーク・ツー・ピークの振幅は $+V_{REF}$ から $-V_{REF}$ までになります。 V_{REF} の値によって、両方の入力に共通の電圧の範囲も決まります(図4を参照)。

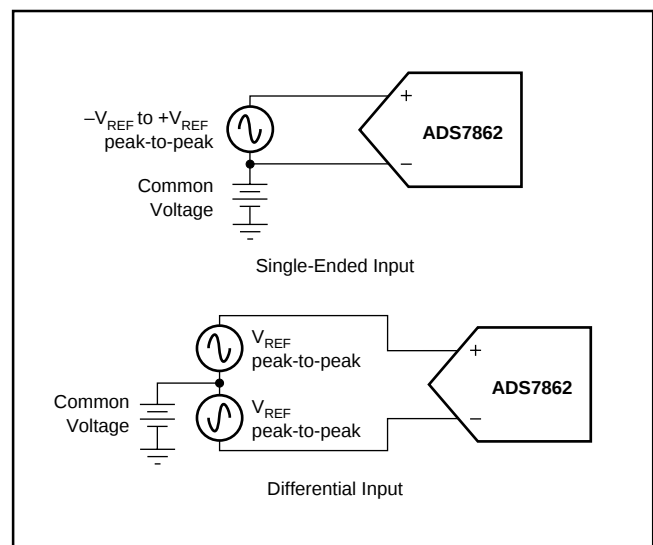


図1 . ADS7862をシングルエンドまたは差動でドライブする方法

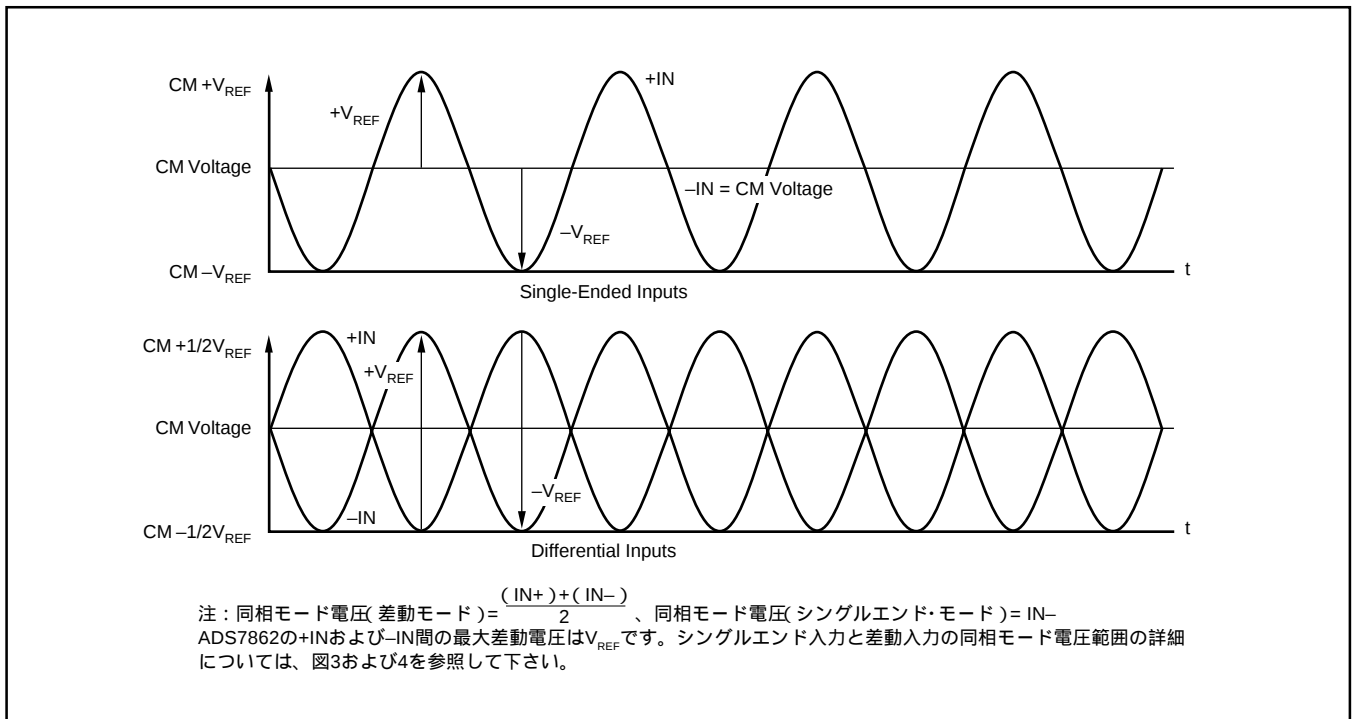


図2．シングルエンド入力および差動入力モードでのADS7862の使用

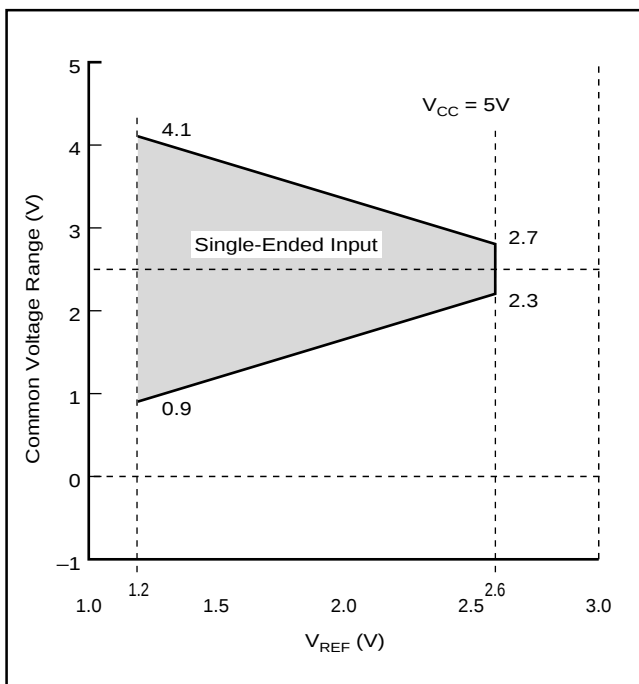


図3．シングルエンド入力：同相モード電圧範囲対 V_{REF}

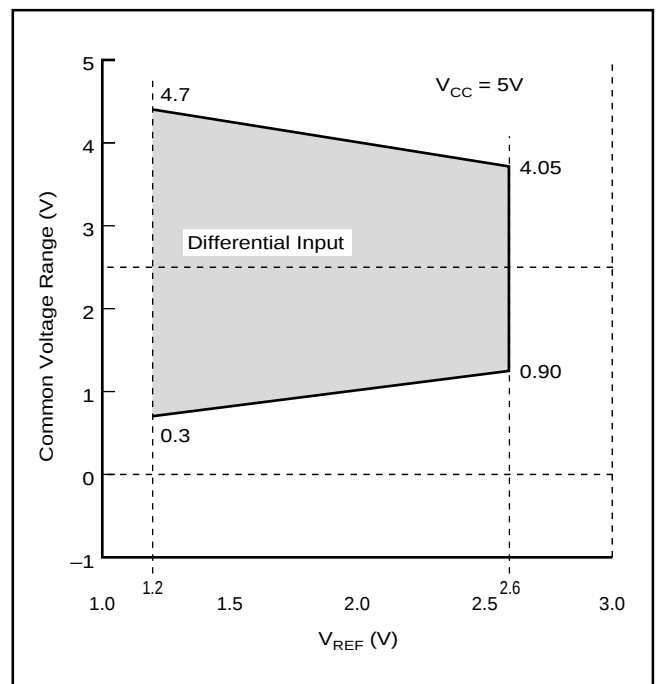


図4．差動入力：同相モード電圧範囲対 V_{REF}

いずれの場合も、+INおよび-IN入力をドライブするソースの出力インピーダンスがマッチングするように注意が必要です。マッチングしない場合は、温度や入力電圧とともに変化するオフセット誤差の原因になります。

アナログ入力の入力電流は、サンプリング・レート、入力電圧、ソース・インピーダンスなど、多数の要因に依存します。ADS7862に流れ込む電流は、サンプリング周期の間に内部キャパシタ・アレイを充電します。このキャパシタンスが完全に充電

された後、入力電流は流れなくなります。アナログ入力電圧のソースは、入力キャパシタンス(15pF)を2クロック・サイクル以内に12ビットのセトリング・レベルまで充電することが必要です。コンバータがホールド・モードに移行すると、入力インピーダンスは $1G\Omega$ より大きくなります。

絶対アナログ入力電圧については注意が必要です。+IN入力は、常にGND-300mVから $V_{DD}+0.3V$ までの範囲に保持する必要があります。

トランジション・ノイズ

図5に、ADS7862でDC入力の変換の8,000回の実行したときのヒストグラムを示します。DC入力を出力コード2046に設定しています。1回の変換を除くすべての変換で、出力コード2046の結果が得られます(1回の変換の出力結果は2047)。ヒストグラムは、ADS7862の優れたノイズ性能を示しています。

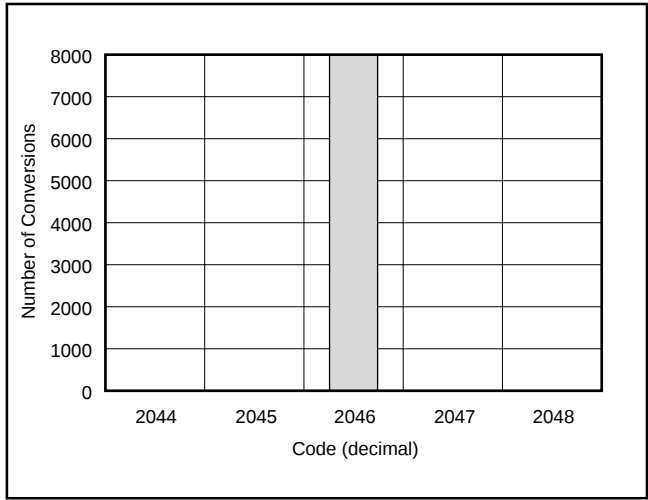


図5 . DC入力の変換の8,000回のヒストグラム

バイポーラ入力

ADS7862の差動入力は、内部リファレンス電圧(2.5V)を中心とする $-V_{REF}$ および $+V_{REF}$ のバイポーラ入力(2.5Vリファレンスの場合、0Vから5Vまでの入力範囲)を使用できるように設計されています。1個のアンプと4個の外部抵抗からなる簡単なオペアンプ回路を使用して、ADS7862をバイポーラ入力に構成することができます。図7に示す抵抗値の使用により、一般的な $\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ の入力範囲とADS7862のインターフェースが可能です。

タイミングおよび制御

ADS7862は、外部クロック(CLOCK、ピン19)を使用してCDACの変換レートを制御します。8MHzの外部クロックを使用すると、A/Dのサンプリング・レートは、最大スループット時間 $2\mu s$ に対応する500kHzになります。

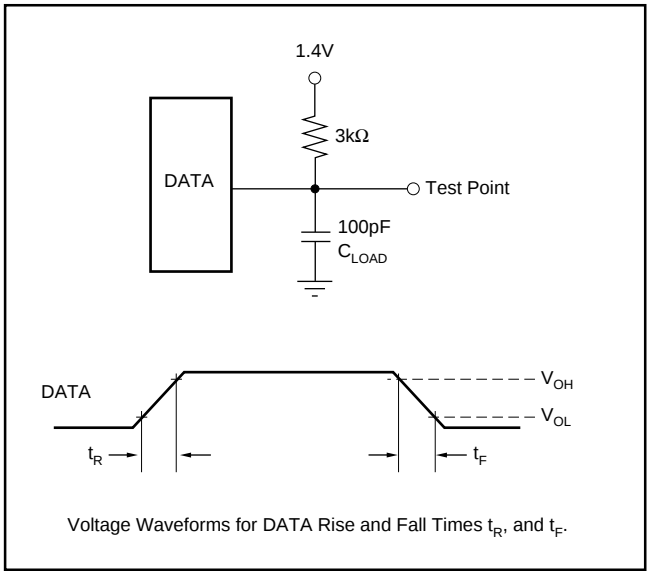


図6 . タイミング仕様のテスト回路

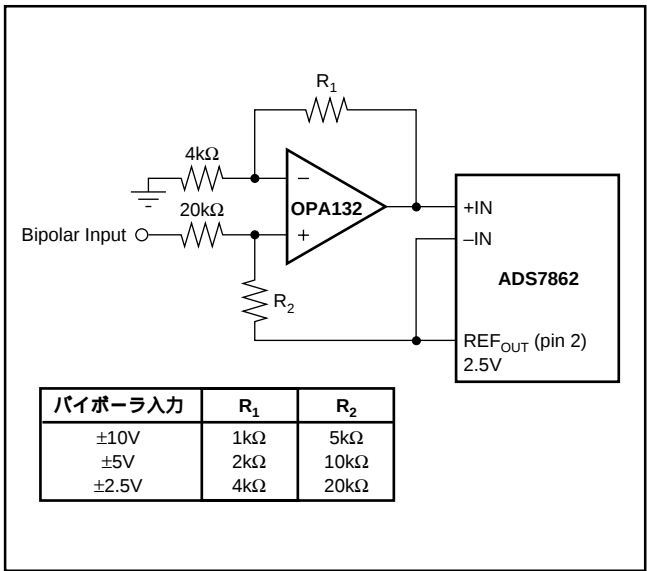


図7 . バイポーラ入力レンジのレベル・シフト回路

ADS7862の動作を説明するために3つのタイミング図を使用します。図8に、CLOCK、 $\overline{CONVST}$ (ピン18)、および変換モードのタイミングの関係を示します。

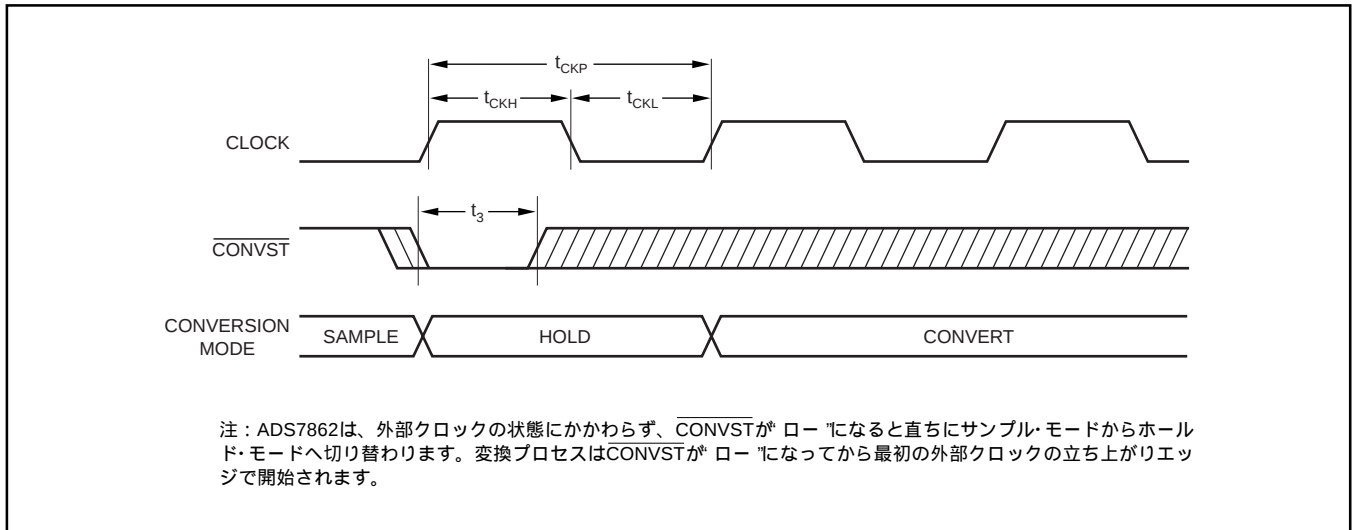


図8 . 変換モード

図9に、ADS7862の基本的な読み取り/書き込み機能と、すべてのタイミング仕様を示します(タイミング仕様の表を参照)。図10に、 $\overline{\text{CONVST}}$ を使用した変換開始の詳細を示します。図11に、連続した3回の変換を示し、ADS7862のすべての読み取り/書き込み機能について説明します。

説明	アナログ入力	デジタル出力 バイナリ2の補数	
フルスケール入カスパン 最下位ビット(LSB)	$-V_{\text{REF}} \sim +V_{\text{REF}}^{(1)}$ ($-V_{\text{REF}} \sim +V_{\text{REF}}$)4096 ⁽²⁾	バイナリ・コード	16進コード
+フルスケール	4.99878V	0111 1111 1111	7FF
ミッドスケール	2.5V	0000 0000 0000	000
ミッドスケール-1LSB	2.49878V	1111 1111 1111	FFF
-フルスケール	0V	1000 0000 0000	800

注:(1) V_{REF} を中心とする $-V_{\text{REF}}$ から $+V_{\text{REF}}$ まで。2.5Vリファレンスの場合、入カスパンは0Vから5Vまでになる。(2) 2.5Vリファレンスの場合、1.22mV。

表1. 理想的な入力電圧と出力コード

図11のタイミング図は、(A)最初の変換($n-2$)の開始、(B)2回目の変換($n-1$)の開始と前の変換($n-2$)のデータ出力の読み取り、(C)3回目の変換(n)の開始と前2回の変換($n-2$ および $n-1$)の読み取りの3つのセクションに分けることができます。このシーケンスでは、チャンネル0、チャンネル1の順に変換しています。必要な場合は、変換プロセスを開始するときにA0ピンをロジック“ハイ”(チャンネル1)、ロジック“ロー”(チャンネル0)の順に切り替えることにより、チャンネル1、チャンネル0の順に変換することができます。

タイミング仕様

記号	説明	最小	標準	最大	単位
t_{CONV}	変換時間			1.75	μs
t_{ACQ}	アキュイジション時間			0.25	μs
t_{CKP}	クロック周期	125		5000	ns
t_{CKL}	クロック“ロー”	40			ns
t_{CKH}	クロック“ハイ”	40			ns
t_1	$\overline{\text{CS}}$ から $\overline{\text{RD}}$ までのセットアップ時間	0			ns
t_2	$\overline{\text{CS}}$ から $\overline{\text{RD}}$ までのホールド時間	0			ns
t_3	$\overline{\text{CONVST}}$ “ロー”	15			ns
t_4	RDパルス幅	30			ns
t_5	$\overline{\text{RD}}$ からデータ有効まで(バスのアクセス)		16	25	ns
t_6	$\overline{\text{RD}}$ からハイ・インピーダンスまでの遅延(バスの解放)		10	20	ns
t_7	変換の読み取りと読み取りの間の時間	40			ns
t_8	アドレス・セットアップ時間	250			ns
t_9	$\overline{\text{CONVST}}$ “ハイ”	20			ns
t_{10}	アドレス・ホールド時間	20			ns
t_{11}	$\overline{\text{CONVST}}$ からBUSYまでの伝搬遅延			30	ns
t_{12}	CLOCKの立ち上がりエッジ前の $\overline{\text{CONVST}}$ “ロー”	10			ns
t_{13}	CLOCKの立ち上がりエッジ後の $\overline{\text{CONVST}}$ “ロー”	5			ns
t_F	データ立ち下がり時間		13	25	ns
t_R	データ立ち上がり時間		20	30	ns

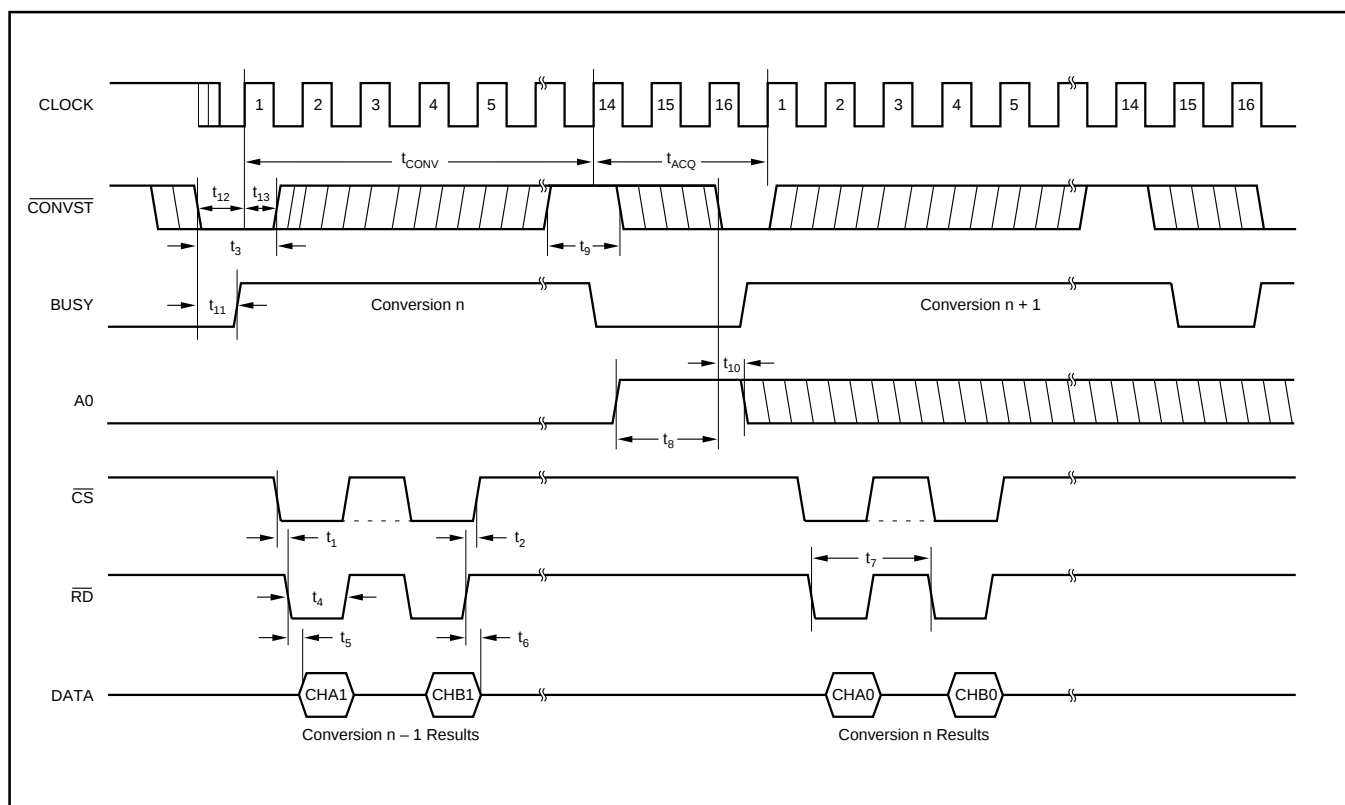
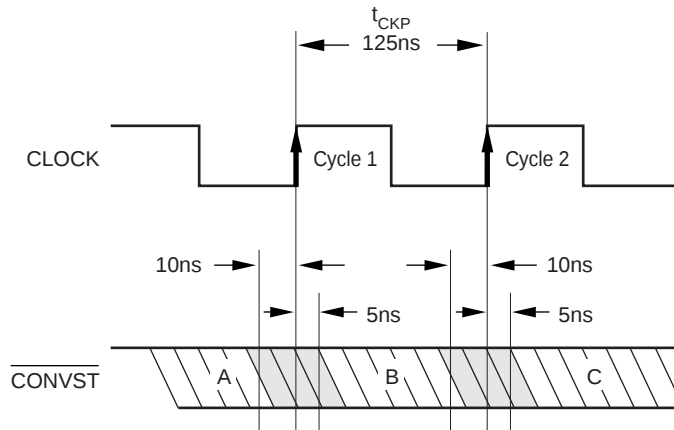


図9. 同じサイクルのADS7862の読み取りと書き込み



注：外部クロックのサイクル1の立ち上がりエッジより10ns以上前（領域A）の $\overline{\text{CONVST}}$ コマンドについては、すべてサイクル1の立ち上がりエッジで変換が開始されます。サイクル1の立ち上がりエッジの5ns後からサイクル2の立ち上がりエッジの10ns前まで（領域B）の $\overline{\text{CONVST}}$ コマンドについては、すべてサイクル2の立ち上がりエッジで変換が開始されます。サイクル2の立ち上がりエッジの5ns後（領域C）の $\overline{\text{CONVST}}$ コマンドについては、すべて次のクロック周期の立ち上がりエッジで変換が開始されます。CLOCKの立ち上がりエッジの10ns前から立ち上がりエッジの5ns後までの領域（グレーの領域）ではCONVSTピンを“ハイ”から“ロー”に切り替えしないで下さい。このグレーの領域でCONVSTを切り替えた場合は、CLOCKの同じ立ち上がりエッジまたは次のエッジのどちらでも変換が開始される可能性があります。

図10．変換を開始するためのCLOCKと $\overline{\text{CONVST}}$ のタイミング

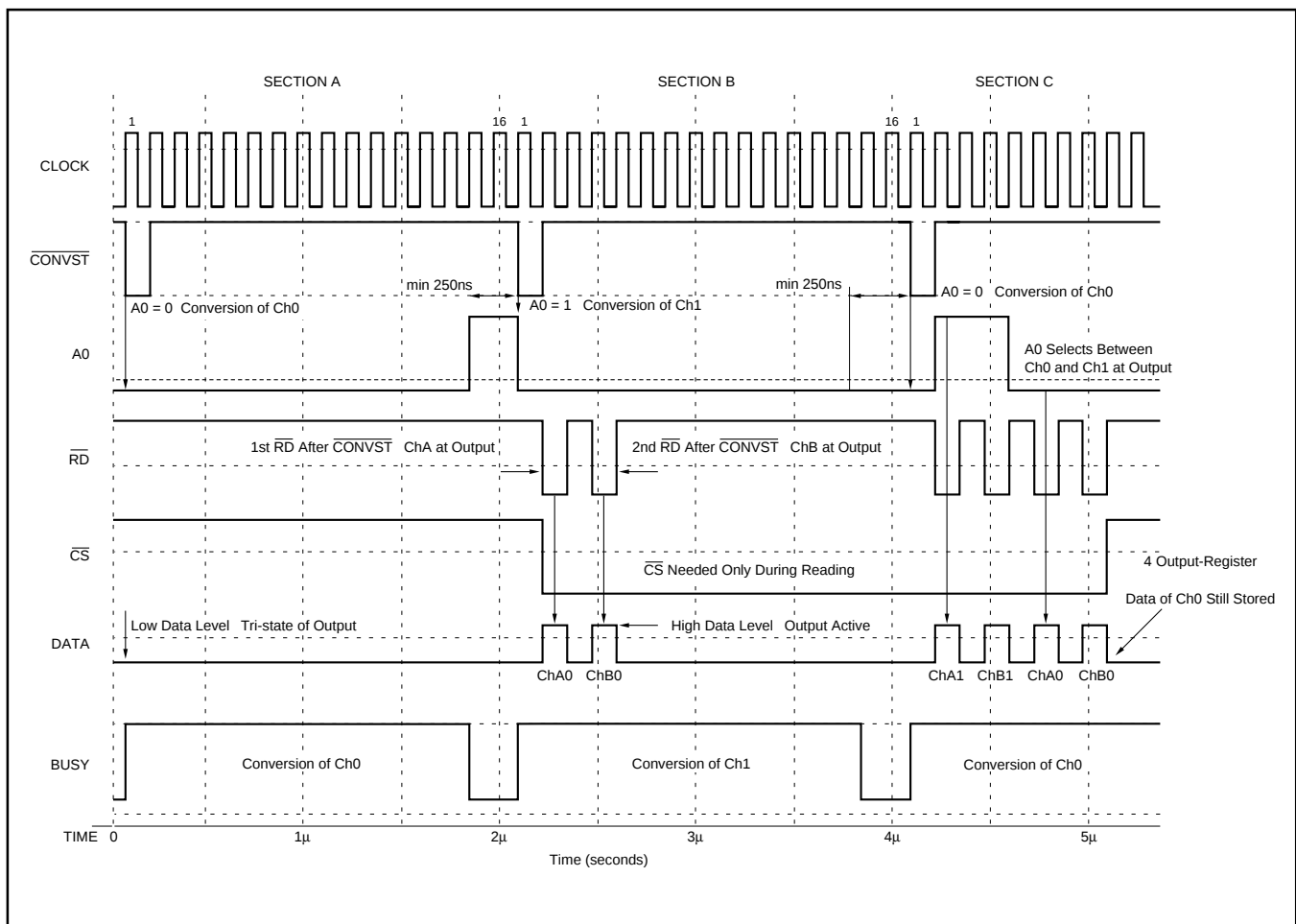


図11．ADS7862の全機能を示すタイミング図

セクションA

変換は、 $\overline{\text{CONVST}}$ ピン(ピン18)を5ns以上“ロー”にすることにより開始されます($\overline{\text{CONVST}}$ ピンは、5ns以上の条件を満たした後、“ハイ”にすることができます)。ADS7862は、 $\overline{\text{CONVST}}$ コマンドの立ち下がりエッジでサンプル・モードからホールド・モードへ切り替わります。 $\overline{\text{CONVST}}$ が“ロー”になってから最初の外部クロックの立ち上がりエッジの後、変換が開始されます(この最初の外部クロックの立ち上がりエッジは、クロック・サイクル1の最初です。ADS7862が1回の変換を完了するには16サイクルが必要です)。このときに入力チャンネルもラッチされます。変換前に正しいアドレスを選択するため、 $\overline{\text{CONVST}}$ ピンが“ロー”になる250ns前にA0入力(ピン22)を選択することが必要です。BUSY出力は、 $\overline{\text{CONVST}}$ が“ロー”になった後、直ちに“ハイ”になります。BUSYは、変換プロセスの間“ハイ”に保持され、変換が終了すると“ロー”に戻ります。 $\overline{\text{CONVST}}$ が最小時間“ロー”に保持された後、外部クロックの次の立ち上がりエッジに同期してADS7862がホールド・モードから変換モードへ切り替わり、変換“n-2”が開始されます。 $\overline{\text{RD}}$ (ピン21)および $\overline{\text{CS}}$ (ピン20)は、変換前および変換中にはどちらも“ハイ”にすることができますが、出力バスからデータ出力を読み取るときは両方とも“ロー”にすることが必要です。

セクションB

$\overline{\text{CONVST}}$ ピンの2回目の“ハイ”から“ロー”への切り替えにより、変換“n-1”が開始されます。変換の新しいアドレスを確実に選択するため、ここでも $\overline{\text{CONVST}}$ が“ロー”になる250ns前にアドレスを選択することが必要です。パラレル出力バスから変換“n-2”のチャンネルA0の結果を読み取るには、 $\overline{\text{RD}}$ および $\overline{\text{CS}}$ ピンの両方を“ロー”にします。 $\overline{\text{CS}}$ を“ロー”に保持しながら $\overline{\text{RD}}$ を30ns以上“ロー”にすることにより、出力バスから変換“n-2”のチャンネルA0の結果が出力されます。 $\overline{\text{RD}}$ ピンの2回目の“ハイ”から“ロー”への切り替えにより、出力バスから変換“n-2”のチャンネルB0の結果が出力されます。

セクションC

$\overline{\text{CONVST}}$ の3回目の“ロー”への切り替えにより、変換“n”(チャンネル0)が開始されます。変換中に変換“n-2”と“n-1”の結果を読み取ることができます。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が“ロー”のときにアドレス・ピンを“ハイ”にすることにより、出力バスから変換“n-1”のチャンネルA1の結果が出力されます。セクションCの $\overline{\text{RD}}$ ピンの2回目の“ハイ”から“ロー”への切り替えにより、出力バスから変換“n-1”のチャンネルB1の結果が出力されます。次に、アドレス・ピン(A0)を“ロー”にすると、チャンネル0の最新の変換(n-2)について読み取りプロセスが繰り返され、出力バスから結果が出力されます。

データの読み取り

ADS7862は、完全なパラレル・データをバイナリ2の補数のデータ出力フォーマットで出力します。パラレル出力は、 $\overline{\text{CS}}$ (ピン20)と $\overline{\text{RD}}$ (ピン21)の両方が“ロー”のときアクティブになります。出力データは、 $\overline{\text{CONVST}}$ の立ち下がりエッジの125ns前および立ち下がりエッジの10ns後に読み取らないで下さい。これ以外のどの $\overline{\text{CS}}$ および $\overline{\text{RD}}$ の組み合わせでも、パラレル出力はトライステートになります。有効な変換データは、ピン5から16(MSB - LSB)で読み取ることができます。理想的な出力コードについては、表 を参照して下さい。

レイアウト

最適な性能を確保するためには、ADS7862の回路レイアウトに注意することが必要です。クロック入力が最大スループット・レートに近い場合には特に重要です。

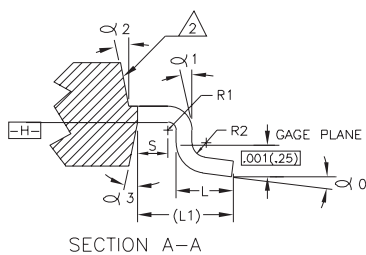
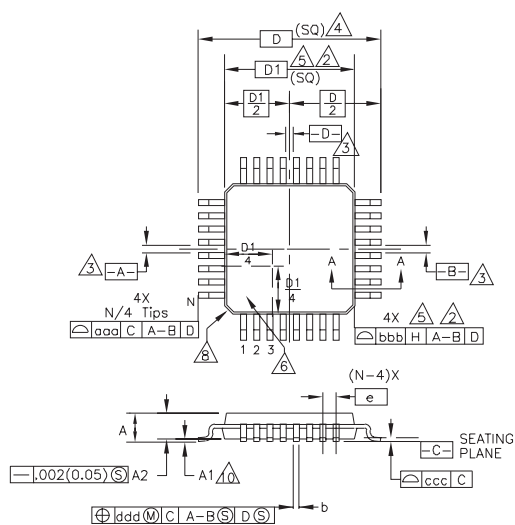
基本的なSARアーキテクチャは、電源、リファレンス、グランド、およびデジタル入力の各端子でアナログ・コンバータ出力をラッチする直前に発生するグリッチに敏感です。したがって、nビットのSARコンバータの1回の変換には、変換結果が大きな外部過渡電圧に影響される可能性があるn個の「窓」が存在します。このようなグリッチは、スイッチング電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および正確な外部イベントのタイミングに依存します。外部イベントとクロック入力のタイミングが変化する場合、誤差が変動します。

このことを考慮して、ADS7862にはクリーンな電源を使用し、十分にバイパスすることが必要です。パッケージのできるだけ近くに0.1 μF のバイパス用セラミック・コンデンサを配置します。また、1 μF から10 μF のコンデンサも推奨されます。必要な場合には、雑音の多い電源のローパスフィルタとして、さらに容量の大きいコンデンサと5 Ω または10 Ω の直列抵抗を使用することができます。ADS7862は、リファレンス電圧が内部でバッファリングされるため、通常は外部リファレンスから電圧をほとんど引き込みません。オペアンプから外部リファレンス電圧を供給する場合は、オペアンプが発振なしにバイパス・コンデンサまたはその他のコンデンサをドライブできることを確認して下さい。内部リファレンスを使用する場合、バイパス・コンデンサは不要です(ピン1をピン2に直接接続します)。

AGNDおよびDGNDピンは、クリーンなグランド・ポイントに接続して下さい。これにはすべての場合に“アナログ”グランドを使用します。マイクロコントローラまたはデジタル信号プロセッサのグランド・ポイントと接近しすぎた位置に接続しないで下さい。必要な場合は、コンバータから電源のエントリ・ポイントまで直接グランド・トレースを配置します。コンバータとそのアナログ回路に専用のアナログ・グランド・プレーンを設けたレイアウトが理想的です。

外觀

パッケージ番号351 - 32ピンTQFP



	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	--	.047	--	1.20
A1	.002	.006	0.05	0.15
A2	.037	.041	0.95	1.05
b	.007	.011	0.17	0.27
c	.004	.008	0.09	0.20
D	.276 BASIC		7.00 BASIC	
D1	.197 BASIC		5.00 BASIC	
e	.020 BASIC		0.50 BASIC	
L	.018	.030	0.45	0.75
L1	.039 REF		1.00 REF	
N	32		32	
R1	.003	--	0.08	--
R2	.003	.008	0.08	0.20
S	.008	--	0.20	--
aaa	.008 NOM.		0.20 NOM.	
bbb	.008 NOM.		0.20 NOM.	
ccc	.003 NOM.		0.08 NOM.	
ddd	.003 NOM.		0.08 NOM.	
∞0	0°	7°	0°	7°
∞1	0°	--	0°	--
∞2	11°	13°	11°	13°
∞3	11°	13°	11°	13°