



デュアル、500kHz、12ビット、2 + 2チャンネル 同時サンプリングA/Dコンバータ

特長

- 4入力チャンネル
- 完全な差動入力
- 最大スループット：2 μ s(1チャンネルあたり)
- ノー・ミッシング・コードを保証
- 実効サンプリング・レート：1MHz
- 低消費電力：40mW
- SSIシリアル・インターフェース

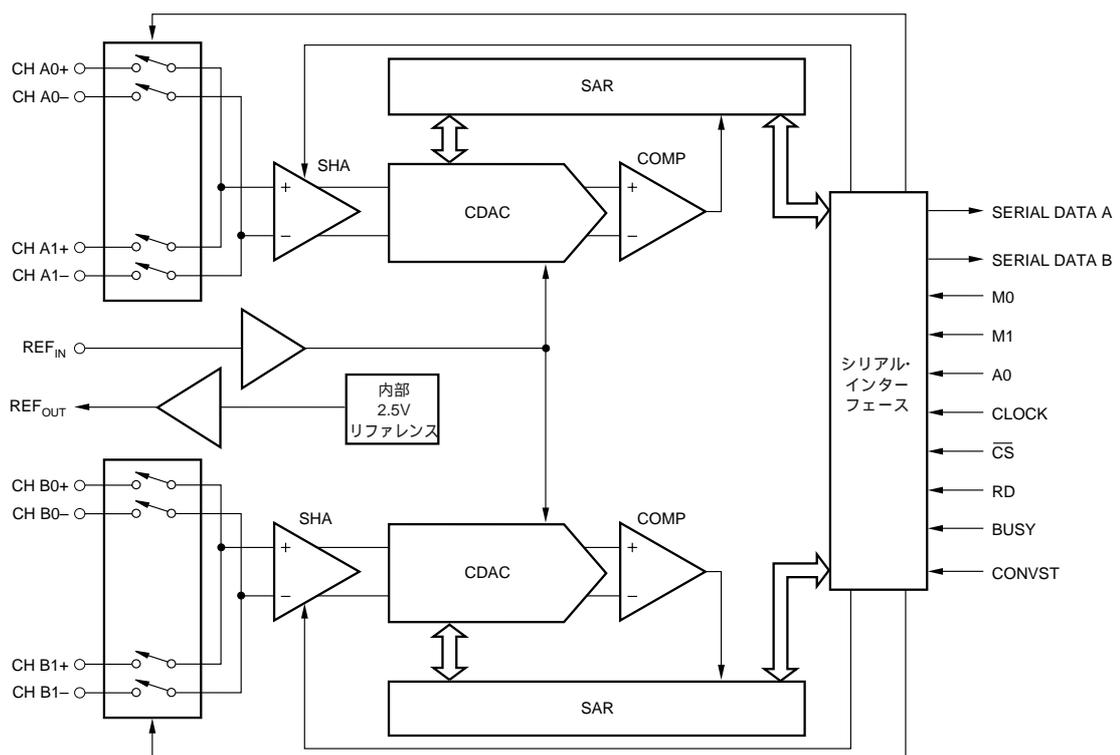
アプリケーション

- モータ制御
- 多軸ポジショニング・システム
- 3相電源制御

概要

ADS7861は、2組のペアに分けて高速な同時信号アキュジションを実行できる4つの完全な差動入力チャンネルを備えたデュアル・タイプの12ビット、500kHz、A/Dコンバータです。サンプル/ホールド・アンプの入力は完全な差動で、A/Dコンバータの入力まで差動が保たれます。このため、雑音の大きい環境で重要な同相モード除去が50kHzで80dBと優れています。

ADS7861は、ソフトウェアのオーバーヘッドを最小限に抑える高速なデュアル・シリアル・インターフェースと制御入力を備えています。各チャンネルのデータは、12ビット・ワードとして出力されます。パッケージは、24ピンSSOPで供給され、すべて-40 ~ +85 の動作温度範囲で仕様が規定されています。



仕様

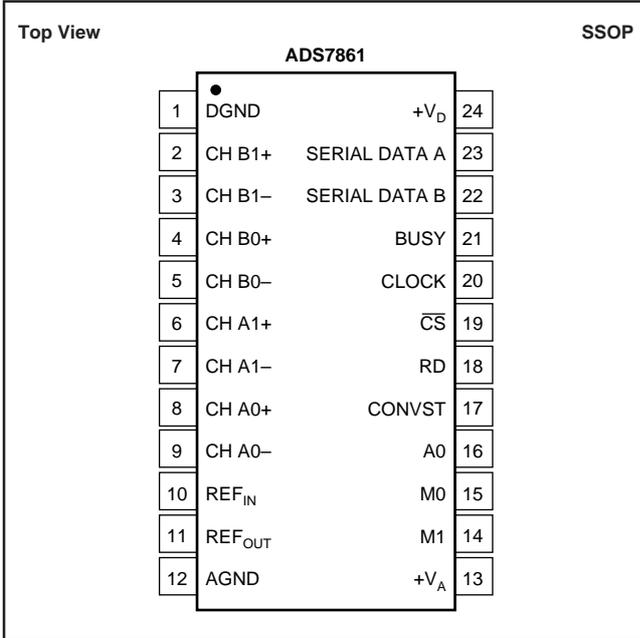
特に記述のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。

パラメータ	条件	ADS7861E			ADS7861EB			単位
		最小	標準	最大	最小	標準	最大	
分解能				12			*	Bits
アナログ入力 入力電圧範囲、バイポーラ 入力キャパシタンス 入力リーク電流	$V_{CENTER} = \text{内部}V_{REF} 2.5V$	$-V_{REF}$	15 ± 1	$+V_{REF}$	*	*	*	V pF μA
システム性能 ノー・ミッシング・コード 積分直線性 積分直線性マッチング 微分直線性 バイポーラ・オフセット誤差 バイポーラ・オフセット誤差のマッチング 正のゲイン誤差 正のゲイン誤差のマッチング 負のゲイン誤差 負のゲイン誤差のマッチング 同相モード除去比 雑音 電源除去比	REF _{IN} 基準 REF _{IN} 基準 REF _{IN} 基準 DC $V_{IN} = \pm 1.25Vp-p, 50kHz$	12	± 0.75 0.5 ± 1 ± 0.5	± 2 ± 1 3 2	*	± 0.5 * ± 0.5 *	± 1 * ± 1 *	Bits LSB LSB LSB LSB % of FSR LSB % of FSR LSB dB μV_{rms} LSB
サンプリング特性 変換時間(A/D1個あたり) アキュイジション時間 スルーブット・レート アパーチャ遅延 アパーチャ遅延のマッチング アパーチャ・ジッタ 小信号帯域幅		500	1.625 0.375		*	*	*	μs μs kHz ns ps ps MHz
ダイナミック特性 全高調波歪 SINAD スプリアスフリー・ダイナミック・レンジ チャンネル間の分離	$V_{IN} = \pm 2.5Vp-p, 100kHz$ $V_{IN} = \pm 2.5Vp-p, 100kHz$ $V_{IN} = \pm 2.5Vp-p, 100kHz$ $V_{IN} = \pm 2.5Vp-p, 100kHz$	70 72		-72 -80	* 76		-76 *	dB dB dB dB
リファレンス電圧 内部 内部ドリフト 内部雑音 内部ソース電流 内部負荷除去 内部PSRR 外部電圧範囲 入力電流 入力キャパシタンス		2.475	2.5 ± 25 50 2 0.005 80	2.525	*	*	*	V ppm/ $\mu Vp-p$ mA mV/ μA dB V μA pF
デジタル入出力 ロジック・ファミリ ロジック・レベル: V_{IH} V_{IL} V_{OH} V_{OL} 外部クロック、オブション データ・フォーマット	$I_{IH} = +5\mu A$ $I_{IL} = +5\mu A$ $I_{OH} = 2CMOS$ 負荷 $I_{OL} = 2CMOS$ 負荷	3.0 -0.3 3.5 0.2	CMOS	$+V_{DD} +0.3$ 1 0.4 8	*	*	*	V V V V MHz
電源条件 電源電圧、+V 無信号時電流、+V _A 消費電力		4.75	5 5 25	5.25 8 40	*	*	*	V mA mW

* 印は、ADS7861Eのグレードと同じ値であることを示します。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



絶対最大定格

アナログ入力(対AGND、任意のチャンネル入力).....	-0.3V ~ (+V _D +0.3V)
REF _{IN}	-0.3V ~ (+V _D +0.3V)
デジタル入力(対DGND).....	-0.3V ~ (+V _D +0.3V)
グラウンド電圧の差: AGND、DGND.....	±0.3V
+V _D ~ AGND.....	-0.3V ~ +6V
消費電力.....	325mW
最大接合部温度.....	+150
動作温度範囲.....	-40 ~ +85
保存温度範囲.....	-65 ~ +150
リード温度(10秒間の半田付け).....	+300

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン構成

ピン	記号	説明
1	DGND	デジタル・グラウンド。アナログ・グラウンド(ピン12)に直接接続する。
2	CH B1+	非反転入力チャンネルB1
3	CH B1-	反転入力チャンネルB1
4	CH B0+	非反転入力チャンネルB0
5	CH B0-	反転入力チャンネルB0
6	CH A1+	非反転入力チャンネルA1
7	CH A1-	反転入力チャンネルA1
8	CH A0+	非反転入力チャンネルA0
9	CH A0-	反転入力チャンネルA0
10	REF _{IN}	リファレンス入力
11	REF _{OUT}	2.5Vリファレンス出力
12	AGND	アナログ・グラウンド。デジタル・グラウンド(ピン1)に直接接続する。
13	+V _A	アナログ電源。+5VDC。デジタル電源(ピン24)に直接接続する。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサでアナログ・グラウンドにデカップリングする。
14	M1	シリアル出力を選択する。M1が“ロー”のとき、シリアル出力Aとシリアル出力Bの両方がデータ転送用に選択される。M1が“ハイ”のとき、シリアル出力AがチャンネルAのデータとチャンネルBのデータの両用に構成され、シリアル出力Bがトライステート(ハイ・インピーダンス)になる。
15	M0	2チャンネル動作または4チャンネル動作を選択する。M0が“ロー”のとき、2チャンネル動作が選択され、A0と連携して機能する。A0が“ハイ”のとき、チャンネルA1とチャンネルB1が変換される。A0が“ロー”のとき、チャンネルA0とチャンネルB0が変換される。M0が“ハイ”のとき、4チャンネル動作が選択される。このモードでは、最初にチャンネルA0とB0、次にチャンネルA1とB1の順に4チャンネルすべてが変換される。
16	A0	A0はM0と連携して機能する。M0が“ロー”でA0が“ハイ”のとき、チャンネルA1とチャンネルB1が変換される。M0が“ロー”でA0が“ロー”のとき、チャンネルA0とチャンネルB0が変換される。
17	CONVST	変換開始。CONVSTが“ロー”から“ハイ”へ切り替わると、外部クロックのステータスとは独立にデバイスがサンプル・モードからホールド・モードへ切り替わる。
18	RD	シリアル出力の同期パルス
19	CS	チップ・セレクト。“ロー”のとき、シリアル出力Aとシリアル出力Bの出力がアクティブになる。“ハイ”のとき、シリアル出力がトライステートになる。
20	CLOCK	CMOSコンパチブルの外部クロックをCLOCK入力に印加することにより変換プロセスを外部ソースと同期させることができる。CLOCKピンは、CLOCK = 16 • f _{SAMPLE} の式によりサンプリング・レートを制御する。
21	BUSY	BUSYは変換時に“ハイ”になり、3番目のLSBがシリアルAまたはシリアルBのいずれかの出力ピンに送られた後“ロー”に戻る。
22	SERIAL DATA B	シリアル出力のデータ・ワードはチャンネル情報と12ビットのデータから構成される。動作中、データは、RDの立ち下がりがエッジの後、CLOCKの立ち下がりがエッジの16のエッジで有効になる。
23	SERIAL DATA A	シリアル出力のデータ・ワードはチャンネル情報と12ビットのデータから構成される。動作中、データは、RDの立ち下がりがエッジの後、CLOCKの立ち下がりがエッジの16のエッジで有効になる。M1が“ハイ”のとき、チャンネルAとチャンネルBの両方のデータが出力される。
24	+V _D	デジタル電源。+5VDC。ピン13に直接接続する。≤+V _A でなければならない。

パッケージ情報/ご発注の手引き

モデル	最小相対精度 (LSB)	最大ゲイン 誤差 (%)	仕様温度範囲	パッケージ	パッケージ 図番号 ⁽¹⁾	発注番号 ⁽²⁾	供給時の状態
ADS7861E	±2	±0.75	-40 ~ +85	24ピンSSOP	352	ADS7861E	マガジン
ADS7861E	±2	±0.75	-40 ~ +85	24ピンSSOP	352	ADS7861E/2K5	テープリール
ADS7861EB	±1	±0.5	-40 ~ +85	24ピンSSOP	352	ADS7861EB	マガジン
ADS7861EB	±1	±0.5	-40 ~ +85	24ピンSSOP	352	ADS7861EB/2K5	テープリール

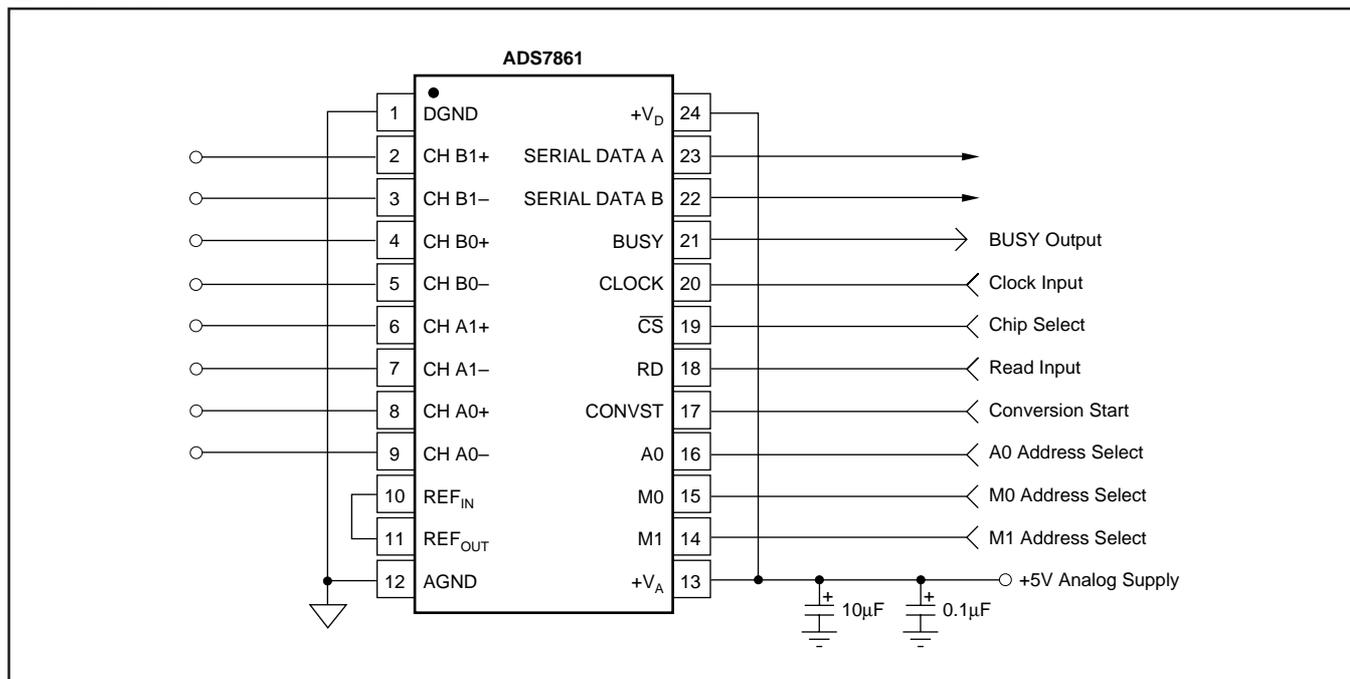
注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) スラッシュ(/)が付記されたモデルは、表示数量のテープリールでのみ供給されます(例えば、/2K5はリール1本あたり2,000個入りのデバイスであることを示します)。“ADS7861E/2K5”を発注すると、2,500個入りテープリール1本が納品されます。

真理値表

M0	M1	A0	2チャンネル/4チャンネル動作	シリアル出力のデータ	変換されるチャンネル
0	0	0	2チャンネル	AとB	A0、B0
0	0	1	2チャンネル	AとB	A1、B1
0	1	0	2チャンネル	Aのみ	A0、B0
0	1	1	2チャンネル	Aのみ	A1、B1
1	0	X	4チャンネル	AとB	順次
1	1	X	4チャンネル	Aのみ	順次

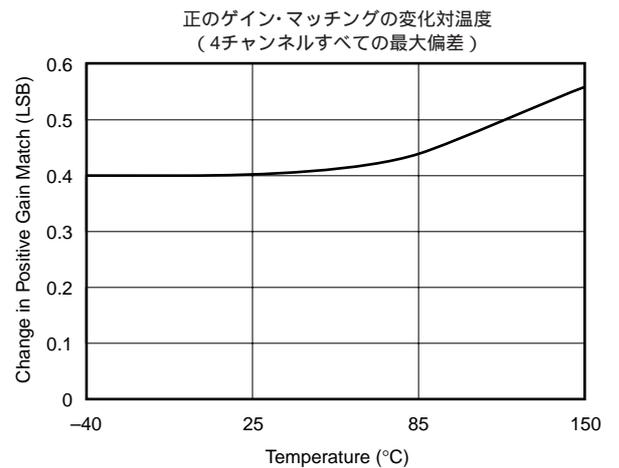
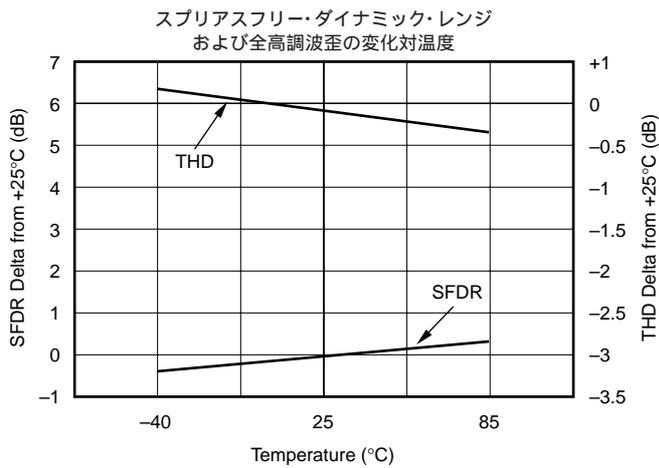
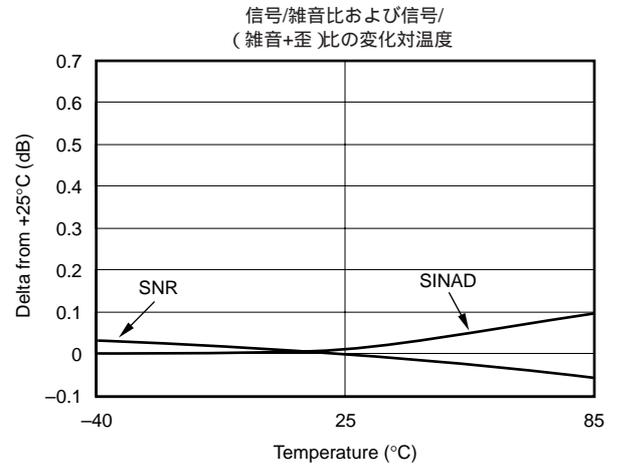
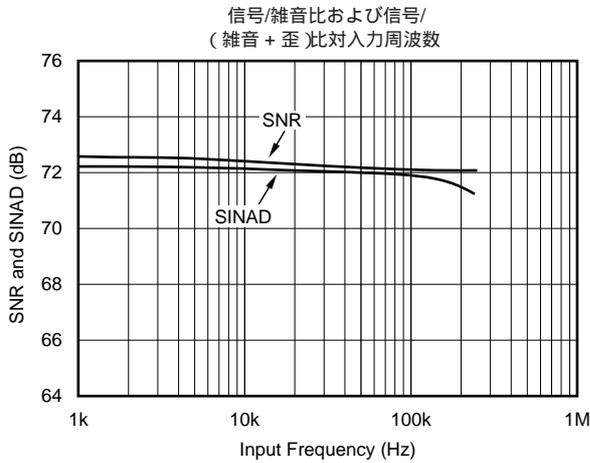
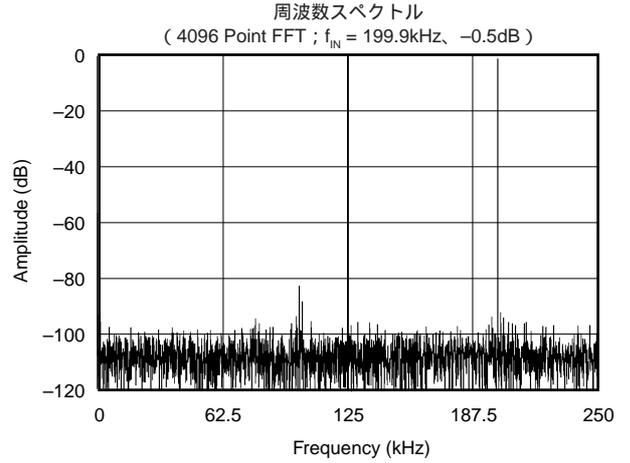
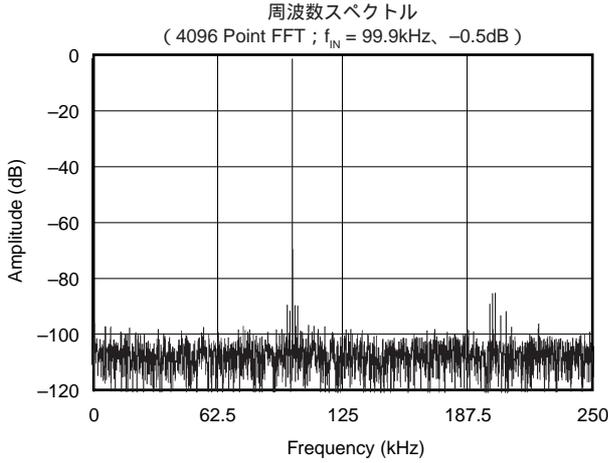
X = 無視

基本回路構成



代表的性能曲線

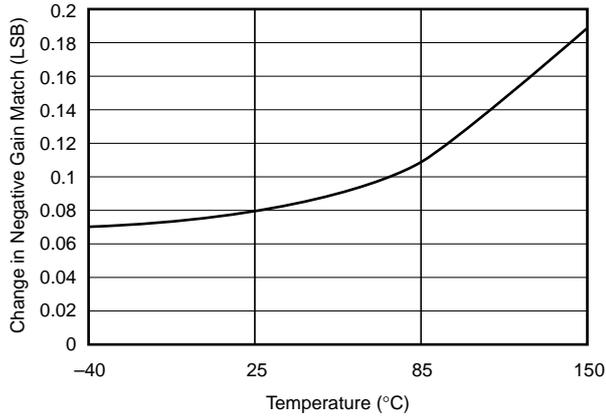
特に記述のない限り、 $T_A = +25$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。



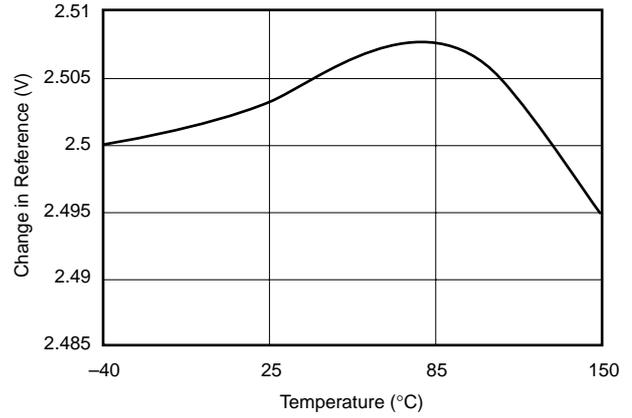
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。

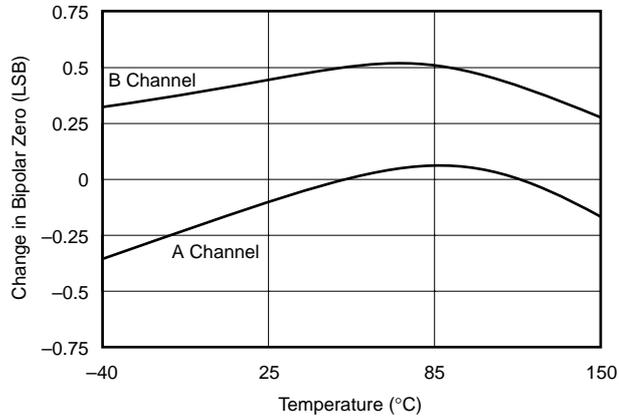
負のゲイン・マッチングの変化対温度
(4チャンネルすべての最大偏差)



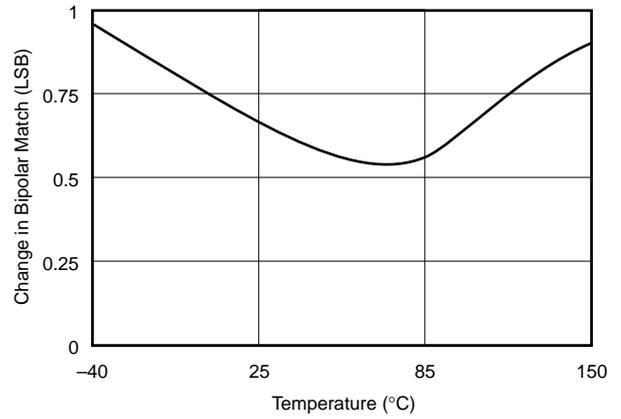
リファレンス電圧の変化対温度



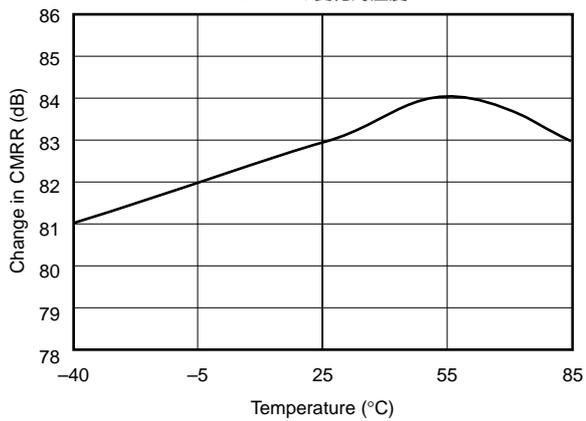
バイポーラ・ゼロの変化対温度



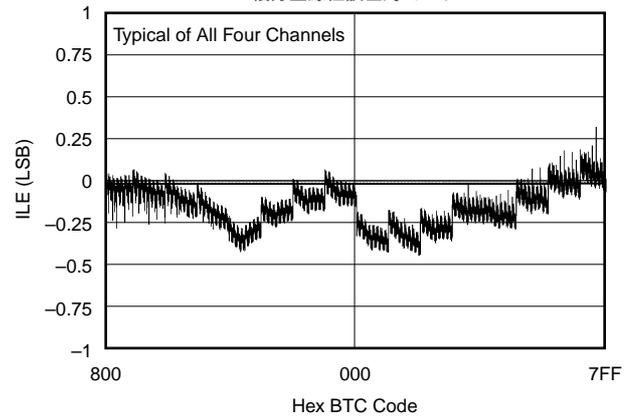
バイポーラ・ゼロ・マッチングの変化対温度



CMRRの変化対温度

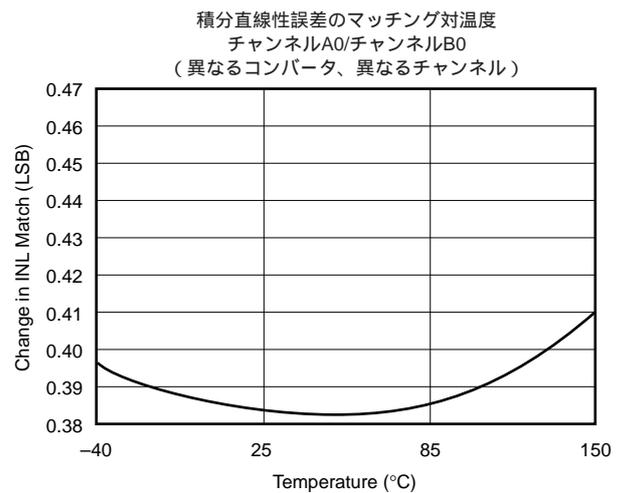
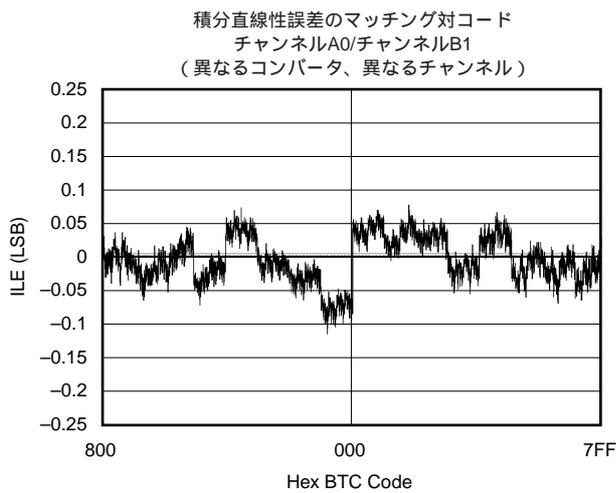
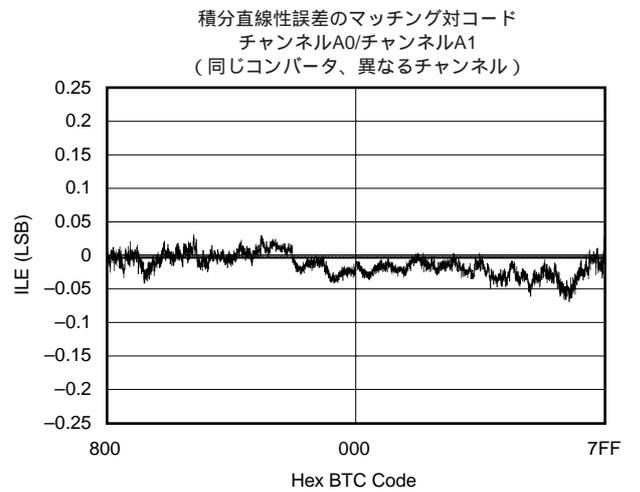
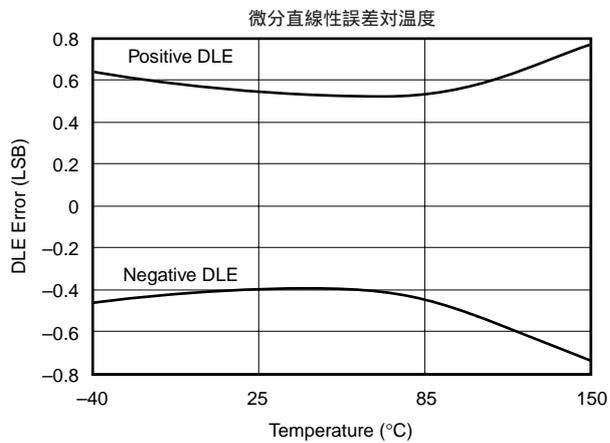
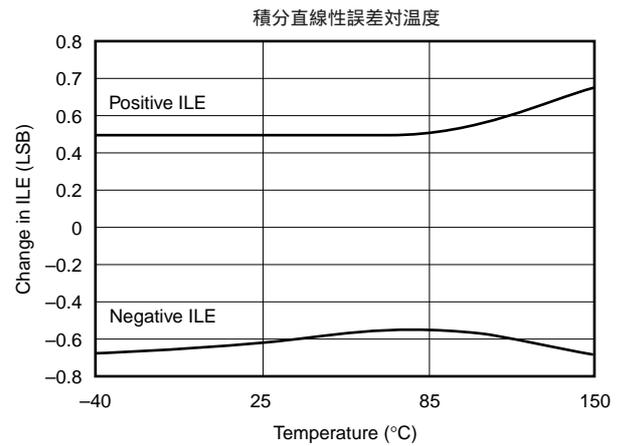
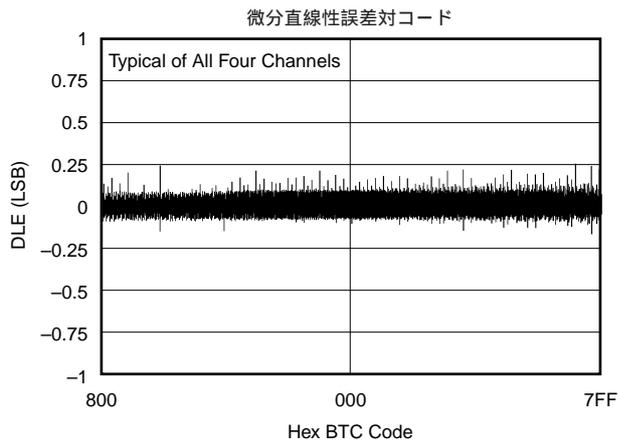


積分直線性誤差対コード



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $+V_A = +V_D = +5V$ 、 $V_{REF} = +2.5V$ 内部リファレンス、 $f_{CLK} = 8MHz$ 、 $f_{SAMPLE} = 500kHz$ です。



はじめに

ADS7861は、+5V単一電源で動作する高速で低消費電力なデュアル・タイプの12ビットA/Dコンバータです。入力チャンネルは完全な差動で、同相モード除去の標準値は80dBです。ADS7861は、デュアルの2 μ s逐次比較型ADC、2つの差動サンプル/ホールド・アンプ、+2.5V内部リファレンスとREF_{IN}およびREF_{OUT}ピン、高速なパラレル・インターフェースを内蔵しています。ADS7861には外部クロックが必要です。最大スループットの500kHzを達成するには、マスター・クロックを8MHzに設定します。12ビットの各変換に、少なくとも16のクロック・サイクルが必要です。

2組のチャンネル(AとB)に分かれた4つのアナログ入力があります。チャンネルの選択は、M0(ピン14)、M1(ピン15)およびA0ピン(ピン16)で制御します。各チャンネルの2つの入力(A0とA1、B0とB1)を同時にサンプリングして変換できるため、両方のアナログ入力の信号の相対的な位相情報が保存されます。アナログ入力には、+2.5V内部リファレンスを中心とする $-V_{REF}$ から $+V_{REF}$ までの電圧を入力することができます。フロント・エンドにレベル・シフト回路を使用して、バイポーラ電圧を入力することもできます(図7を参照)。

CONVSTピンを15ns以上「ハイ」にすることにより、ADS7861のすべての変換が開始されます。CONVSTを「ハイ」にすると、両方のサンプル/ホールド・アンプが同時にホールド状態になり、両方のチャンネルで変換プロセスが開始されます。動作を簡単にするため、RDピン(ピン18)をCONVSTに接続することもできます。ADS7861は、M0、M1、およびA0ピンのステータスに応じて、(a)2チャンネルまたは4チャンネル・モードで動作し、(b)シリアルAとシリアルBの両方の出力からデータを送信するか、またはA出力のみから両方のチャンネルのデータを送信します。

注：詳細については、「タイミングおよび制御」の項を参照して下さい。

サンプル/ホールド部

ADS7861のサンプル/ホールド・アンプにより、ADCはフルスケール振幅の入力正弦波を12ビットの精度まで正確に変換することができます。サンプル/ホールドの入力帯域幅は、ADCが500kHzの最大スループット・レートで動作するときも、ADCのナイキスト・レート(ナイキストはサンプリング・レートの1/2)より高くなっています。サンプル/ホールド・アンプの小信号帯域幅の標準値は40MHzです。

標準的なアパーチャ遅延時間、またはCONVSTパルス後にサンプル・モードからホールド・モードへ切り替えるためにADS7861が必要とする時間は、3.5nsです。反復されたアパーチャ遅延の値の平均デルタは、標準値で50psです(アパーチャ・ジッタとも呼びます)。これらの仕様は、AC入力信号を同時に正確にキャプチャするADS7861の能力を反映しています。

リファレンス

通常動作では、REF_{OUT}ピン(ピン2)をREF_{IN}ピン(ピン1)に直接接続してADS7861に+2.5Vの内部リファレンスを供給します。一方、1.2Vから2.6Vまでの外部リファレンスを使用して(対応するフルスケール・レンジは2.4Vから5.2Vまで)ADS7861を動作させることもできます。

ADS7861の内部リファレンスはダブル・バッファリングされます。内部リファレンスを使用して外部負荷をドライブする場合、リファレンスとピン2の負荷の間のバッファが使用されず(内部リファレンスは標準で2mAの電流をソースし、負荷のキャパシタンスが100pFを超えないことが必要です)、外部リファレンスを使用する場合は、2番目のバッファによって外部リファレンスとCDACが分離されます。このバッファは、変換中に両方のCDACのすべてのキャパシタを再充電する目的にも使用されます。

アナログ入力

アナログ入力はバイポーラで完全な差動です。ADS7861のアナログ入力をドライブする一般的な方法として、シングルエンドと差動の2つがあります(図1および図2を参照)。入力がシングルエンドのとき、-IN入力は同相モード電圧に保持されます。+IN入力は同じ同相モード電圧を中心にシングリングし、ピーク・ツー・ピークの振幅は(同相モード $+V_{REF}$)から(同相モード $-V_{REF}$)までになります。 V_{REF} の値によって、同相モード電圧の変動する範囲が決まります(図3を参照)。

入力が差動のとき、入力の振幅は+INおよび-IN入力の差の(+IN)-(−IN)になります。各入力のピーク・ツー・ピークの振幅は、この同相モード電圧を中心とする $\pm 1/2V_{REF}$ です。ただし、入力の位相が180度ずれているため、差動電圧のピーク・ツー・ピークの振幅は $+V_{REF}$ から $-V_{REF}$ までになります。 V_{REF} の値によって、両方の入力に共通の電圧の範囲も決まります(図4を参照)。

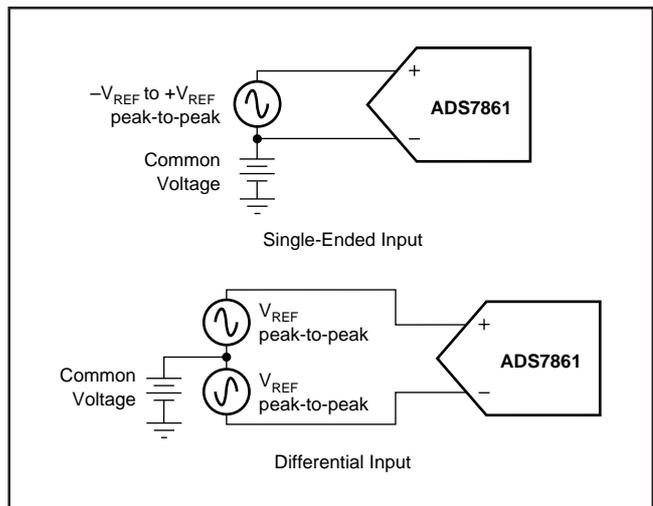


図1. ADS7861をシングルエンドまたは差動でドライブする方法

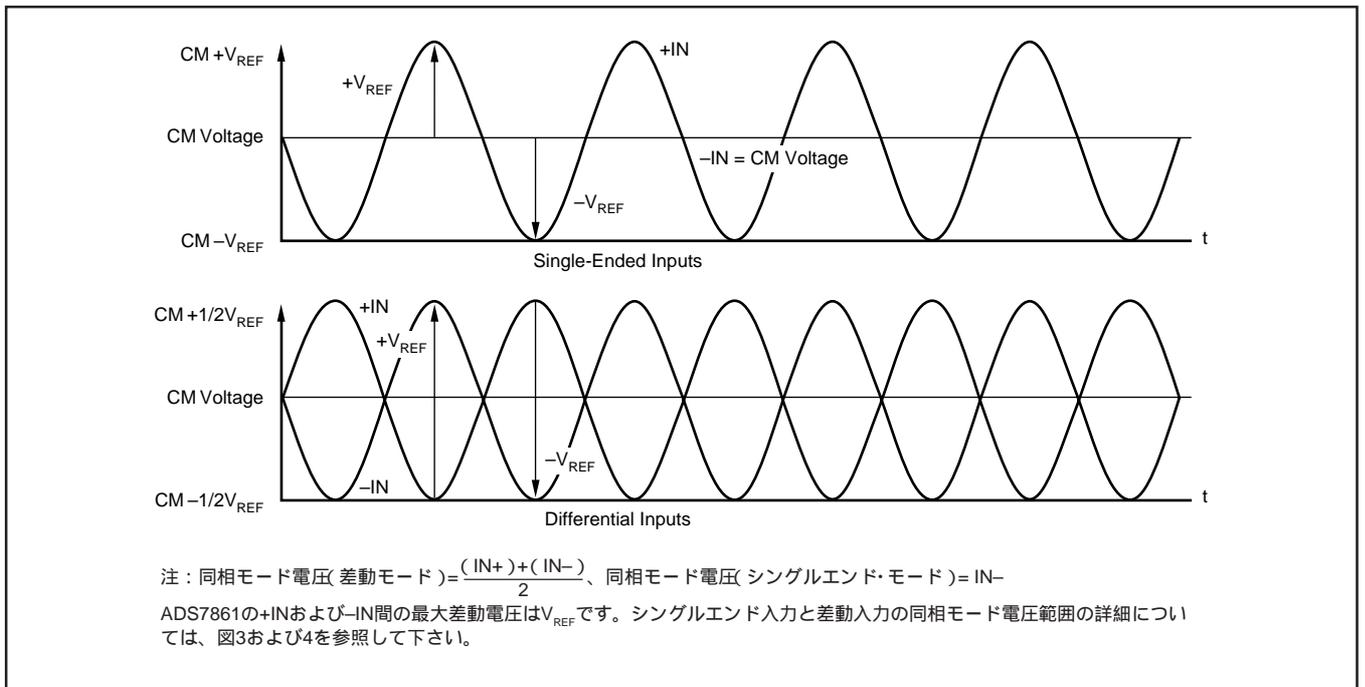


図2. シングルエンド入力および差動入力モードでのADS7861の使用

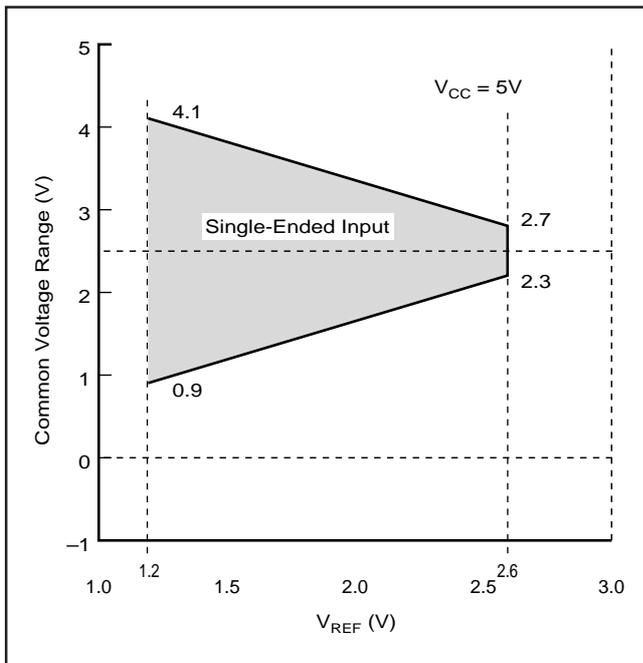


図3. シングルエンド入力：同相モード電圧範囲対 V_{REF}

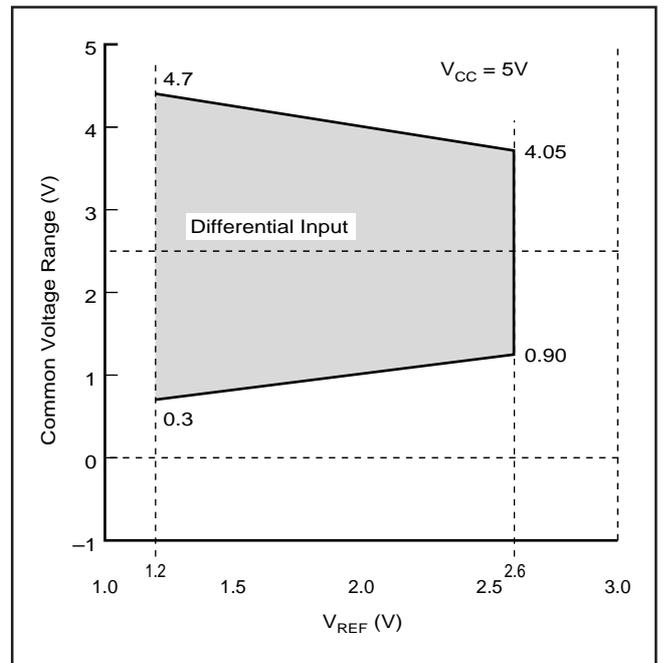


図4. 差動入力：同相モード電圧範囲対 V_{REF}

いずれの場合も、+INおよび-IN入力をドライブするソースの出力インピーダンスがマッチングするように注意が必要です。マッチングしない場合は、温度や入力電圧とともに変化するオフセット誤差、ゲイン誤差、および直線性誤差の原因になります。アナログ入力の入力電流は、サンプリング・レート、入力電圧、ソース・インピーダンスなど、多数の要因に依存します。ADS7861に流れ込む電流は、サンプリング周期の間に内部キャパシタ・アレイを充電します。このキャパシタンスが完全に充電さ

れた後、入力電流は流れなくなります。アナログ入力電圧のソースは、入力キャパシタンス(15pF)を2クロック・サイクル以内に12ビットのセトリング・レベルまで充電できることが必要です。コンバータがホールド・モードに移行すると、入力インピーダンスは1GΩより大きくなります。

絶対アナログ入力電圧については注意が必要です。+IN入力は、常にGND -300mVから $V_{DD} + 0.3V$ までの範囲に保持する必要があります。

トランジション・ノイズ

図5に、ADS7861でDC入力での8,000回の変換を実行したときのヒストグラムを示します。DC入力を出力コード2046に設定しています。1回の変換を除くすべての変換で、出力コード2046の結果が得られます(1回の変換の出力結果は2047)。ヒストグラムは、ADS7861の優れたノイズ性能を示しています。

バイポーラ入力

ADS7861の差動入力は、内部リファレンス電圧(2.5V)を中心とする $-V_{REF}$ および $+V_{REF}$ のバイポーラ入力(2.5Vリファレンスの場合、0Vから5Vまでの入力範囲)を使用できるように設計されています。1個のアンプと4個の外部抵抗からなる簡単なオペアンプ回路を使用して、ADS7861をバイポーラ入力に構成することができます。図7に示す抵抗値の使用により、一般的な $\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ の入力範囲とADS7861のインターフェースが可能です。

タイミングおよび制御

ADS7861の動作は、アドレス・ピンM0(ピン14)、M1(ピン15)およびA0(ピン16)を使用して4種類のモードに構成できます。

M0ピンで2チャンネル動作または4チャンネル動作を選択します。(2チャンネル動作では、A0ピンでチャンネル0または1を選択

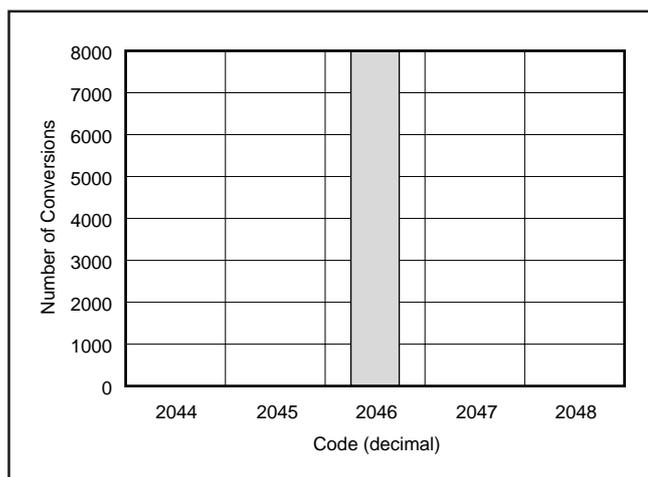


図5. DC入力での8,000回の変換のヒストグラム

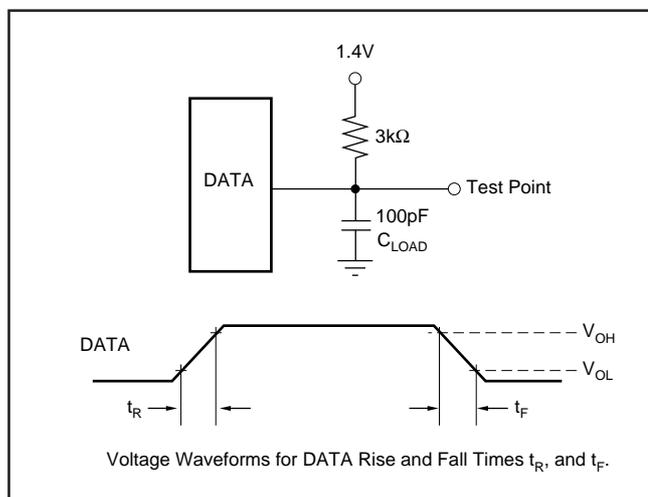


図6. タイミング仕様のテスト回路

説明	アナログ入力	デジタル出力 バイナリ2の補数	
		バイナリ・コード	16進コード
フルスケール入力スパン	$-V_{REF} \sim +V_{REF}^{(1)}$		
最下位ビット(LSB)	$(-V_{REF} \sim +V_{REF})/4096^{(2)}$		
+フルスケール	4.99878V	0111 1111 1111	7FF
ミッドスケール	2.5V	0000 0000 0000	000
ミッドスケール-1LSB	2.49878V	1111 1111 1111	FFF
-フルスケール	0V	1000 0000 0000	800

注:(1) V_{REF} を中心とする $-V_{REF}$ から $+V_{REF}$ まで。2.5Vリファレンスの場合、入力スパンは0Vから5Vまでになる。(2) $2.5V$ リファレンスの場合、1.22mV。

表1. 理想的な入力電圧と出力コード

します。4チャンネル動作では、A0ピンが無視され、変換後に自動的にチャンネルが切り替えられます。)M1ピンで、シリアルAデータ出力(ピン23)とシリアルBデータ出力(ピン22)の両方から同時にシリアルデータを送信するか、またはシリアルAポートから両方のチャンネルのデータを出力するかを選択します。A0ピンでチャンネル0またはチャンネル1を選択します(詳細については、「ピン構成」および「シリアル出力の真値表」を参照)。

次の4つのセクションで、4種類の動作モードについて説明します。

モード(M0 = 0、M1 = 0)

M0およびM1ピンを両方とも0に設定した場合、ADS7861は2チャンネルで動作します(チャンネルAとチャンネルBの切り替えにはA0ピンを使用します)。変換は、CONVSTを15ns以上「ハイ」にすることにより開始されます。外部クロックの立ち上がりエッジの少なくとも10ns前または5ns後にCONVSTを「ハイ」にすることが非常に重要です。この「窓」の内側でCONVSTを「ハイ」にした場合、ADS7861が変換を開始するタイミングが不確定になります(詳細については、図8を参照)。1回の変換を実行するには16クロック・サイクルが必要です。ADS7861は、CONVSTが「ハイ」に切り替わった直後に、外部クロックと非同期にサンプル・モードからホールド・モードへ切り替わります。次に、BUSY出力ピンが「ハイ」になり、変換サイクルの間「ハイ」に保持されます。ADS7861は、外部クロックの最初のサイクルの立ち下がりエッジでA0ピンのステータスに応じて次の変換サイクルのアドレスを

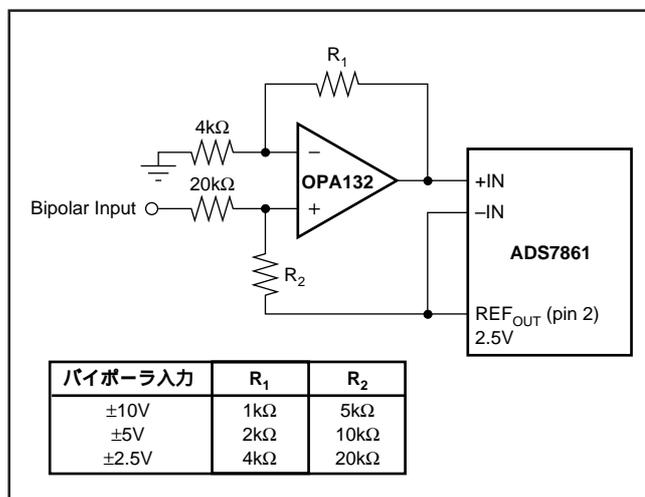


図7. バイポーラ入力レンジのレベル・シフト回路

ラッチします(“ハイ”=チャンネル1、“ロー”=チャンネル0)。アドレスは、外部クロックのサイクル1の立ち下がりエッジの15ns前に選択し、クロック・エッジの後、15ns間ホールドしておくことが必要です。スループット時間を最大にするには、CONVSTピンとRDピンを接続します。2つのシリアル出力をイネーブルするにはCSを“ロー”にすることが必要です。データは、各変換の16ク

ロック・サイクルすべての立ち上がりエッジで有効になります。データの最初のビットは、チャンネル0または1のステータス・フラグです。2番目のビットは、チャンネルAまたはBのステータス・フラグです。この後にMSBからLSBまでのデータおよび2つのゼロが続きます(表、図9、図10を参照)。

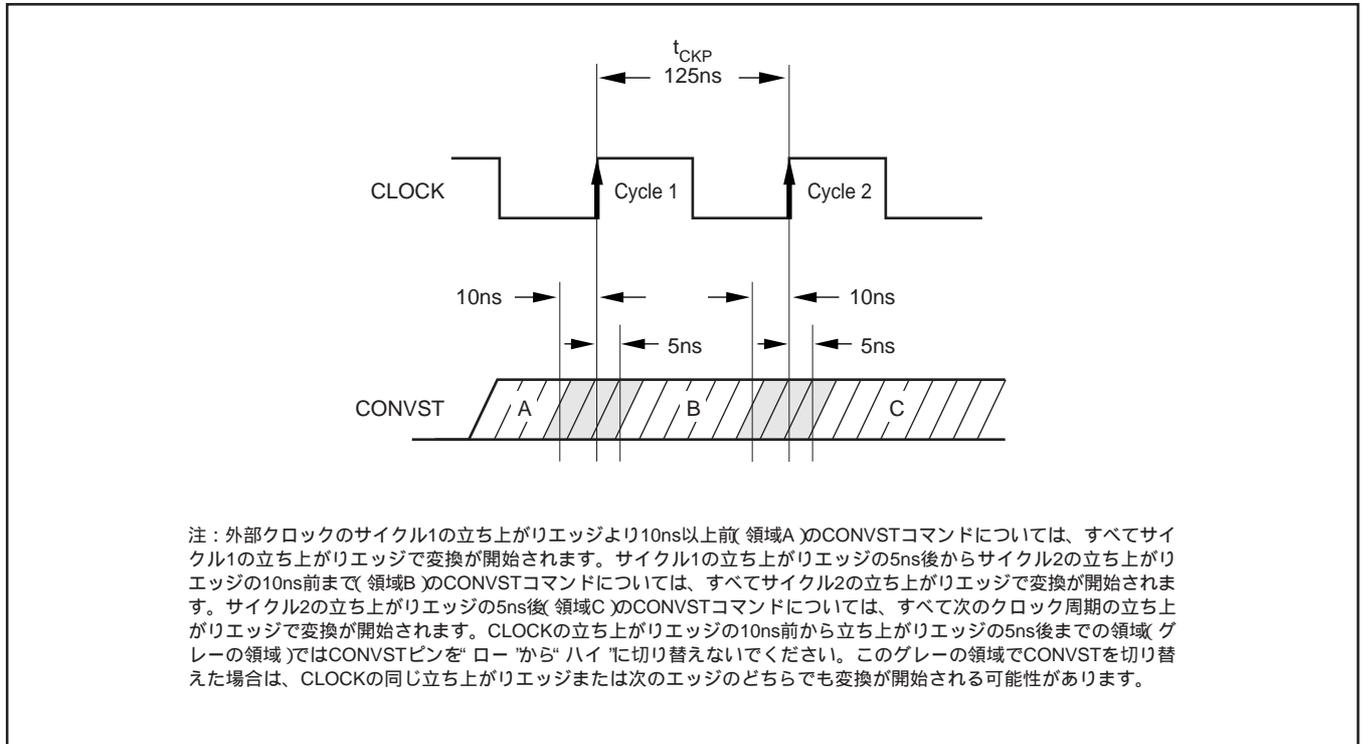


図8. 変換モード

タイミング仕様

記号	説明	最小	標準	最大	単位	備考
t_{CONV}	変換時間	1.75			μ s	$t_{CKP} = 125ns$ のとき
t_{ACQ}	アキュイジション時間	0.25			μ s	$t_{CKP} = 125ns$ のとき
t_{CKP}	クロック周期	125		5000	ns	
t_{CKL}	クロック“ロー”	40			ns	
t_{CKH}	クロック“ハイ”	40			ns	
t_F	DOUT立ち下がり時間			25	ns	
t_R	DOUT立ち上がり時間			30	ns	
t_1	CONVST“ハイ”	15			ns	
t_2	アドレス・セットアップ時間	15			ns	アドレスはクロック・サイクル2の立ち下がりエッジでラッチされる
t_3	アドレス・ホールド時間	15			ns	
t_4	RDセットアップ時間	15			ns	CLOCKの立ち下がりエッジの前
t_5	RDからCSまでのホールド時間	15			ns	CLOCKの立ち下がりエッジの後
t_6	CONVST“ロー”	20			ns	
t_7	RD“ロー”	20			ns	
t_8	CSからデータ有効まで			25	ns	
t_9	CLOCKからデータ有効までの遅延			30	ns	CLOCKの立ち上がりエッジの後の最大遅延
t_{10}	CLOCK後のデータ有効 ¹⁾			1	ns	CLOCKの2番目の立ち上がりエッジの後データが有効な時間

注：(1) $n-1$ のデータは次のクロック・サイクルの立ち上がりエッジ後1ns有効に保持されます。

クロック・サイクル	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
シリアルデータ	CH0またはCH1	CHAまたはCHB	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	0	0

表 . シリアルデータの出力フォーマット

モード (M0 = 0、M1 = 1)

M1を1に設定すると、ADS7861はシリアルデータAピンにのみデータを出力します。M1が「ハイ」になってから最初の変換の後、シリアルデータB出力がトライステート(ハイ・インピーダンス)になることを除いて、他のピンはすべてモードIと同様に機能します。このモードのもう一つの違いはCONVSTピンです。両方のA/Dコンバータから結果を出力するまでに(M1 = 0のときの16ではなく)2クロック・サイクルかかるため、ADS7861が両方のA/Dの変換を完了するまでには4 μ sかかります。したがって、シリアルAポートから両方のチャンネルを送信するには2回の変換サイクルが必要になり、2回目のCONVSTコマンドはADS7861によって無視されます。図11を参照して下さい。

モード (M0 = 1、M1 = 0)

M0を1に設定すると、ADS7861はチャンネル0と1を順番に切り替えます(A0ピンは無視されます)。同時に、M1を0に設定すると、両方のシリアル出力(AとB)がアクティブ・モードになります。図12を参照して下さい。

モード (M0 = 1、M1 = 1)

モード と同様、モード ではシリアルA出力ラインのみを使用してデータを送信します。M1が「ハイ」になってから最初の変換の後、シリアルB出力がトライステートになります。図13を参照して下さい。モード と同様、M1 = 1のときは常に2番目のCONVSTコマンドが無視されます。

データの読み取り

4つのタイミング図では、いずれもCONVSTピンとRDピンを接続しています。必要な場合は、2つのラインを分離することもできます。シリアル出力ピン(AとB)のデータは、RDが「ロー」になってから3番目の外部クロック・サイクルの後に有効になります。データ出力フォーマットについては、表 を参照して下さい。

レイアウト

最適な性能を確保するためには、ADS7861の回路レイアウトに注意することが必要です。クロック入力が最大スループット・レートに近い場合には特に重要です。

基本的なSARアーキテクチャは、電源、リファレンス、グランド、およびデジタル入力の各端子でアナログ・コンバータ出力をラッチする直前に発生するグリッチに敏感です。したがって、nビットのSARコンバータの1回の変換には、変換結果が大きな外部過渡電圧に影響される可能性があるn個の「窓」が存在します。このようなグリッチは、スイッチング電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および正確な外部イベントのタイミングに依存します。外部イベントとクロック入力のタイミングが変化する場合、誤差が変動します。

このことを考慮して、ADS7861にはクリーンな電源を使用し、十分にバイパスすることが必要です。パッケージのできるだけ近くに0.1 μ Fのバイパス用セラミック・コンデンサを配置します。また、1 μ Fから10 μ Fのコンデンサも推奨されます。必要な場合には、雑音の多い電源のローパスフィルタとして、さらに容量の大きいコンデンサと5 Ω または10 Ω の直列抵抗を使用することができます。ADS7861は、リファレンス電圧が内部でバッファリングされるため、通常は外部リファレンスから電流をほとんど引き込みません。ただし、リファレンス入力には変換プロセスからのグリッチが発生するため、リファレンス・ソースにその対策が必要になります。内部リファレンスを使用するか外部リファレンスを使用するかにかかわらず、リファレンス入力ピンを0.1 μ Fのコンデンサでバイパスして下さい。必要な場合は、さらに容量の大きいコンデンサを追加することができます。オペアンプから外部リファレンス電圧を供給する場合は、オペアンプが発振なしにバイパス・コンデンサまたはその他のコンデンサをドライブできることを確認して下さい。内部リファレンスを使用する場合、バイパス・コンデンサは不要です(ピン10をピン11に直接接続します)。

グランド・ピンは、クリーンなグランド・ポイントに接続して下さい。多くの場合、これには「アナログ」グランドを使用します。マイクロコントローラまたはデジタル信号プロセッサのグランド・ポイントと接近しすぎた位置に接続しないで下さい。必要な場合は、コンバータから電源のエントリ・ポイントまで直接グランド・トレースを配置します。コンバータとそのアナログ回路に専用のアナログ・グランド・プレーンを設けたレイアウトが理想的です。

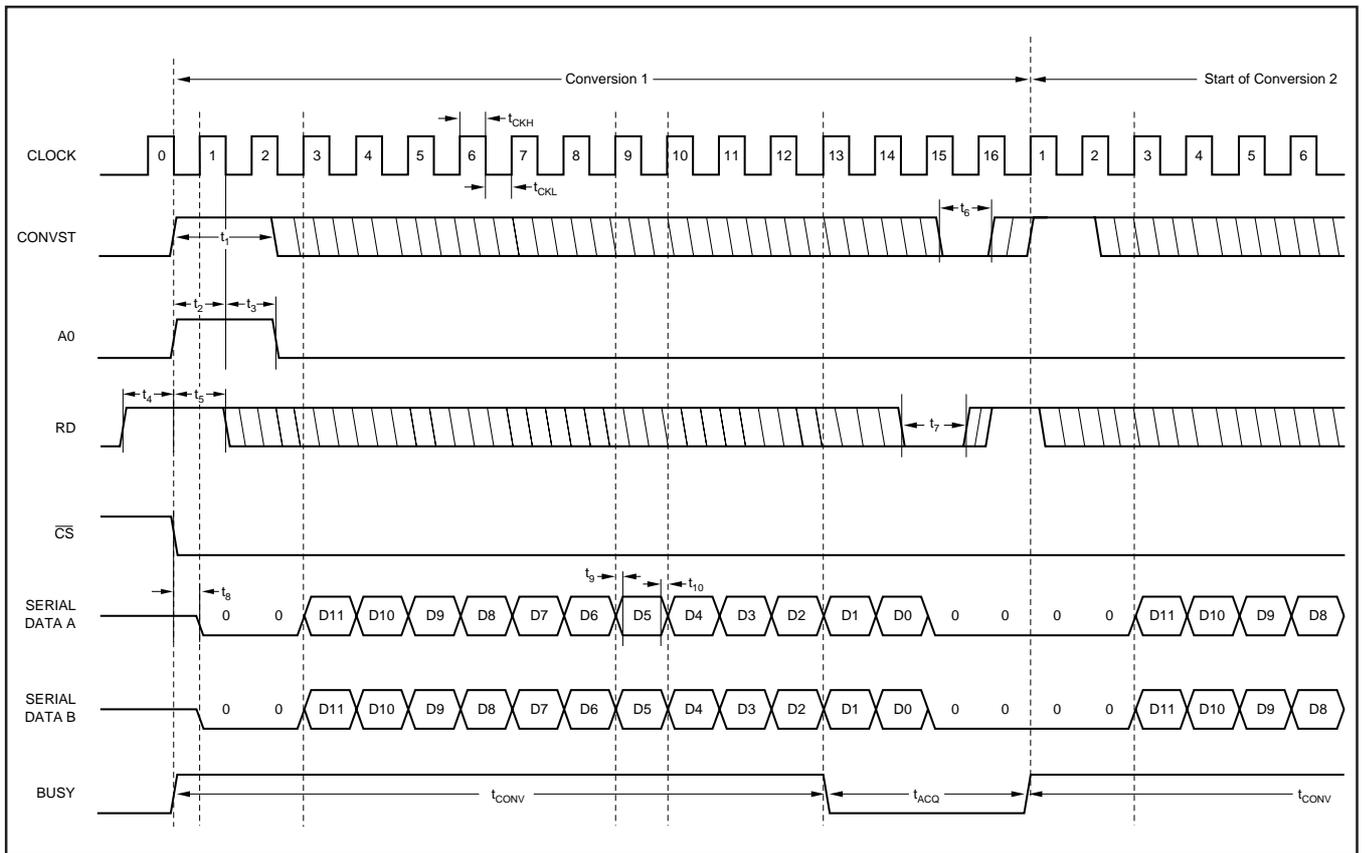


図9. モード1およびタイミング仕様

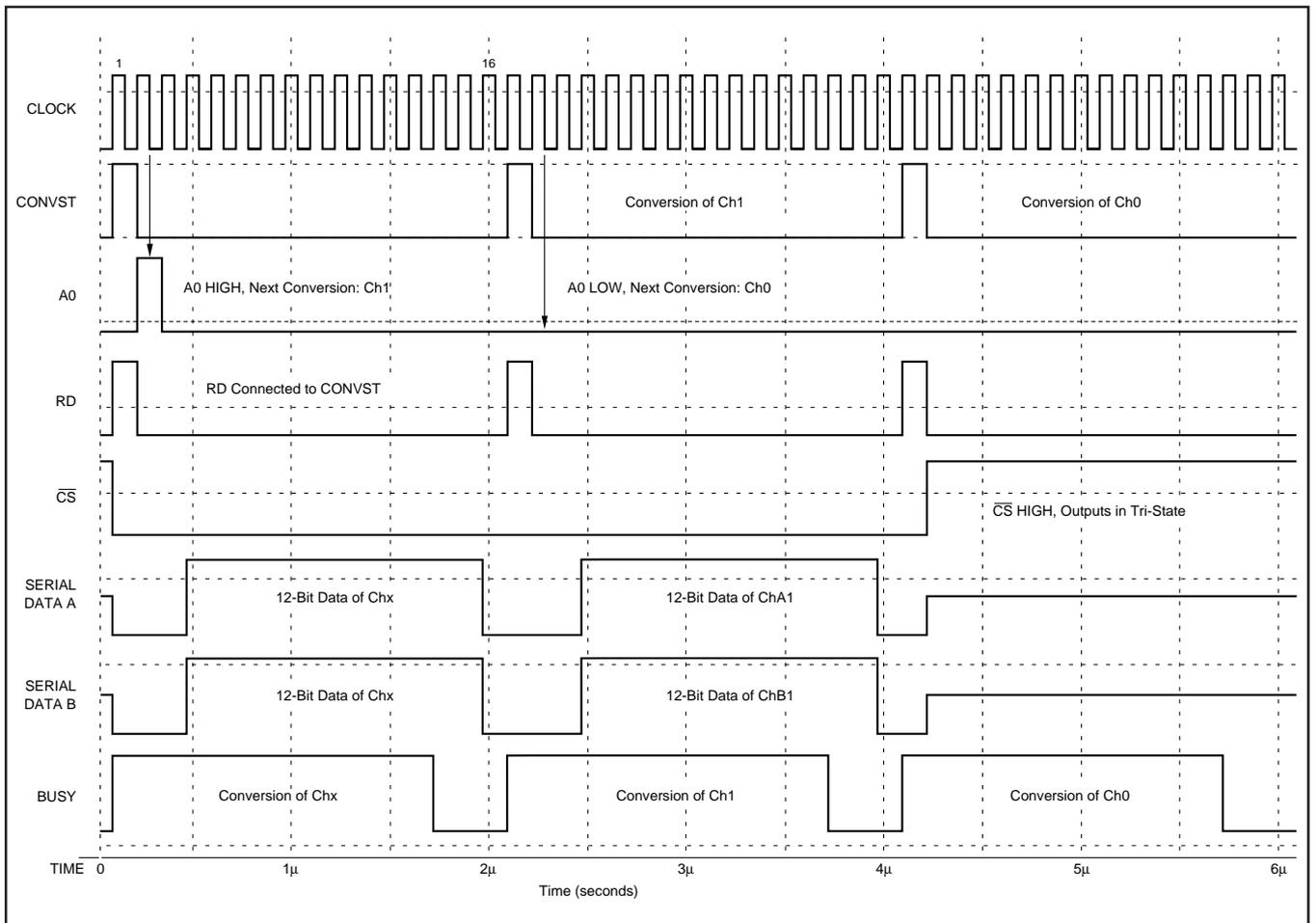


図10. モード(M0=0、M1=0)のタイミング図

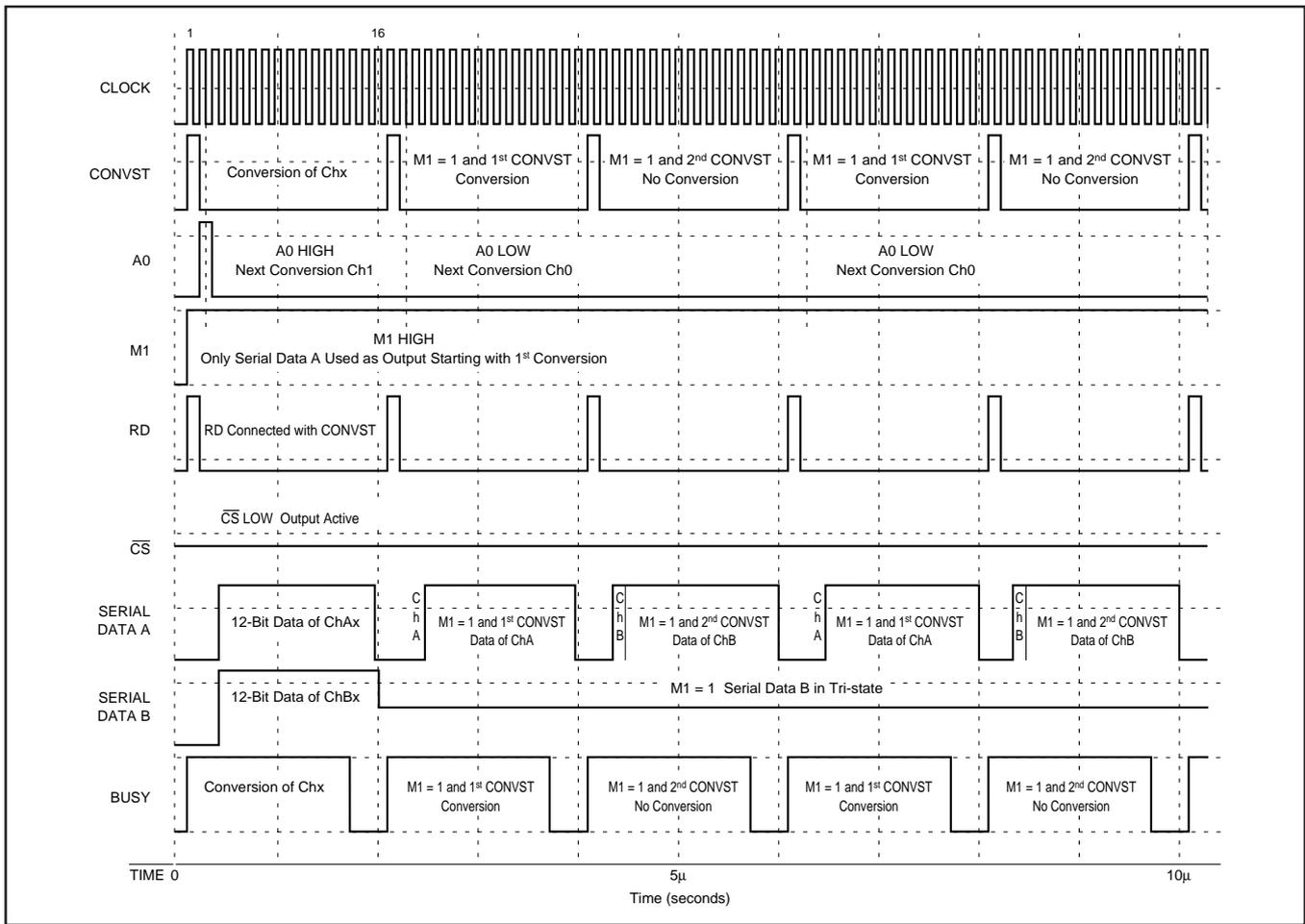


図11. モード (M0 = 0、M1 = 1) のタイミング図

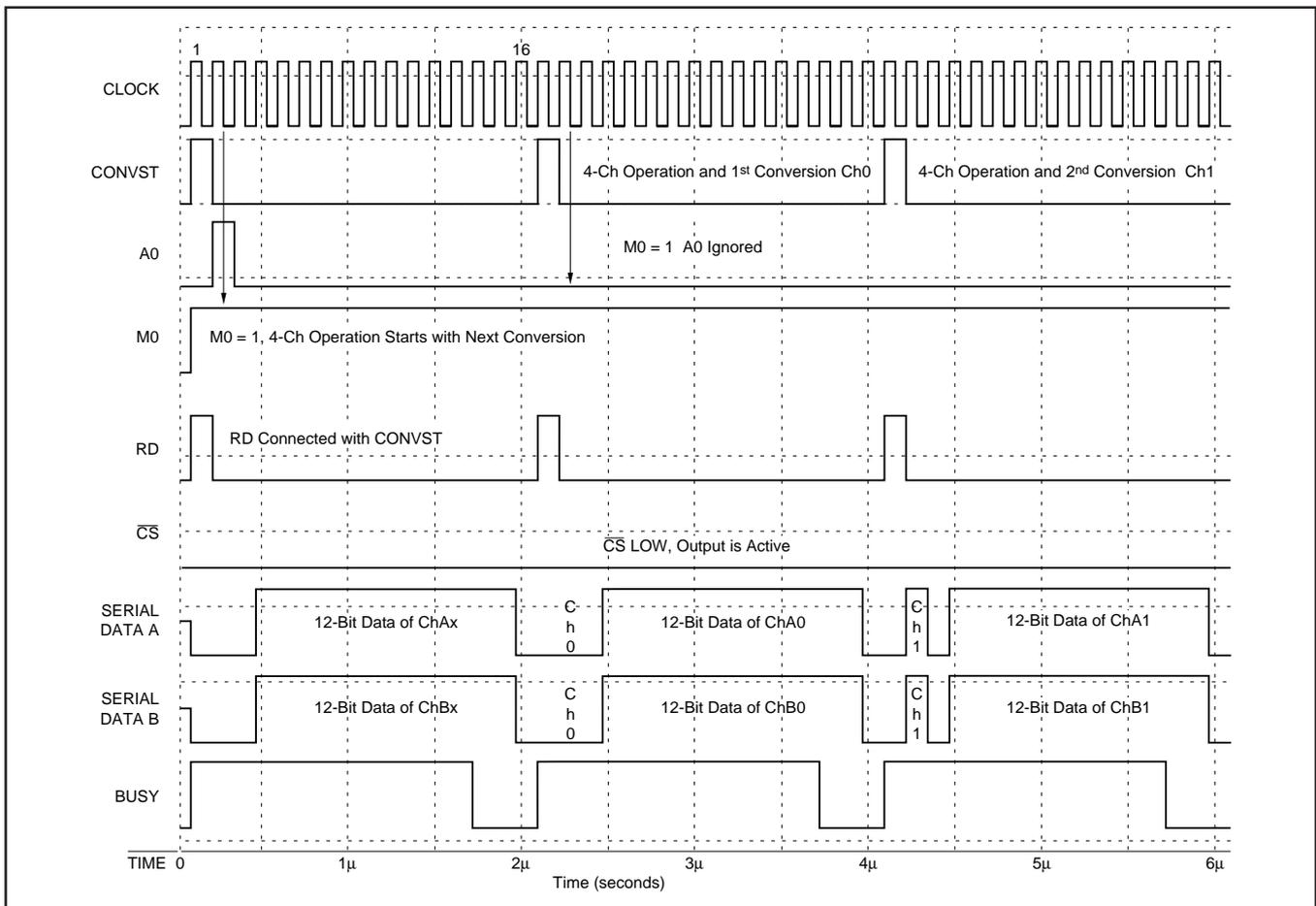


図12. モード (M0 = 1、M1 = 0) のタイミング図

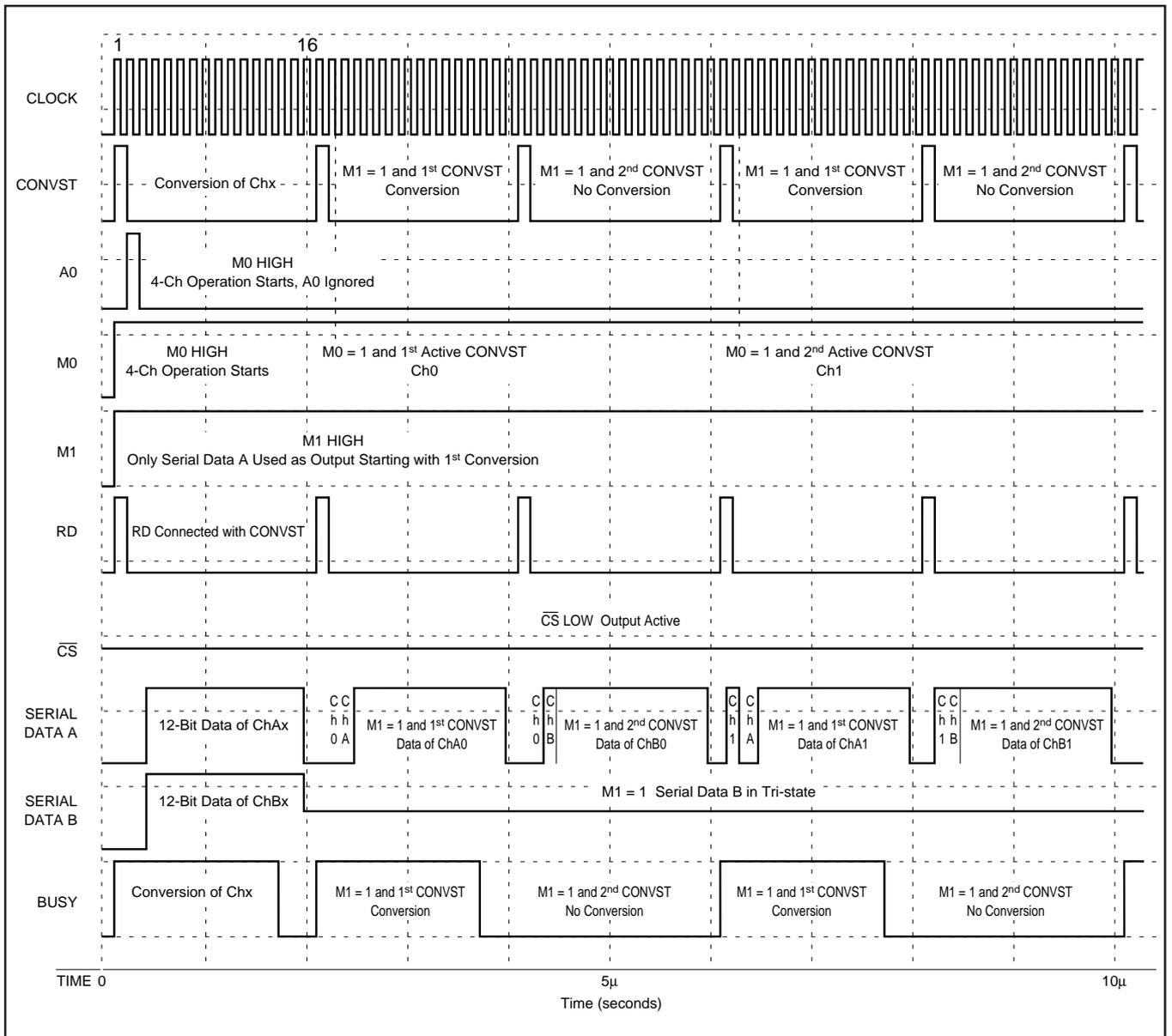
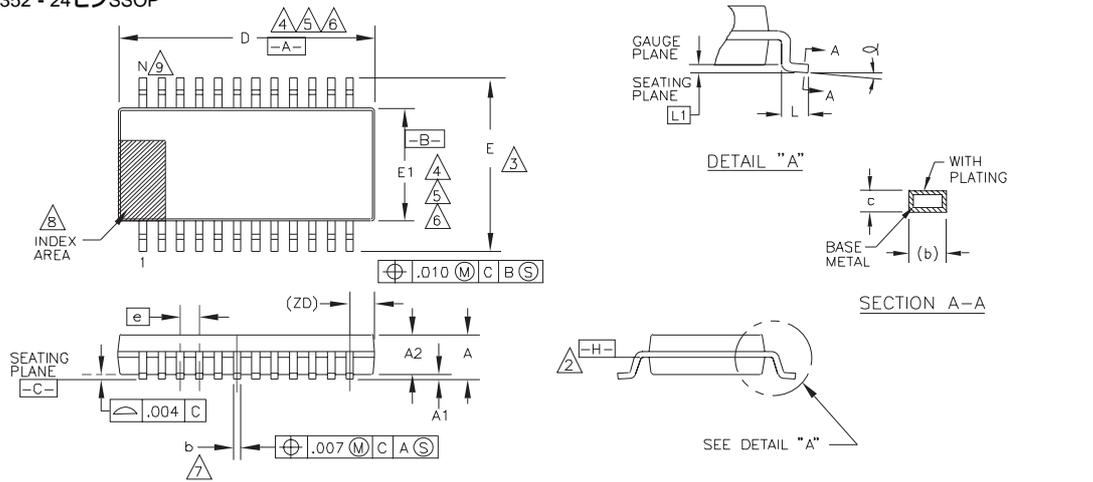


図13. モード (M0 = 1、M1 = 1) のタイミング図

外觀

パッケージ番号352 - 24ピンSSOP



DIM	INCHES		MILLIMETERS		N	DIM	INCHES		MILLIMETERS		N	NOTES:
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.		
A	.053	.069	1.35	1.75								<p>1. DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5M-1982.</p> <p>△ DATUM PLANE [H] COINCIDENT WITH BOTTOM OF LEAD, WHERE LEAD EXITS BODY.</p> <p>△ TO BE DETERMINED AT SEATING PLANE [C].</p> <p>△ DATUMS [A] AND [B] TO BE DETERMINED AT DATUM [H].</p> <p>△ DIMENSION D DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS. MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006" (0.15mm) PER SIDE.</p> <p>△ DIMENSION E1 DOES NOT INCLUDE INTERLEAD MOLD PROTRUSIONS. INTERLEAD MOLD PROTRUSIONS SHALL NOT EXCEED .010" (0.25mm) PER SIDE.</p> <p>△ TO BE DETERMINED AT PLANE [H].</p> <p>△ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .004" (0.10mm) TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .002" (0.05mm) AT LEAST MATERIAL CONDITION.</p> <p>△ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.</p> <p>△ N IS THE MAXIMUM NUMBER OF LEADS.</p>
A1	.004	.010	0.10	0.25								
A2	--	.059	--	1.50								
b	.008	.012	0.20	0.31	7							
c	.006	.010	0.15	0.25								
D	.337	.344	8.56	8.74	5.6							
E	.228	.244	5.79	6.20	3							
E1	.150	.157	3.81	3.99	5.6							
e	.025	BASIC	0.64	BASIC								
L	.016	.050	0.41	1.27								
L1	.010	BASIC	0.25	BASIC								
N	24		24		9							
ZD	.033	REF.	0.84	REF.								
α	0°	8°	0°	8°								

PACKAGE NUMBER: ZZ352 REV.: A
 JEDEC NUMBER: MO-137-AE
 WITH THE EXCEPTION OF DIM. "c"