



12ビット、8チャンネル、パラレル出力 サンプルングA/Dコンバータ

特長

- 内部リファレンス：2.5V
- 8チャンネル入力マルチプレクサ
- サンプリング・レート：500kHz
- シングル電源動作：+5V
- INLおよびDNL：±1LSB(最大)
- ノー・ミッシング・コードを保証
- SINAD：70dB
- 低消費電力：13mW
- パッケージ：32ピンTQFP

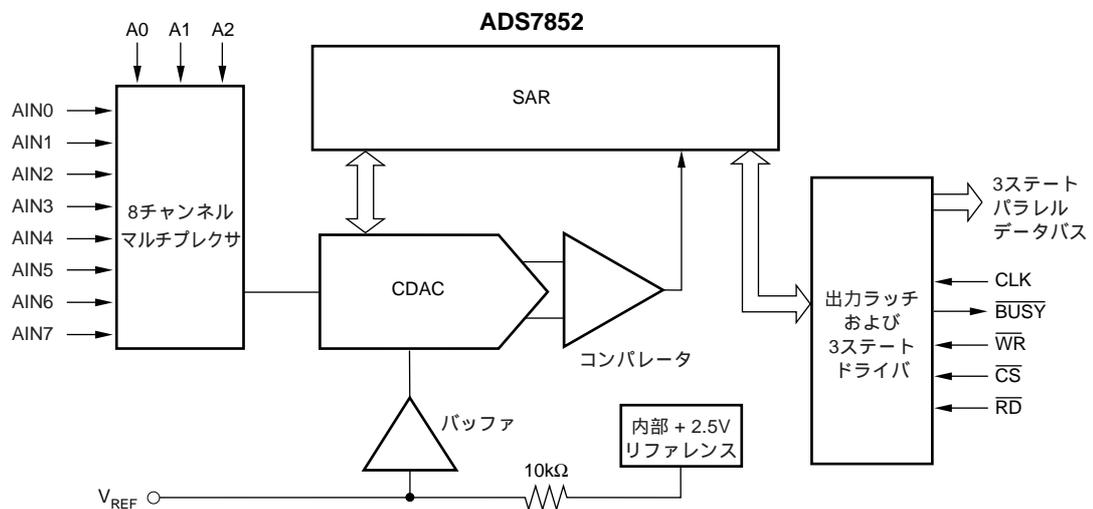
アプリケーション

- データ・アクイジション
- テストおよび計測機器
- 工業用プロセス制御
- 医療装置

概要

ADS7852は、サンプル/ホールド、2.5Vの内部リファレンス、12ビット・フルパラレル出力インターフェースなど、全機能を内蔵した8チャンネル、12ビットA/Dコンバータです。スループット・レートが500kHzのときの標準的な消費電力は13mWです。ADS7852はナップ・モードとスリープ・モードを備えており、消費電力をわずか2mWまで低減できます。入力レンジは0からリファレンス電圧の2倍までです。リファレンス電圧は外部電圧によってオーバードライブすることができます。

ADS7852は、低消費電力、小型という特長を備えているので、マルチチャンネル・アプリケーションに理想的です。医療装置、高速データ・アクイジション、実験装置などは、ADS7852の優れた特長を利用したアプリケーションのごく一部です。ADS7852は32ピンTQFPパッケージで供給され、-40 から+85 までの温度範囲で保証されています。



仕様

特に記述のない限り、 $T_A = -40 \sim +85$ 、 $f_s = 500\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_s$ 、 $V_{\text{SS}} = +5\text{V}$ 、内部リファレンスです。

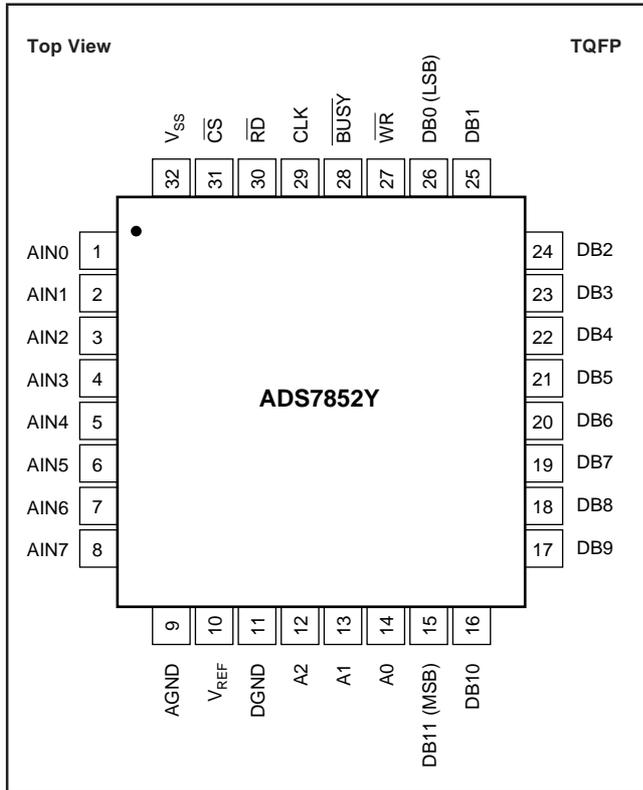
パラメータ	条件	ADS7852Y			ADS7852YB			単位
		最小	標準	最大	最小	標準	最大	
分解能				12			*	Bits
アナログ入力 入力電圧範囲 入力インピーダンス 入力容量 入力リーク電流		0	5M 15 ± 1	5	*	*	*	V Ω pF μA
DC精度 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 オフセット誤差ドリフト オフセット誤差マッチング ゲイン誤差 ⁽¹⁾ ゲイン誤差 ゲイン誤差ドリフト ゲイン誤差マッチング ノイズ 電源除去比	Ext Ref = 2.5000V 内部リファレンス ワーストケース Δ , $+V_{\text{SS}} = 5\text{V} \pm 5\%$	12	± 1 ± 2 ± 4 ± 1 ± 15 ± 25 150 1.2	± 2 ± 5 ± 1 ± 15 ± 40 ± 1	*	± 0.5 ± 1 *	± 1 * * ± 10 ± 25 * *	Bits LSB ⁽¹⁾ LSB LSB ppm/ LSB LSB LSB ppm/ LSB Vrms LSB
サンプリングのダイナミック性能 変換時間 アキュイジション時間 スループット・レート マルチプレクサ・セトリングタイム アパーチャ遅延 アパーチャ・ジッタ		1.5	500 5 30	13.5 500	*	*	*	Clk Cycles Clk Cycles kHz ns ns ps
AC精度 信号/ノイズ比 全高調波歪み ⁽³⁾ 信号(ノイズ+歪み) スプリアスフリー・ダイナミック・レンジ チャンネル間アイソレーション	$V_{\text{IN}} = 5\text{Vp-p}$ (50kHz時) $V_{\text{IN}} = 5\text{Vp-p}$ (50kHz時) $V_{\text{IN}} = 5\text{Vp-p}$ (50kHz時) $V_{\text{IN}} = 5\text{Vp-p}$ (50kHz時)	68 76	72 -74 70 74 100	-72	71 78	* -77 72 77 *	-76	dB dB dB dB dB
電圧リファレンス出力 内部リファレンス電圧 内部リファレンス・ドリフト 入力インピーダンス ソース電流 ⁽⁴⁾	$\overline{\text{CS}} = \text{GND}$ $\overline{\text{CS}} = V_{\text{SS}}$ 静的負荷	2.48	2.50 30 5 5	2.52	*	* * * *	*	V ppm/ Ω G Ω μA
電圧リファレンス入力 範囲 抵抗 ⁽⁵⁾	対内部リファレンス電圧	2.0	10	2.55	*	*	*	V k Ω
デジタル入出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{\text{IH}} = +5\mu\text{A}$ $I_{\text{IL}} = +5\mu\text{A}$ $I_{\text{OH}} = 250\mu\text{A}$ $I_{\text{OL}} = 250\mu\text{A}$ ストレート・バイナリ	3 -0.3 3.5	CMOS	$+V_{\text{SS}} + 0.3$ 0.8	*	*	*	V V V V
電源 $+V_{\text{SS}}$ 無信号時電流 通常電力 ナップ時電流 ⁽⁶⁾ スリープ・モード ⁽⁶⁾	仕様に規定された性能	4.75	2.6 13 600 10	5.25 3.5 17.5 800 30	*	* * * *	* * * *	V mA mW μA μA
温度範囲 仕様に規定された性能 保存		-40 -65		+85 +150	*	*	*	

*印は、ADS7852Yと同じ値であることを表わします。

注：(1) 1LSBは最下位ビットを示します。 $V_{\text{REF}} = 2.5\text{V}$ 時の1LSBは1.22mVです。(2) 理想的なフルスケール入力である4.999Vを基準に測定したものです。したがって、内部リファレンス電圧の誤差がゲイン誤差に含まれています。(3) 入力周波数の最初の高調波9個分を基準に計算したものです。(4) 外部負荷に電流を供給するために内部リファレンスが必要な場合、内部抵抗(10k Ω)のためにリファレンス電圧が変化します。(5) $\pm 30\%$ の範囲で変動することがあります。(6) 詳細については、タイミング図を参照してください。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



ピン構成

ピン	名称	説明
1	AIN0	アナログ入力チャンネル0
2	AIN1	アナログ入力チャンネル1
3	AIN2	アナログ入力チャンネル2
4	AIN3	アナログ入力チャンネル3
5	AIN4	アナログ入力チャンネル4
6	AIN5	アナログ入力チャンネル5
7	AIN6	アナログ入力チャンネル6
8	AIN7	アナログ入力チャンネル7
9	AGND	アナログ・グラウンド、GND = 0V
10	V _{REF}	電圧リファレンス入出力。範囲は仕様の表を参照。0.1μFのセラミック・コンデンサと2.2μFのタンタル・コンデンサでグラウンドにデカップリングします。
11	DGND	デジタル・グラウンド、GND = 0V
12	A2	チャンネル・アドレス。詳細はチャンネル選択の表を参照。
13	A1	チャンネル・アドレス。詳細はチャンネル選択の表を参照。
14	A0	チャンネル・アドレス。詳細はチャンネル選択の表を参照。
15	DB11	データ・ビット11(MSB)
16	DB10	データ・ビット10
17	DB9	データ・ビット9
18	DB8	データ・ビット8
19	DB7	データ・ビット7
20	DB6	データ・ビット6
21	DB5	データ・ビット5
22	DB4	データ・ビット4
23	DB3	データ・ビット3
24	DB2	データ・ビット2
25	DB1	データ・ビット1
26	DB0	データ・ビット0(LSB)
27	WR	書き込み入力。アクティブLOW。CSとの組み合わせにより、新しい変換を開始し、アドレス入力A0、A1、A2を介してアナログ・チャンネルを選択するときに使います。
28	BUSY	変換が行われている間、BUSY出力はLOWに保持されます。変換が完了するとBUSYはHIGHになります。
29	CLK	外部クロック入力。クロック速度により、式 $f_{CLK} = 16 \cdot f_{SAMPLE}$ に従って変換速度が決まります。
30	RD	読み取り入力。アクティブLOW。CSとの組み合わせでデータ出力を読み取るときに使います。また、(A0またはA1と共に用いて)デバイスをパワーダウン・モードにします。
31	CS	チップ・セレクト入力。アクティブLOW。CSがLOWでWRもLOWになると、新しい変換が開始され、出力はトライステート・モードになります。
32	V _{SS}	電源電圧入力。公称+5V。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサでグラウンドにデカップリングします。

絶対最大定格⁽¹⁾

アナログ入力からAGND、任意のチャンネル入力	-0.3V ~ (V _D + 0.3V)
REF _{IN}	-0.3V ~ (V _D + 0.3V)
デジタル入力からDGND	-0.3V ~ (V _D + 0.3V)
グラウンド電圧差：AGND、DGND	±0.3V
+V _{SS} からAGND	-0.3V ~ 6V
消費電力	325mW
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度(半田付け、10秒間)	+300

注：(1) 絶対最大定格を超えるストレスをデバイスに加えると、デバイスに永久的な損傷を与えます。長期間にわたりデバイスを絶対最大定格の条件下にさらすと、信頼性が低下する恐れがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

モデル	最小相対精度 (LSB)	最大ゲイン誤差 (LSB)	パッケージ	パッケージ 図番号 ⁽¹⁾	仕様温度範囲	発注番号 ⁽²⁾	供給時の状態
ADS7852Y	±2	±25	32ピンTQFP	351	-40 ~ +85	ADS7852Y/250	テープリール
ADS7852Y	±2	±25	32ピンTQFP	351	-40 ~ +85	ADS7852Y/2K	テープリール
ADS7852YB	±1	±40	32ピンTQFP	351	-40 ~ +85	ADS7852YB/250	テープリール
ADS7852YB	±1	±40	32ピンTQFP	351	-40 ~ +85	ADS7852YB/2K	テープリール

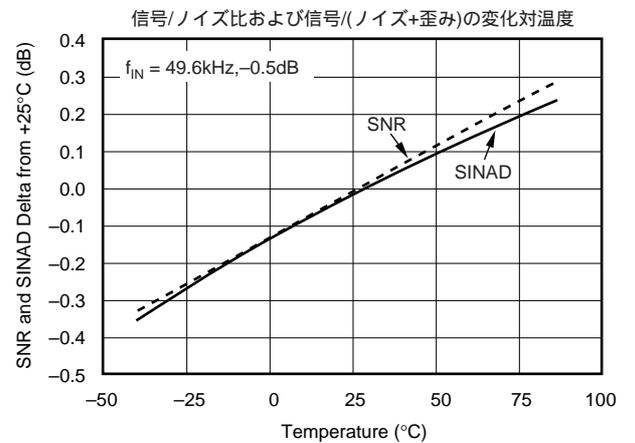
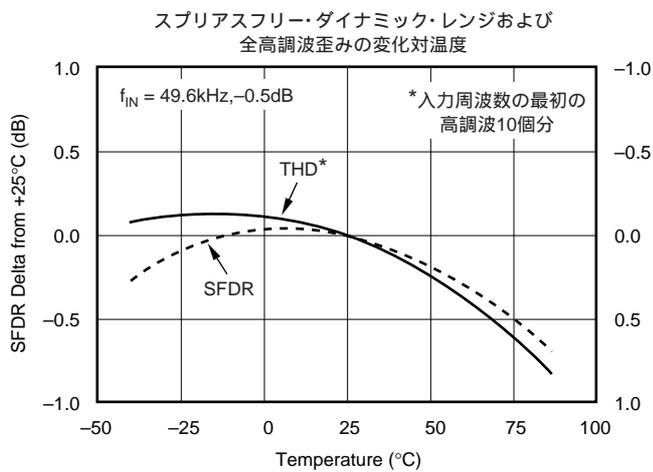
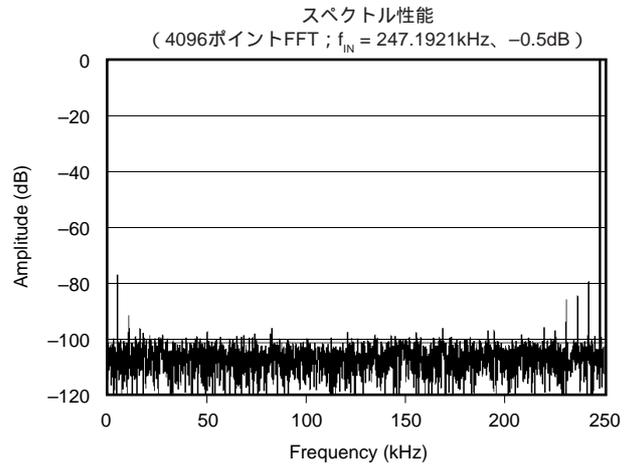
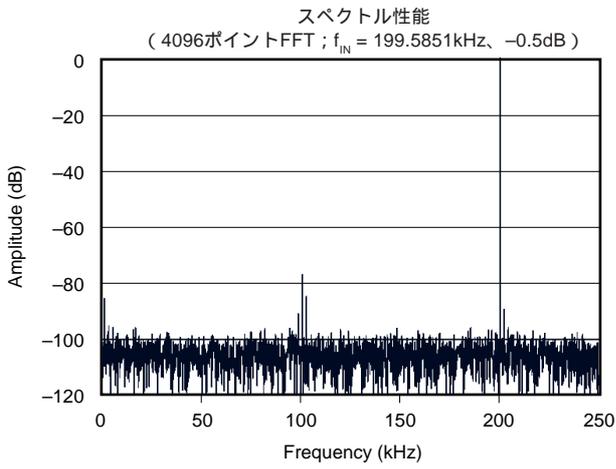
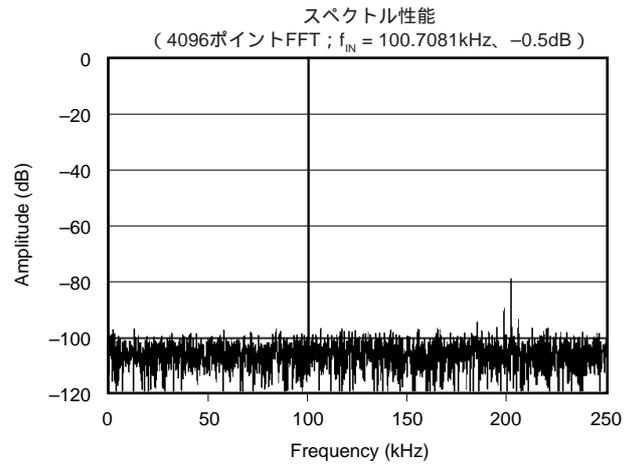
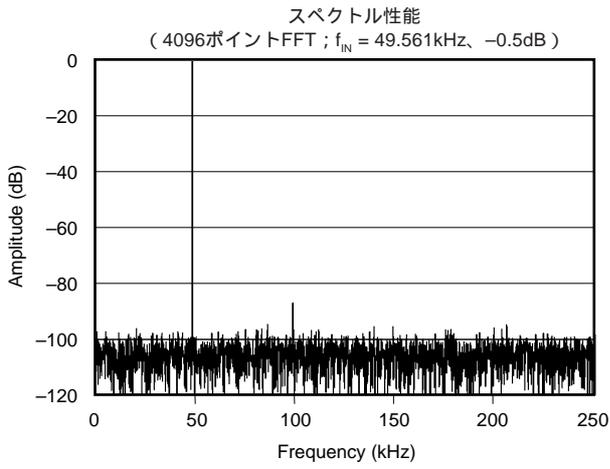
注：(1) 詳細図および寸法表は、データシートの巻末を参照してください。(2) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(たとえば、/2Kは2000個で1リールであることを示します)。「ADS7852Y/2K」をご注文の場合、2000個入りのテープリールが1本納入されます。

ADS7852チャンネル選択

A2	A1	A0	選択されるチャンネル
0	0	0	チャンネル0
0	0	1	チャンネル1
0	1	0	チャンネル2
0	1	1	チャンネル3
1	0	0	チャンネル4
1	0	1	チャンネル5
1	1	0	チャンネル6
1	1	1	チャンネル7

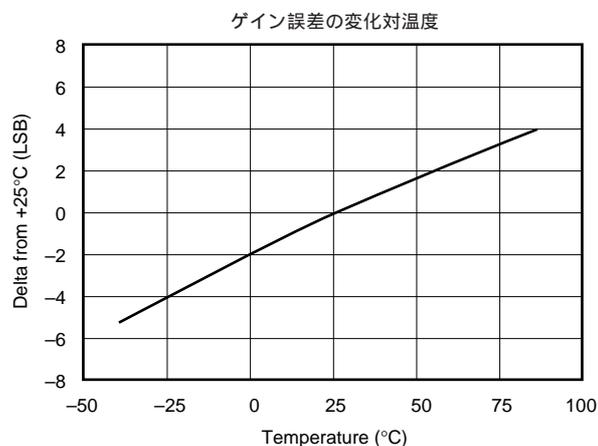
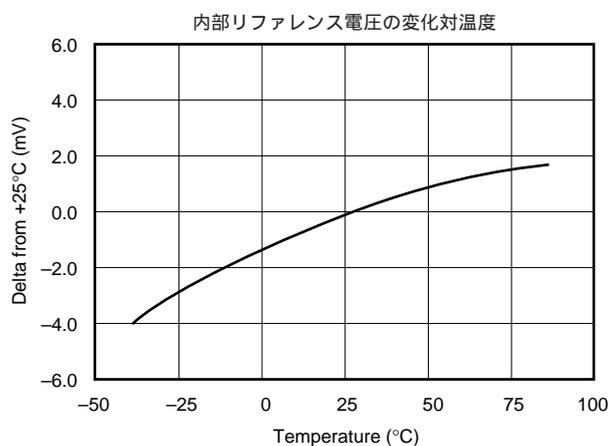
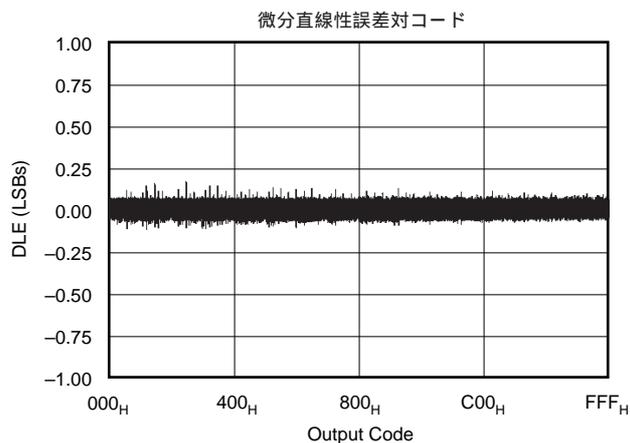
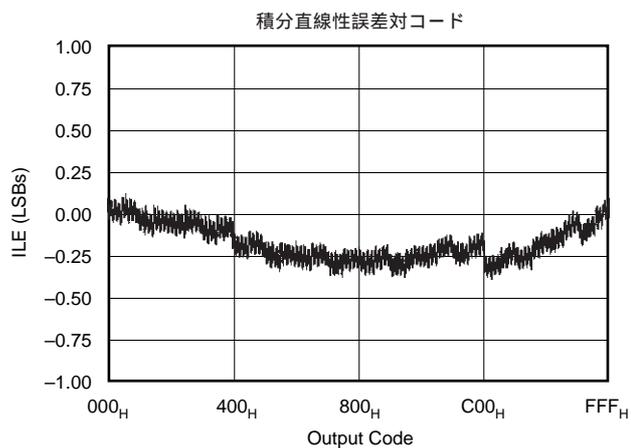
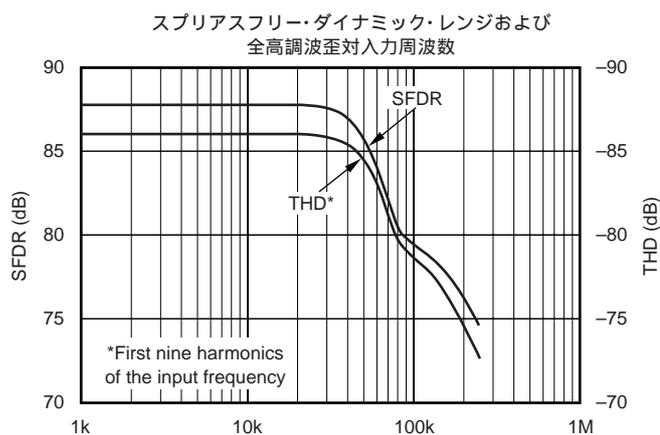
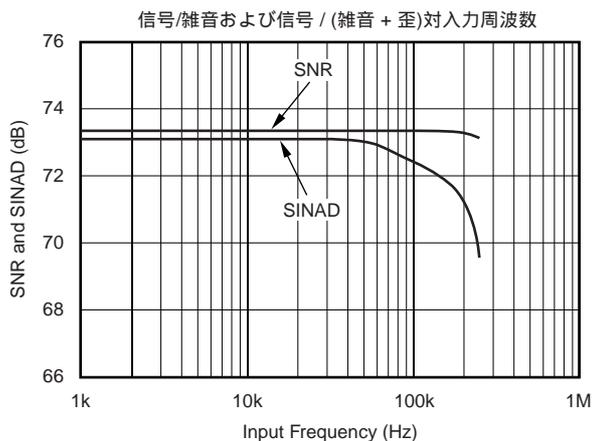
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{SS} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンスです。



代表的性能曲線

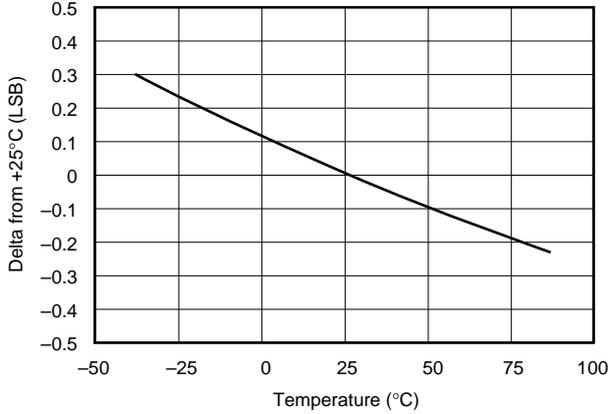
特に記述のない限り、 $T_A = +25$ 、 $V_{SS} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンスです。



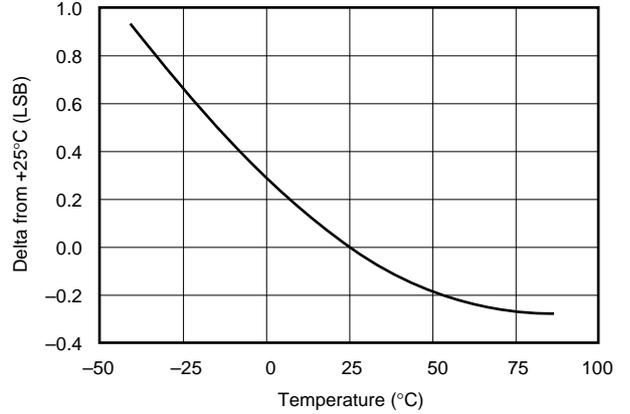
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{SS} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンスです。

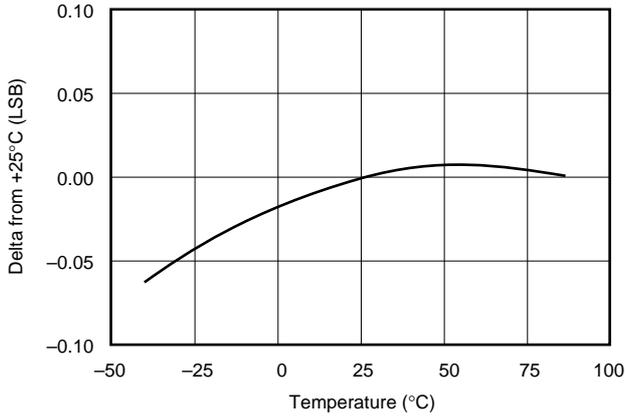
ゲイン誤差の変化対温度
(2.5V外部リファレンス)



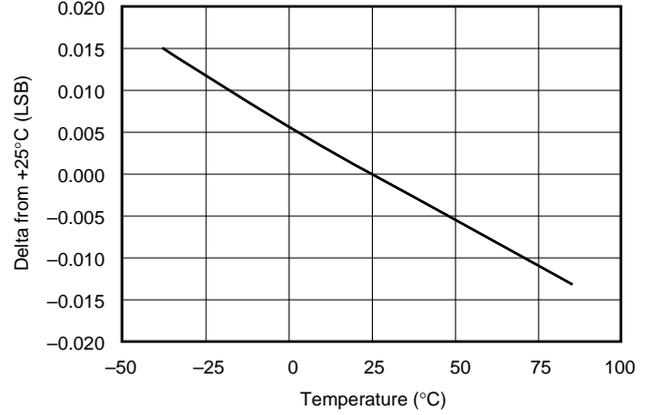
オフセットの変化対温度



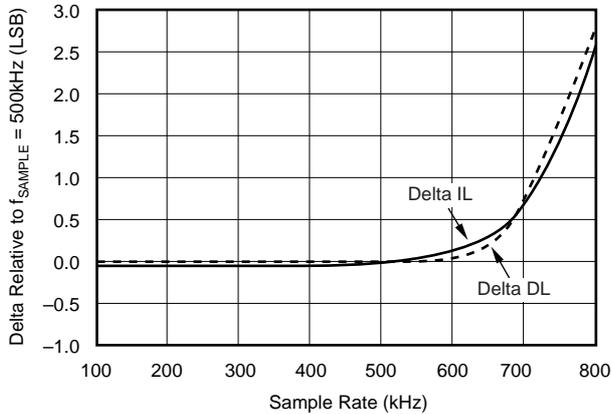
ワーストケースのチャンネル間
オフセット・ミスマッチングの変化対温度



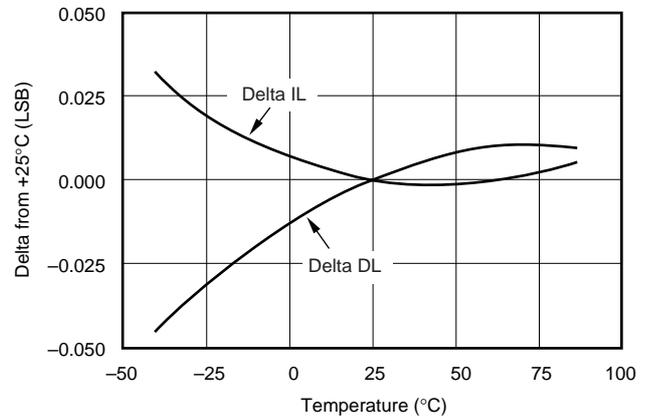
ワーストケースのチャンネル間
ゲイン・ミスマッチングの変化対温度



ワーストケースの積分直線性および微分直線性の変化
対サンプリング・レート

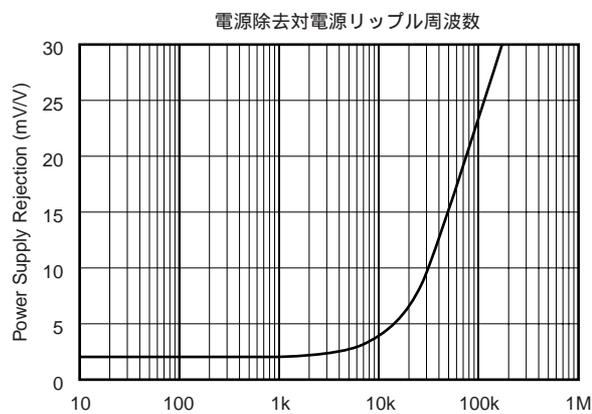
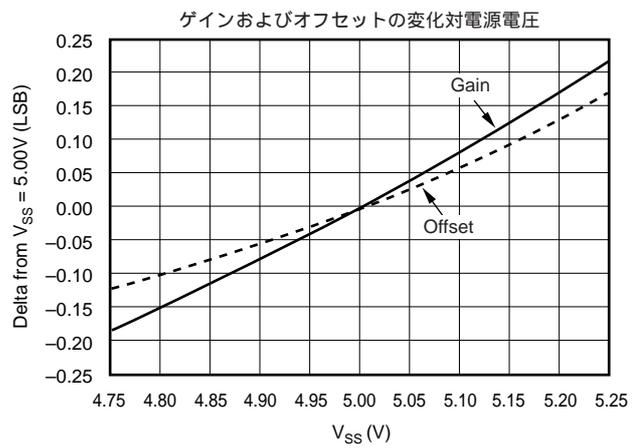
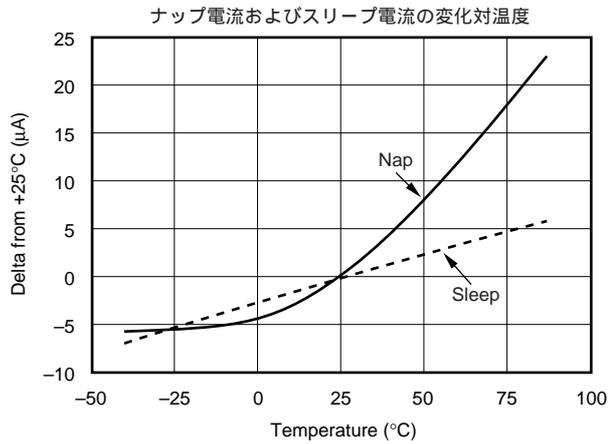
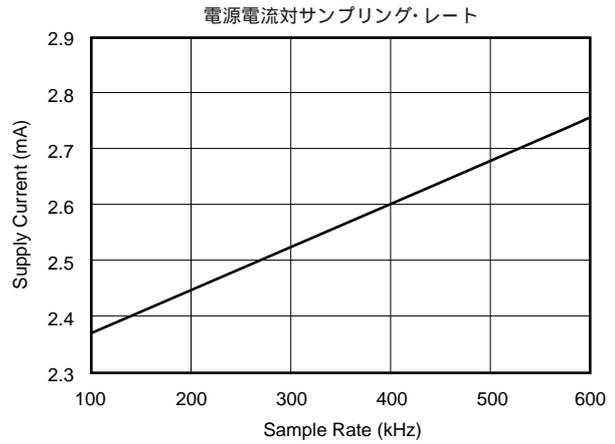
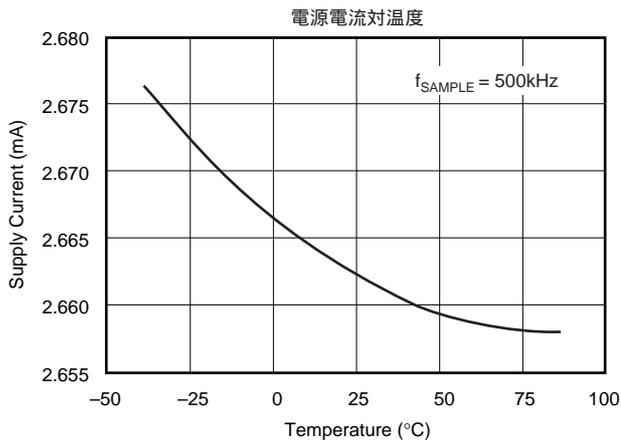


ワーストケースの積分直線性および微分直線性対温度



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{SS} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンスです。



動作原理

ADS7852は、2.5Vの内部バンドギャップ・リファレンスを備えた高速逐次比較型レジスタ(SAR)方式のA/Dコンバータ(ADC)です。この変換アーキテクチャは、本質的にサンプル/ホールド機能を備えた容量再分配技術に基づいています。このコンバータは0.6 μ sのCMOSプロセス技術で製造されています。ADS7852の基本動作回路については図1を参照してください。

ADS7852で変換プロセスを実行するには、外部クロックを必要とします。使用できるクロック周波数の範囲は200kHz(スループットは12.5Hz)から8MHz(スループットは500kHz)までです。HIGH時間とLOW時間の最小値が50ns以上、そしてクロック周期が125ns以上であれば、クロックのデューティ・サイクルは重要ではありません。ADS7852の内部にあるキャパシタDAC(CDAC)の寄生リークによって、クロック周波数の最小値が左右されます。

ADS7852のフロント・エンド入力マルチプレクサは、8つのシングルエンド入力を備えています。アドレス・ピンA0(ピン14)、A1(ピン13)、A2(ピン12)を使用することにより、チャンネルが選択されます。変換動作が始まると、入力電圧が内部のキャパシタ・アレイにサンプリングされます。変換動作が進行している間、全てのチャンネル入力は内部のいかなる機能とも接続されていません(真値表を参照)。

アナログ入力の範囲は、 V_{REF} の電圧によって設定されます。2.5V内部リファレンスでは、入力は0Vから5Vまでの範囲になります。 V_{REF} に外部リファレンス電圧を加えて、内部電圧をオーバードライブすることもできます。外部電圧の範囲は2.0Vから2.55Vまでで、入力電圧範囲は4.0Vから5.1Vまでです。

アナログ入力

ADS7852は8つのシングルエンド入力を備えています。各アナログ入力へ流れる静的電流がゼロの場合でも、動的電流は入力電圧およびサンプリング・レートに依存します。基本的には、サンプリングの実行期間中、入力電流による内部ホールド・コンデンサの充電が必要になります。コンデンサが完全な充電状態になると、その後でさらに電流が入力されることはありません。最適な性能を得るためには、アナログ入力電圧のソースはサンプリング期間内に入力コンデンサを12ビットのセトリング・レベルまで充電しなければなりません。動作モードによっては、この時間は350nsという短い時間になります。コンバータがホールド・モードに入っている場合、あるいはサンプリング・コンデンサが完全に充電された後は、アナログ入力の入力インピーダンスは1G Ω より大きくなります。

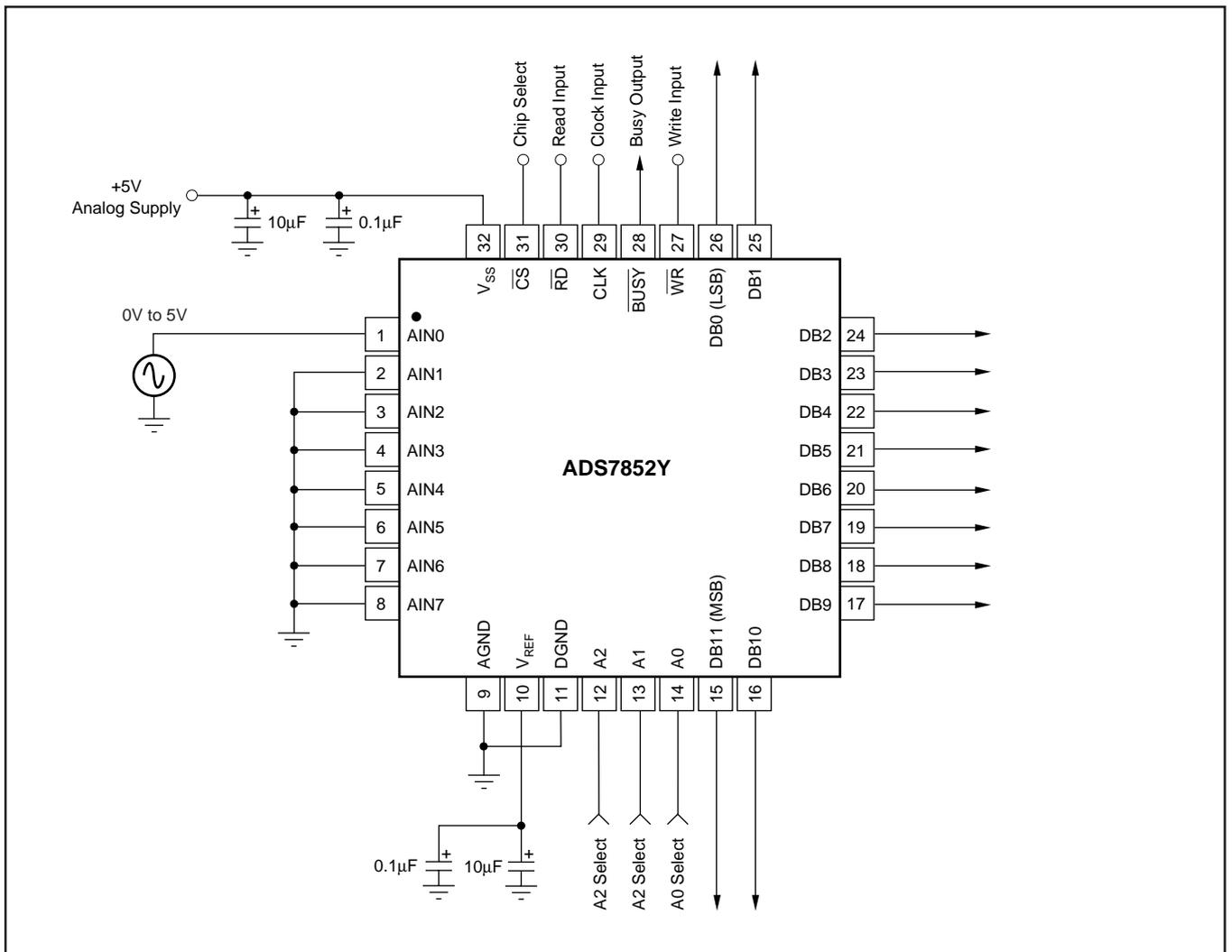


図1. 標準的な回路構成

リファレンス

アナログ入力フルスケールレンジは、 V_{REF} ピンのリファレンス電圧によって確定されます。ADS7852は2.0Vから2.55Vまでのリファレンスで動作し、フルスケールレンジは4.0Vから5.1Vになります。

V_{REF} ピンの電圧は内部でバッファリングされ、このバッファがコンバータのキャパシタDAC部を駆動します。このバッファはリファレンス・ソースにかかる動的負荷を大幅に減少するので重要です。 V_{REF} の電圧は、変換プロセスで発生するノイズやグリッチにより必ず影響を受けるので、以下の項で述べるように、 V_{REF} ピンをグラウンドにバイパスすることを推奨します。

内部リファレンス

ADS7852にはオンボードの2.5Vリファレンスが内蔵されており、このリファレンスを使用したときのアナログ入力の範囲は0Vから5Vになります。内部リファレンスの各種の特性については、仕様の表を参照してください。このリファレンスは、少量のソース電流を外部負荷に供給することができます。ただし、負荷は静的であることが必要です。内部抵抗10k Ω が存在するため、動的負荷ではリファレンス電圧が変動し、変換結果に大きく影響します。静的負荷でも、バッファ入力の内部リファレンス電圧が低下することに注意してください。低下の程度は、負荷および実際の内部“10k Ω ”抵抗の値に依存します。この抵抗の値は $\pm 30\%$ 変動することがあります。

0.1 μ Fのセラミック・コンデンサによって、 V_{REF} ピンをバイパスすることが必要です。コンデンサはADS7852にできるだけ近づけるようにします。さらに、2.2 μ Fのタンタル・コンデンサをセラミック・コンデンサと並列に接続します。

外部リファレンス

内部リファレンスは、10k Ω のオンチップ直列抵抗により V_{REF} ピンと内部バッファに接続されます。これにより内部リファレンス電圧を容易に外部リファレンス電圧によってオーバードライブすることができます。外部リファレンス電圧は2.00Vから2.55Vまでで、対応するアナログ入力の範囲は4.0Vから5.1Vになります。

外部リファレンスは V_{REF} ピンに多くの動的電流を流す必要はありませんが、2.5Vの内部リファレンスに接続されている10k Ω の直列抵抗をドライブする必要があります。外部リファレンス電圧と内部リファレンス電圧の間の最大差や、オンチップ10k Ω 抵抗の変化を考慮に入ると、この電流は75 μ A程度になります。

また、ADS7852にできるだけ近接して配置した0.1 μ F以上のセラミック・コンデンサで V_{REF} ピンをグラウンドにバイパスします。リファレンスの種類やADCの変換速度によっては、標準的な回路構成(図1)に示すような2.2 μ Fのタンタル・コンデンサなどのバイパス・キャパシタンスが必要です。 V_{REF} ピンにおいて大きなバイパス・コンデンサをドライブする外部リファレンス・ソースの安定性には細心の注意が必要です。

基本動作

図1に、チャンネル0を選択したADS7852の動作に必要な簡略回路を示しています。変換は、 \overline{WR} ピン(ピン27)を最低35nsの間LOWにすることによって開始できます。 \overline{BUSY} (ピン28)は変換プロセスの間LOWを出力し、変換が完了した後にHIGHになります。

出力データの12ビットは、 \overline{BUSY} の立ち上がりエッジの後、ピン15から26で有効になります。

変換開始

変換は、A0、A1、A2、および \overline{CS} に有効な信号があるときに、 \overline{WR} 入力の立ち下がりエッジで開始されます。ADS7852は、 \overline{WR} ピンがLOWになってから最初の外部クロックの立ち上がりエッジで変換モードに入ります。変換プロセスには13.5クロック・サイクルかかります(DB0決定に1.5クロック・サイクル、DB5決定に2クロック・サイクル、残りのビット決定に各1クロック・サイクルずつ)。サンプリングには2.5クロック・サイクルが当てられます。変換開始時、 \overline{BUSY} の出力は、 \overline{WR} ピンの立ち下がりエッジの20ns後にLOWになります。 \overline{BUSY} 出力は、ADS7852が変換を完了した直後にHIGHに戻り、データはピン15から26で有効になります。 \overline{BUSY} の立ち上がりエッジは、データをラッチするために使用できます。データは各変換の直後に読み取ることをお勧めします。非同期データ転送のスイッチング・ノイズは、デジタル・フィードスルーを生じて、コンバータの性能を劣化させることがあります。図2を参照してください。

チャンネル・アドレス

変換するアナログ入力チャンネルの選択はアドレス・ピンA0、A1、A2によって制御されます。チャンネルは \overline{CS} をLOWに保持したまま \overline{WR} の立ち上がりエッジでアクティブになります。アドレス・ピンでのデータは \overline{WR} がHIGHになる前最低10ns間は安定している必要があります。

アドレス・ピンはADS7852のパワーダウンを制御するのにも使用されます。各変換後のアドレス・ピンの状態に十分に注意を払わなければなりません。ADS7852が変換後パワーダウン・モードに入らないようにするには、A0、A1ピンは \overline{RD} と \overline{CS} が変換の終わりで読み取りを終えた後HIGHに戻るとき、LOWでなければなりません(詳細はパワーダウン・モードの項を参照)。

データの読み取り

ADS7852からのデータは、ピン15から26に現れます。MSBはピン15に出力され、LSBはピン26に出力されます。この出力は、ストレート・バイナリでコード化されます(0V = 000H、5V = FFF_H)。変換後、 \overline{BUSY} ピンはHIGHになります。 \overline{BUSY} が少なくとも t_{1d} 秒間HIGHになった後、 \overline{CS} および \overline{RD} ピンをLOWにして12ビット出力バスをイネーブできます。 \overline{CS} および \overline{RD} は、 \overline{BUSY} がHIGHになった後25ns以上LOWに保たなければなりません。データは、 \overline{CS} と \overline{RD} の両方の立ち下がりエッジの30ns後に有効になります。出力データは \overline{CS} と \overline{RD} の両方の立ち上がりエッジの後20nsの間有効です(図2を参照)。

説明	アナログ入力	デジタル出力 ストレート・バイナリ	
		バイナリ・コード	16進コード
最下位ビット(LSB)	1.2207mV		
フルスケール	4.99878V	1111 1111 1111	FFF
ミッドスケール	2.5V	1000 0000 0000	800
ミッドスケール - 1LSB	2.49878V	0111 1111 1111	7FF
ゼロ・フルスケール	0V	0000 0000 0000	000

表 . 理想的な入力電圧と出力コード

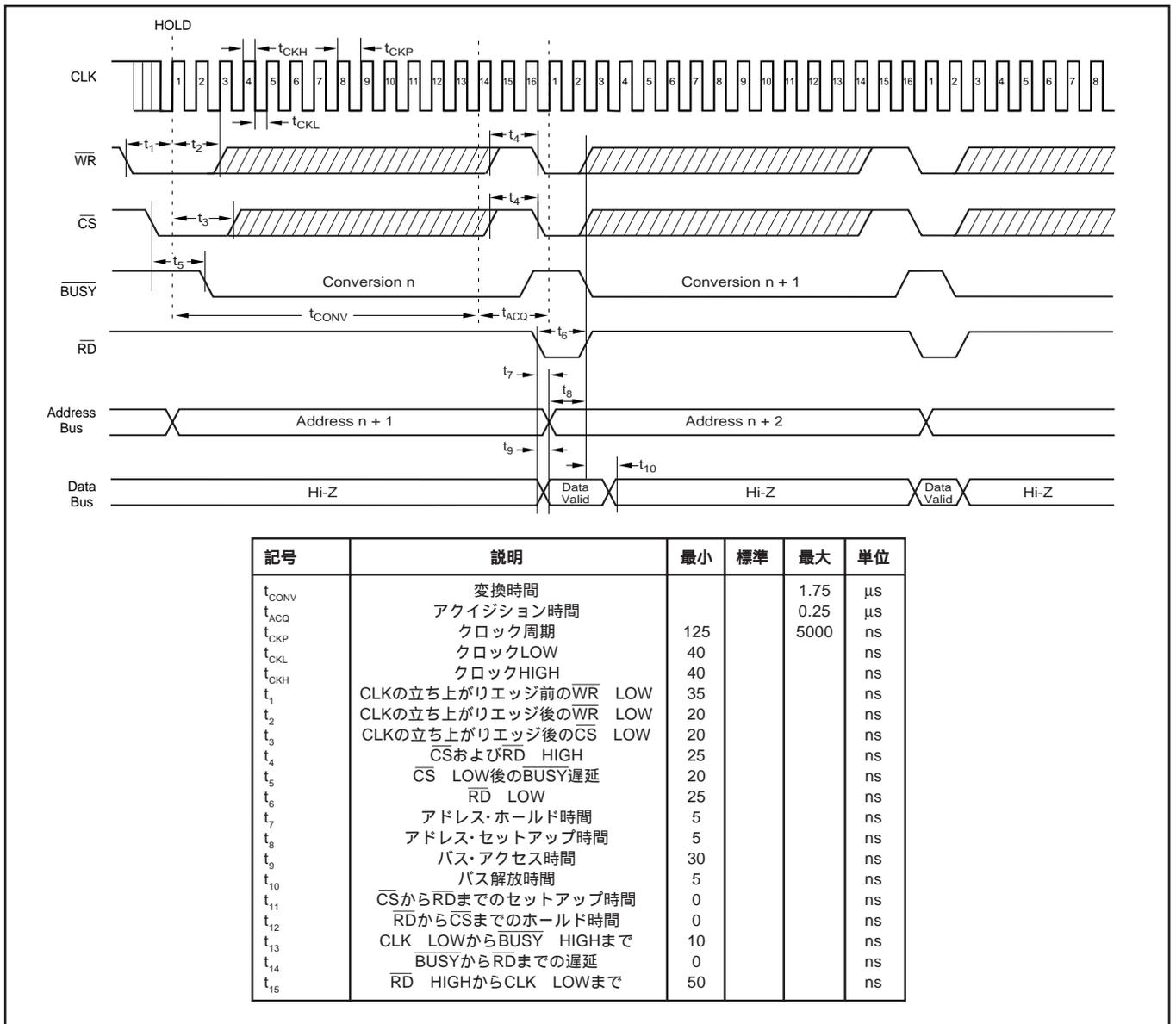


図2. ADS7852の書き込み/読み取りタイミング

パワーダウン・モード

ADS7852には2つの異なるパワーダウン・モード(スリープとナップ)があります。ナップ・モードでは、リファレンス電圧は保持され、それ以外の回路がすべて停止されます。スリープ・モードでは、すべてのアナログとデジタルの回路が停止されます。

スリープ・モードでは消費電力は最低となりますが、スリープ・モードからパワーアップ・モードへの切り替え点では内部リファレンス電圧が安定した値に達するまでに時間を要するため、注意が必要です。この遅れ時間は500kHzのサンプリング・レートの場合で最低10回の変換サイクルに相当します。 V_{REF} バイパス・コンデンサの放電パスがスリープ・サイクルの間に形成されるため、 V_{REF} ピンに接続された外部負荷がこれを悪化させることにも留意してはなりません。ユニットがスリープ・モードのまま長時間放置された場合、バイパス・コンデンサ自体の寄生リークも考慮する必要があります。パワーアップ後、このコンデンサは内部リファレンス電圧と10k Ω オンチップ直列抵抗によって再充電されます。ワーストケース時(例: バイパス・コンデンサが完全に放電されている場合など)は、出力データは数百ms間無効になります。ナップ・モードでは内部リファレンスをパワーアップ状態のまま保つことにより V_{REF} ピンの電圧が保持されるため、ナップ・モード終了直後から有効な変換が可能です。

パワーダウン・モードを使用する場合、変換後にパワーダウン・モードに入るようにするのが最も簡単な方法です。変換が完了してBUSYがHIGHに戻った後、CSとRDは25ns以上LOWに保持する必要があります。CSとRDがともにHIGHに戻ると、ADS7852はRDの立ち上がりエッジでパワーダウン・モードに入ります。CSは常にLOWに保ち、パワーダウン・モードはRDによってのみ制御されます。アドレス・ピンA0とA1の状態に応じて、ADS7852はナップ・モードとスリープ・モードのいずれかのモードに入るか、サンプリング・モードで通常動作に戻ります。詳細については表、図3、図4を参照して下さい。

RDと接続してアドレス・ピンを使用することに加え、パワーダウン・モードは新しい変換を開始することによって終了することができます(例: CSがLOWの間にWRをLOWにする)。サンプリング・レートより長い間ADS7852をパワーダウン状態にする場合は、WRピンによる変換信号のドライブはディスエーブルしなければなりません。

5V電源と500kHzのサンプリング・レートで動作する場合、ADS7852の標準的な電源電流は2.6mAです。ナップ・モードでは、標準的な電源電流は600 μ Aです。スリープ・モードでは、標準で10 μ Aまで低減されます。

\overline{RD}	A2	A1	A0	パワーダウン・モード
↓	X	0	0	オフ
↓	X	1	0	スリープ
↓	X	0	1	ナップ
↓	X	1	1	スリープ

↓はRDピンの立ち上がりエッジを意味します。X = 無視

表 . ADS7852のパワーダウン・モード

回路レイアウト

ADS7852を使用して最適な性能を確保するためには、回路のレイアウト設計に細心の注意を払う必要があります。これは特に、CLK入力が最大スループット・レートに近い場合に言えることです。

SARアーキテクチャは基本的に電源グリッチや電源電圧の突然の変動、電圧リファレンス、グランド接続、そしてアナログ・コンパレータの出力がラッチされる直前に発生するデジタル入力などの影響に敏感です。したがって、“n”ビットのSARコンバータによって1回の変換動作が実行される期間中に、大きな外部トランジェント電圧の発生によって変換結果に容易に悪影響が及ぶ可能性の高い“窓”がn個存在することになります。このようなグリッチは、デジタル・ロジックやハイパワー・デバイスの近くに配置されているスイッチング電源から発生します。デジタル出力において発生する誤差の度合いはリファレンス電圧、回路レイアウト、および外部イベントの正確なタイミングに応じて異なります。CLK入力信号を基準にした外部イベントの時間変動によって、誤差が変動する場合があります。

これらに十分留意し、ADS7852にはクリーンな電源を使用し、十分にバイパスしてください。0.1 μ Fのバイパス用セラミック・コンデンサをデバイスに可能な限り近接させて配置してください。1 μ Fから10 μ Fまでのコンデンサをお勧めします。さらに必要であれば、これより容量の大きなコンデンサと5 Ω か10 Ω の直列抵抗を使用して、ノイズ発生要因である電源のローパスフィルタ処理を行うことも可能です。リファレンス電圧が内部でバッファリングされている場合は、ADS7852が外部電圧リファレンスから消費する平均電流はほんのわずかです。ただし、変換プロセスで発生するグリッチが V_{REF} 入力に現れるので、リファレンス・ソースはこれに対応することができなければなりません。リファレンスが内部であれ外部であれ、0.1 μ Fコンデンサによって V_{REF} ピンをバイパスする必要があります。容量の大きなコンデンサを追加することも可能です。外部リファレンス電圧がオペアンプから生成されている場合、そのオペアンプが発振せずにバイパス・コンデンサまたは他のコンデンサをドライブできることを確認してください。

GNDピンはクリーンなグランド・ポイントに接続してください。多くの場合、これは“アナログ・グランド”にします。マイクロコントローラまたはデジタル・シグナル・プロセッサの接続ポイントに極端に近接した個所に接続を行わないでください。必要であれば、コンバータから電源の入り口までの間にグランド接続パターンを直接的に走らせてください。コンバータと関連アナログ回路専用のアナログ・グランド・プレーンを用意すると理想的な回路レイアウトになります。

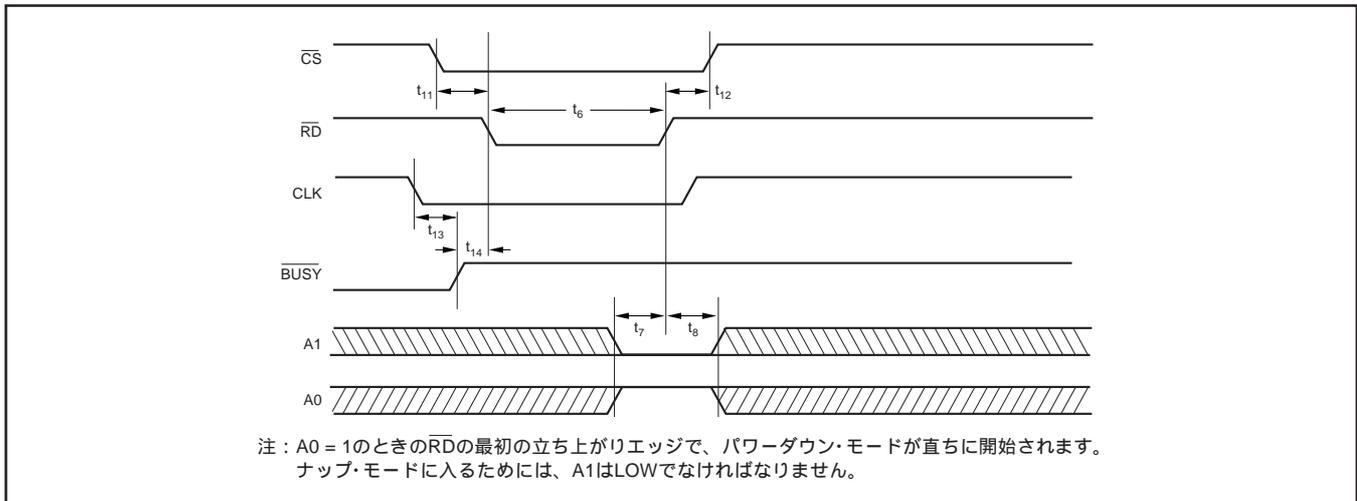


図3 . \overline{RD} とA0を使ったナップ・モード

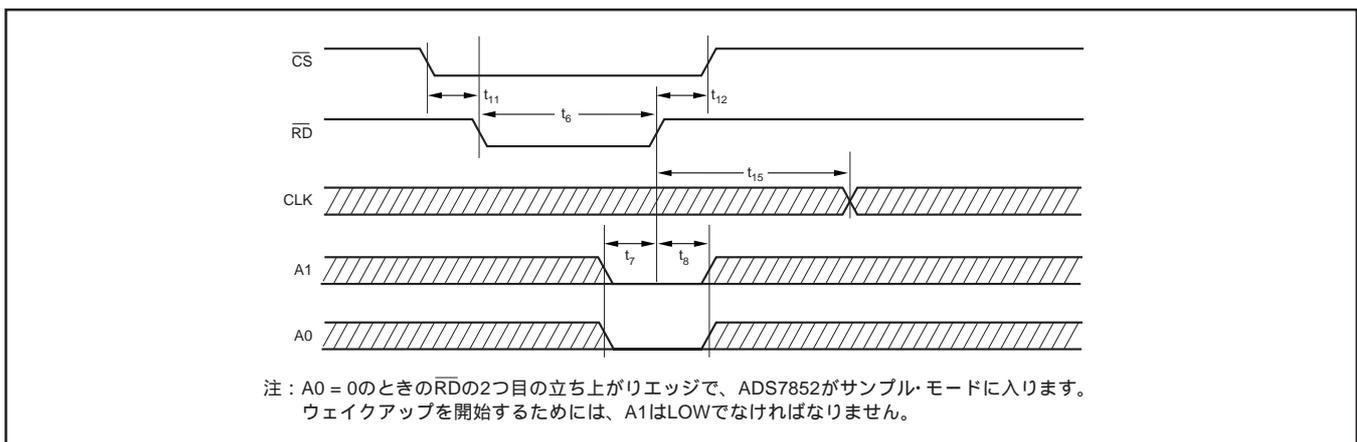


図4 . \overline{RD} とA0を使ったウェイクアップ開始

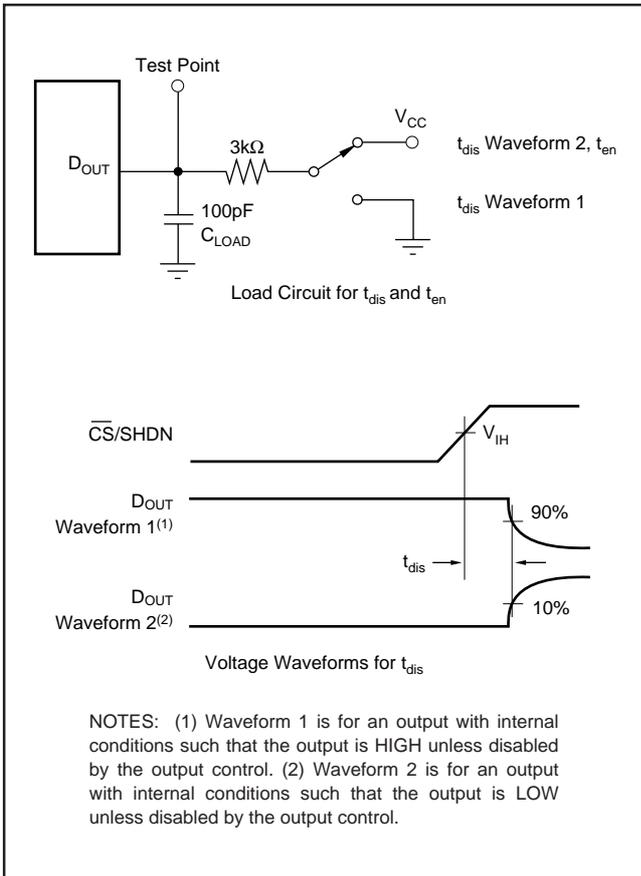


図5 . 図2のパラメータのテスト回路およびタイミング図を挿入

外観

パッケージ番号351 - 32ピンTQFP

DIM	INCHES		MILLIMETERS		NOTE	DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.	
A	---	.047	---	1.20		aaa	.008	NOM.	0.20	NOM.	
A1	.002	.006	0.05	0.15	10	bbb	.008	NOM.	0.20	NOM.	
A2	.037	.041	0.95	1.05		ccc	.003	NOM.	0.08	NOM.	
b	.007	.011	0.17	0.27	7,9	ddd	.003	NOM.	0.08	NOM.	
c	.004	.008	0.09	0.20	9	$\alpha 0$	0°	7°	0°	7°	
D	.276	BASIC	7.00	BASIC	4	$\alpha 1$	0°	---	0°	---	
D1	.197	BASIC	5.00	BASIC	2,5	$\alpha 2$	11°	13°	11°	13°	
e	.020	BASIC	0.50	BASIC		$\alpha 3$	11°	13°	11°	13°	
L	.018	.030	0.45	0.75							
L1	.039	REF	1.00	REF							
N	32		32		12						
R1	.003	---	0.08	---							
R2	.003	.008	0.08	0.20							
S	.008	---	0.20	---							

NOTES:
 1. ALL DIMENSIONING AND TOLERANCING CONFORMS TO ANSI Y14.5M-1982.
 2. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE BODY SIZE BY AS MUCH AS .006 in.(0.15mm).
 3. DATUMS [A-B] AND [-D-] TO BE DETERMINED AT DATUM PLANE [-H-].
 4. TO BE DETERMINED AT SEATING PLANE [-C-].
 5. DIMENSION D1 DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS .001 in.(0.25mm) PER SIDE. D1 IS THE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
 6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
 7. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIM. BY MORE THAN .003 in.(0.08mm). DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD IS .003 in.(0.07mm) FOR .016 in.(0.4mm) AND .020 in.(0.5mm) PITCH PACKAGES.
 8. EXACT SHAPE OF EACH CORNER IS OPTIONAL.
 9. DIMENSION b AND c APPLY TO THE FLAT SECTION OF LEAD BETWEEN .004 in.(0.10mm) AND .002 in.(0.25mm) FROM THE LEAD TIP.
 10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
 11. CONTROLLING DIMENSION IS MILLIMETER.
 12. N IS THE NUMBER OF LEADS.

PACKAGE NUMBER: ZZ351 REV.: B
 JEDEC NUMBER: MS-026-AAA