

12ビット、8チャンネル、シリアル出力 サンプリングA/Dコンバータ

特 長

- 単一電源：2.7V～5V
- 8チャンネル・シングル・エンドまたは4チャンネル差動入力
- 変換レート：200kHz(最大)
- INLおよびDNL：±1LSB(最大)
- ノー・ミッシング・コードを保証
- SINAD：72dB
- シリアル・インターフェース
- パッケージ：20ピンQSOP
：20ピンSSOP

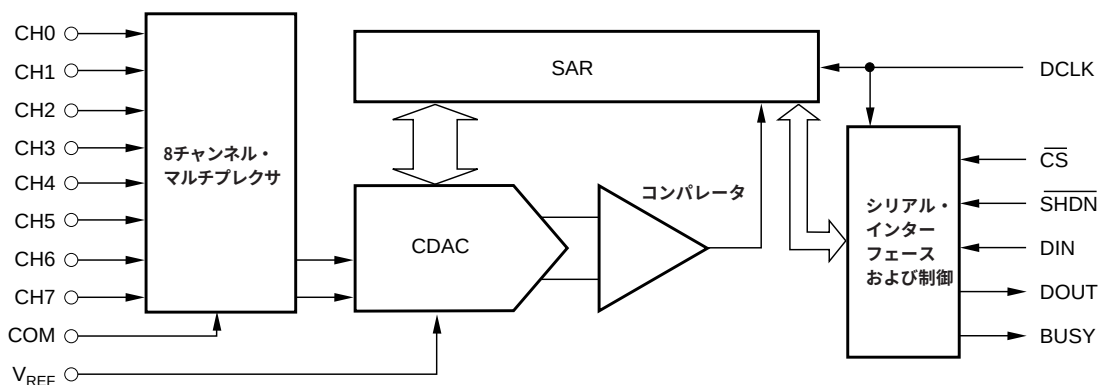
アプリケーション

- データ・アキュイジション
- テストおよび計測
- 工業用プロセス制御
- PDA
- バッテリ動作システム

概 要

ADS7844は、同期シリアル・インターフェースを備えた8チャンネルの12ビット・サンプリングA/Dコンバータ(ADC)です。200kHzのスループット・レートおよび+5V電源で動作するときの標準的な消費電力は3mWです。100mVから V_{CC} までのリファレンス電圧(V_{REF})により、0Vから V_{REF} までの対応する入力電圧レンジが得られます。ADS7844には、消費電力を1 μ W以下に低減するシャットダウン・モードがあり、2.7Vまでの動作が保証されています。

ADS7844は、低消費電力、高速、オンボード・マルチプレクサなどの特長を持ち、PDA、ポータブル・マルチチャンネル・データ・ロガー、計測装置などのバッテリ動作システムに理想的です。また、シリアル・インターフェースによりリモート・データ・アキュイジションにおいて低コストの絶縁が可能です。パッケージは、20ピンQSOPおよび20ピンSSOPで供給され、-40°Cから+85°Cの温度範囲で保証されています。



仕様: +5V

特に記述のない限り、T_A = -40°C~+85°C、+V_{CC} = +5V、V_{REF} = +5V、f_{SAMPLE} = 200kHz、f_{CLK} = 16・f_{SAMPLE} = 3.2MHzです。

パラメータ	条件	ADS7844E,N			ADS7844EB,NB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入力スパン 絶対入力範囲 キャパシタンス リーケージ電流	正入力-負入力 正入力 負入力	0 -0.2 -0.2	 25 ±1	V _{REF} +V _{CC} +0.2 +1.25	* * *	 * *	* * *	V V V pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 オフセット誤差のマッチ ゲイン誤差 ゲイン誤差のマッチ 雑音 電源除去		12	12 ±0.8 0.15 0.1 30 70	 ±2 ±3 1.0 ±4 1.0	* *	* ±0.5 * * * *	±1 ±1 * * ±3 * *	Bits Bits LSB ⁽¹⁾ LSB LSB LSB LSB μVrms dB
サンプリング特性 変換時間 アキュイジション時間 スルーブット・レート マルチプレクサのセトリングタイム アパーチャ遅延 アパーチャ・ジッタ		3	 500 30 100	12 200	* *	 * * * *	* * *	Clk Cycles Clk Cycles kHz ns ns ps
ダイナミック特性 全高調波歪 ⁽²⁾ 信号/(雑音+歪) スプリアスフリー・ダイナミック・レンジ チャンネル間分離	V _{IN} = 5Vp-p、10kHz V _{IN} = 5Vp-p、10kHz V _{IN} = 5Vp-p、10kHz V _{IN} = 5Vp-p、50kHz		-76 71 76 120			-78 72 78 *		dB dB dB dB
リファレンス入力 レンジ 抵抗 入力電流	DCLK安定 f _{SAMPLE} = 12.5kHz DCLK安定	0.1	5 45 2.5 0.001	+V _{CC} 100 3	* *	* * * *	* * *	V GΩ μA μA μA
デジタル入出力 ロジック・ファミリ ロジック・レベル V _{IH} V _{IL} V _{OH} V _{OL} データ・フォーマット	I _{IH} ≤ +5μA I _{IL} ≤ +5μA I _{OH} = -250μA I _{OL} = 250μA	3.0 -0.3 3.5	CMOS	5.5 +0.8 0.4	* * * *	* *	* * * *	V V V V
電源条件 +V _{CC} 無信号時電流 消費電力	仕様に規定された性能 f _{SAMPLE} = 12.5kHz パワーダウン・モード ⁽³⁾ 、CS = +V _{CC}	4.75	550 300	5.25 900 3 4.5	* *	 * *	* * * *	V μA μA μA mW
温度範囲 仕様に規定された性能		-40		+85	*		*	°C

*印は、ADS7844Eと同じ値であることを示します。
注：(1)LSBは最下位ビットを意味します。V_{REF}が+5.0Vの場合、1LSBは1.22mVです。(2)テスト周波数の最初から5番目までの高調波。(3)オートパワーダウン・モードを有効(PD1 = PD0 = 0)またはSHDN = GNDに設定。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

仕様:+2.7V

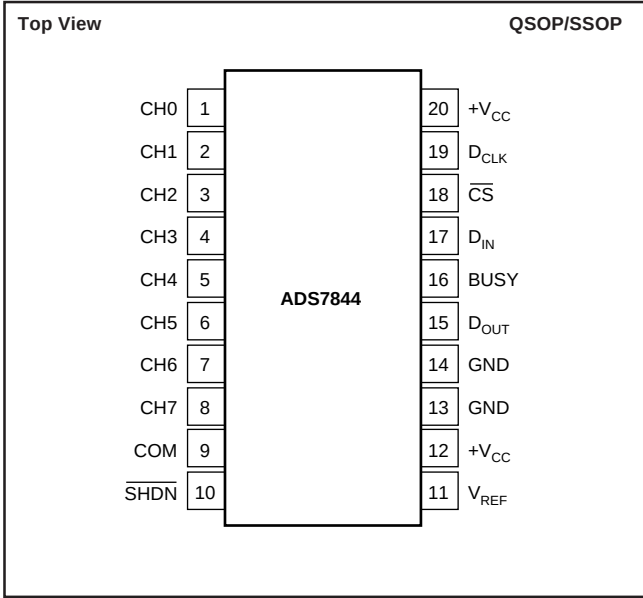
特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{SAMPLE} = 125\text{kHz}$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE} = 2\text{MHz}$ です。

パラメータ	条件	ADS7844E,N			ADS7844EB,NB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入力スパン 絶対入力範囲 キャパシタンス リークエージ電流	正入力ー負入力 正入力 負入力	0 −0.2 −0.2	 25 ±1	V_{REF} $+V_{CC} + 0.2$ +0.2	* * *	 * *	* * *	V V V pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 オフセット誤差のマッチ ゲイン誤差 ゲイン誤差のマッチ 雑音 電源除去		12	12 ±0.8 0.15 0.1 30 70	 ±2 ±3 1.0 ±4 1.0	* *	* ±0.5 * * * *	±1 ±1 * * ±3 *	Bits Bits LSB ⁽¹⁾ LSB LSB LSB LSB μVrms dB
サンプリング特性 変換時間 アクイジション時間 スループット・レート マルチプレクサのセトリングタイム アパーチャ遅延 アパーチャ・ジッタ		3	 500 30 100	12 125	* *	 * * *	* * *	Clk Cycles Clk Cycles kHz ns ns ps
ダイナミック特性 全高調波歪 ⁽²⁾ 信号/(雑音+歪) スプリアスフリー・ダイナミック・レンジ チャンネル間分離	$V_{IN} = 2.5Vp-p$ 、10kHz $V_{IN} = 2.5Vp-p$ 、10kHz $V_{IN} = 2.5Vp-p$ 、10kHz $V_{IN} = 2.5Vp-p$ 、50kHz		−75 71 78 100			−77 72 80 *		dB dB dB dB
リファレンス入力 レンジ 抵抗 入力電流	DCLK安定 $f_{SAMPLE} = 12.5kHz$ DCLK安定	0.1	5 13 2.5 0.001	$+V_{CC}$ 40 3	* * * *	* * * *	* * * *	V GΩ μA μA μA
デジタル入出力 ロジック・ファミリ ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$ I_{IH} \leq +5\mu A$ $ I_{IL} \leq +5\mu A$ $I_{OH} = -250\mu A$ $I_{OL} = 250\mu A$	$+V_{CC} \cdot 0.7$ −0.3 $+V_{CC} \cdot 0.8$	CMOS 0.4 ストレート・バイナリ	5.5 +0.8 0.4	* * *	* *	* * * *	V V V V
電源条件 $+V_{CC}$ 無信号時電流 消費電力	仕様に規定された性能 $f_{SAMPLE} = 12.5kHz$ パワーダウン・モード ⁽³⁾ 、 $CS = +V_{CC}$	2.7	280 220	3.6 650 3 1.8	* * *	* * *	* * *	V μA μA μA mW
温度範囲 仕様に規定された性能		−40		+85	*		*	°C

*印は、ADS7844Eと同じ値であることを示します。

注：(1)LSBは最下位ビットを意味します。 V_{REF} が+2.5Vの場合、1LSBは610mVです。(2)テスト周波数の最初から5番目までの高調波。(3)オートパワーダウン・モードを有効(PD1 = PD0 = 0)またはSHDN = GNDに設定。

ピン配置



絶対最大定格⁽¹⁾

+V _{CC} (対GND)	−0.3V〜+6V
アナログ入力(対GND)	−0.3V〜+V _{CC} +0.3V
デジタル入力(対GND)	−0.3V〜+6V
消費電力	250mW
最大接合部温度	+150°C
動作温度範囲	−40°C〜+85°C
保存温度範囲	−65°C〜+150°C
リード温度(10秒間の半田付け)	+300°C

注：(1)定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

ピン構成

ピン番号	記号	説明
1	CH0	アナログ入力チャンネル0
2	CH1	アナログ入力チャンネル1
3	CH2	アナログ入力チャンネル2
4	CH3	アナログ入力チャンネル3
5	CH4	アナログ入力チャンネル4
6	CH5	アナログ入力チャンネル5
7	CH6	アナログ入力チャンネル6
8	CH7	アナログ入力チャンネル7
9	COM	アナログ入力用のグラウンド・リファレンス。シングル・エンド・モードのコード0の電圧を設定する。このピンをグラウンドまたはグラウンド・リファレンス・ポイントに接続する。
10	SHDN	シャットダウン。“ロー”のとき、デバイスが低消費電力のシャットダウン・モードになる。
11	V _{REF}	リファレンス電圧入力。範囲については仕様の表を参照。
12	+V _{CC}	電源。2.7V〜5V。
13	GND	グラウンド
14	GND	グラウンド
15	D _{OUT}	シリアル・データ出力。D _{CLK} の立ち下がりエッジでデータがシフトする。CSが“ハイ”のとき、この出力はハイ・インピーダンスになる。
16	BUSY	ビジー出力。BUSYはDINの制御ビットの読み込み中およびデバイスの変換中“ロー”になる。CSが“ハイ”のとき、出力はハイ・インピーダンスになる。
17	D _{IN}	シリアル・データ入力。CSが“ロー”の場合、D _{CLK} の立ち上がりエッジでデータがラッチされる。
18	CS	チップ・セレクト入力。アクティブ“ロー”。CSが“ロー”でない限り、D _{IN} にデータがクロック・インされない。CSが“ハイ”のとき、D _{OUT} はハイ・インピーダンスになる。
19	CLK	外部クロック入力。クロック速度の式f _{CLK} =16・f _{SAMPLE} によって変換レートが決定される。
20	+V _{CC}	電源

 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

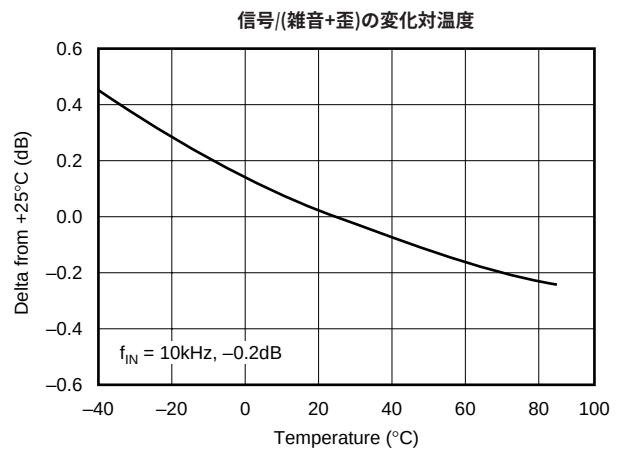
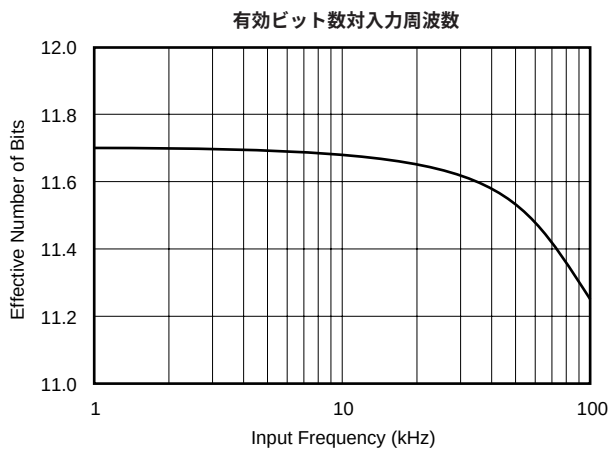
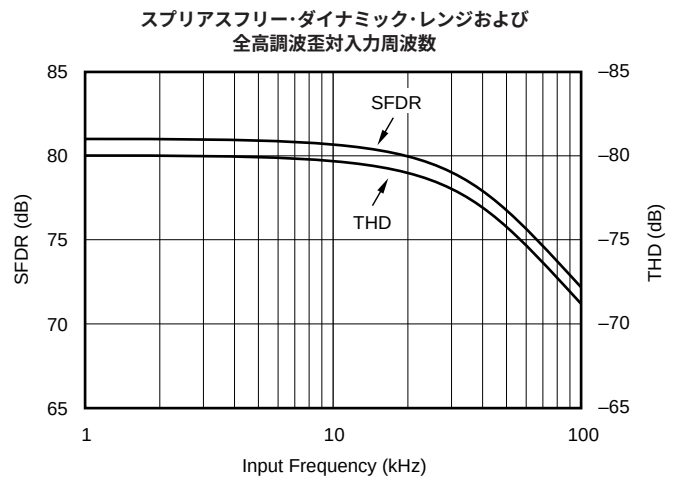
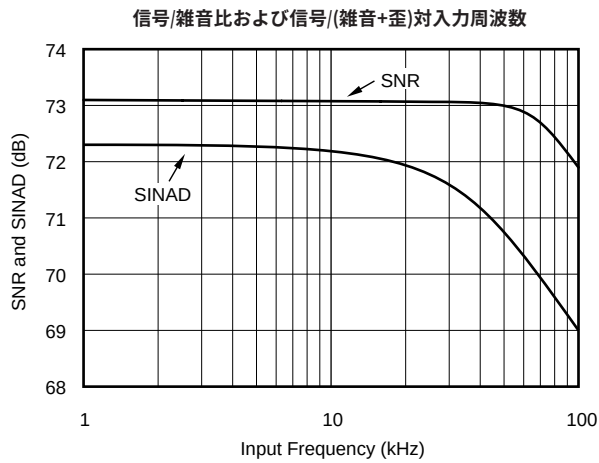
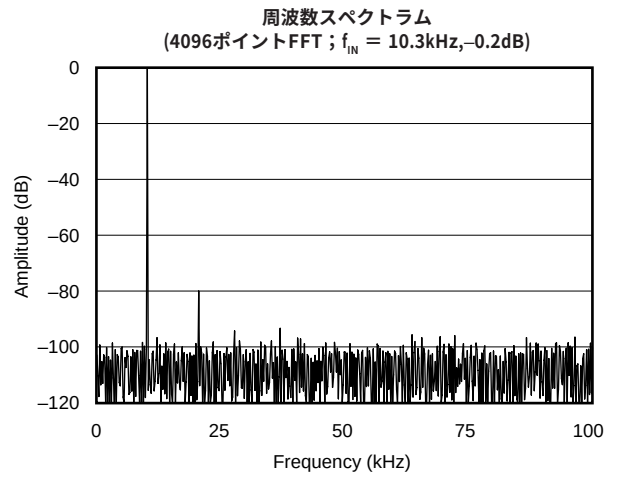
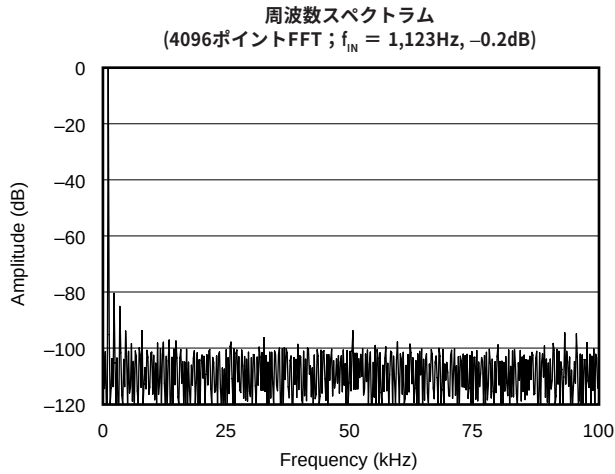
パッケージ情報/ご発注の手引き

モデル	最小相対精度 (LSB)	最大ゲイン誤差 (LSB)	仕様温度範囲	パッケージ	パッケージ図番号 ⁽¹⁾	発注番号 ⁽²⁾	供給時の状態
ADS7844E	±2	±4	−40°C〜+85°C	20ピンQSOP	349	ADS7844E	マガジン
ADS7844E	±2	±4	−40°C〜+85°C	20ピンQSOP	349	ADS7844E/2K5	テーブリール
ADS7844N	±2	±4	−40°C〜+85°C	20ピンSSOP	334	ADS7844N	マガジン
ADS7844N	±2	±4	−40°C〜+85°C	20ピンSSOP	334	ADS7844N/1K	テーブリール
ADS7844EB	±1	±3	−40°C〜+85°C	20ピンQSOP	349	ADS7844EB	マガジン
ADS7844EB	±1	±3	−40°C〜+85°C	20ピンQSOP	349	ADS7844EB/2K5	テーブリール
ADS7844NB	±1	±3	−40°C〜+85°C	20ピンSSOP	334	ADS7844NB	マガジン
ADS7844NB	±1	±3	−40°C〜+85°C	20ピンSSOP	334	ADS7844NB/1K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/2K5はリール1本あたりデバイスが2,500個入りであることを示します)。“ADS7844/2K5”を発注すると、2,500個入りテーブリール1本が納入されます。

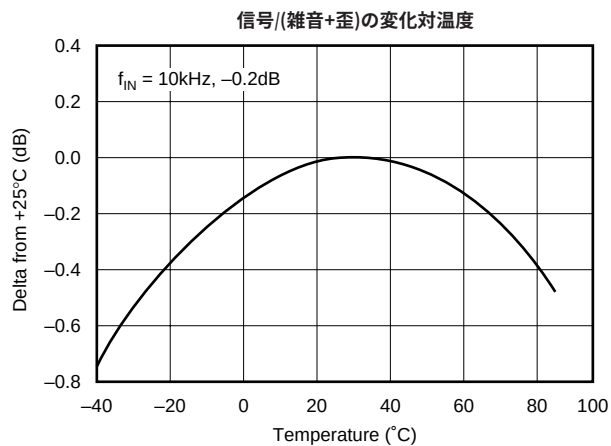
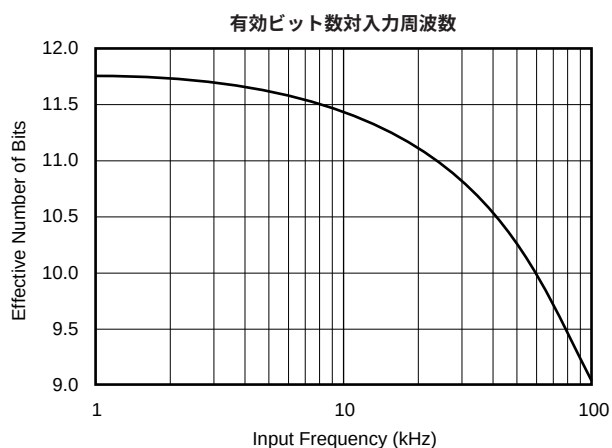
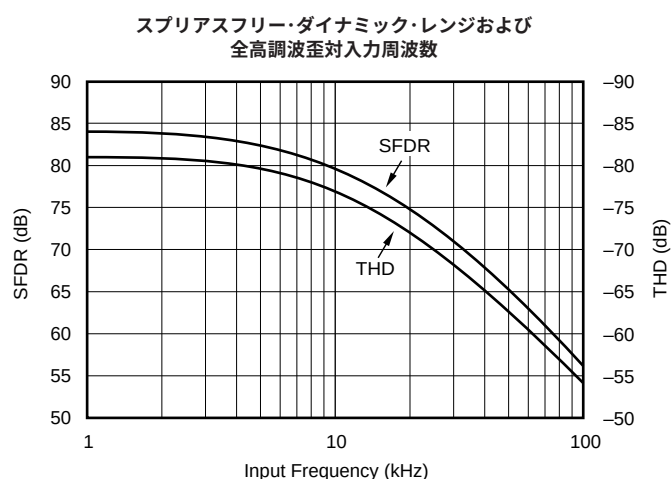
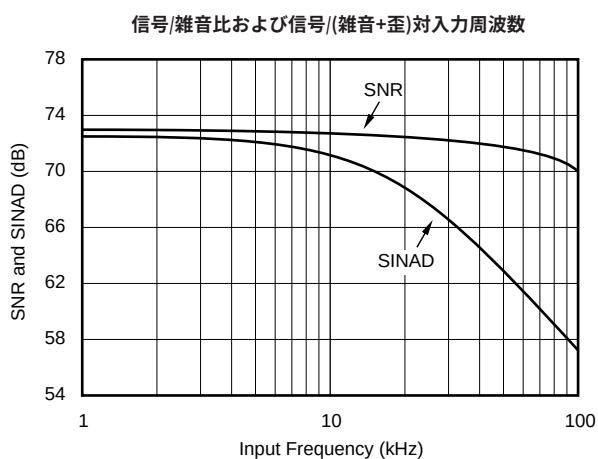
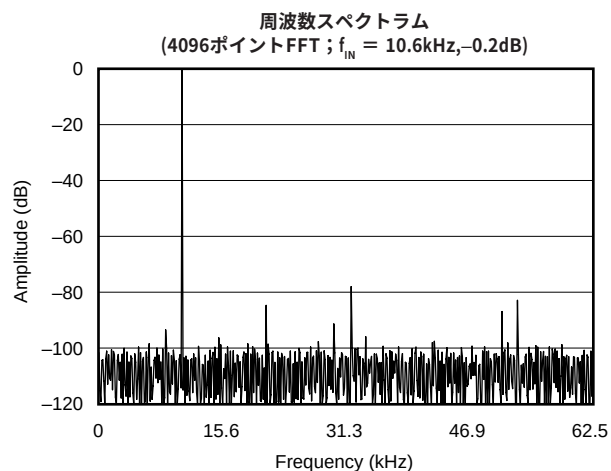
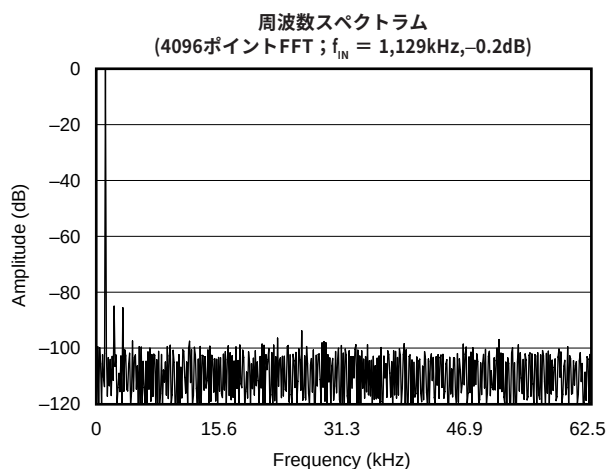
代表的性能曲線:+5V

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 200\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 3.2\text{MHz}$ です。



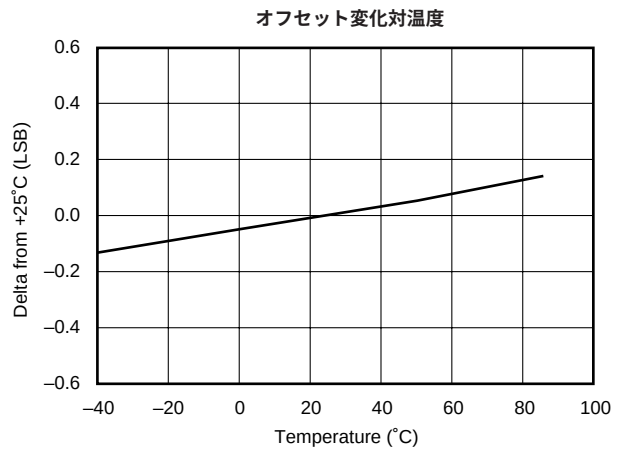
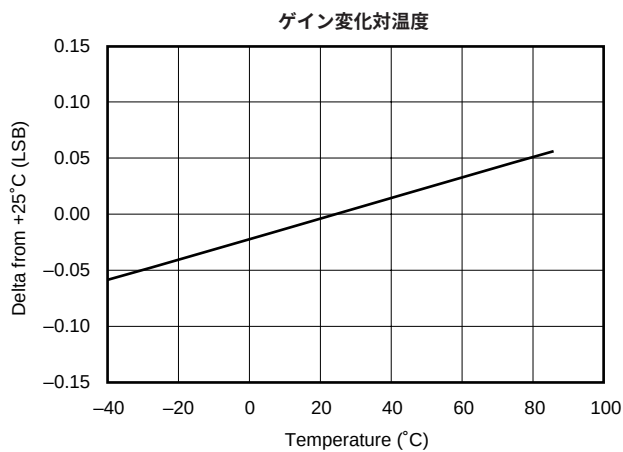
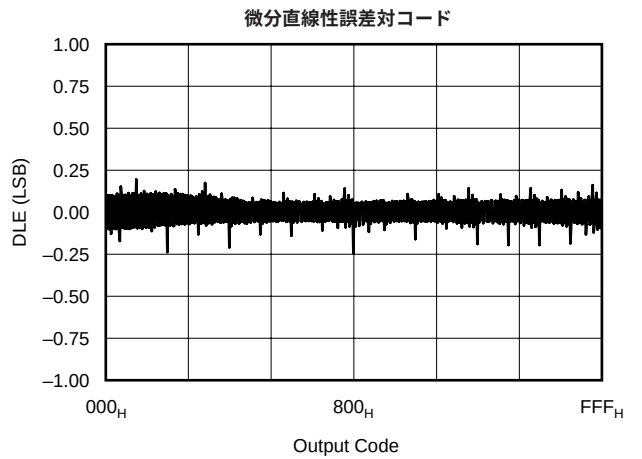
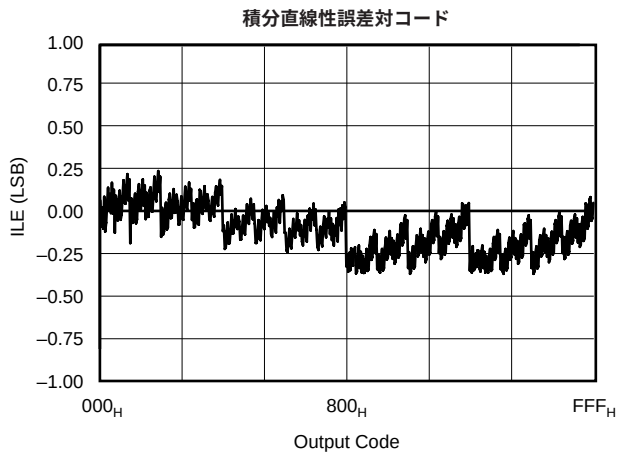
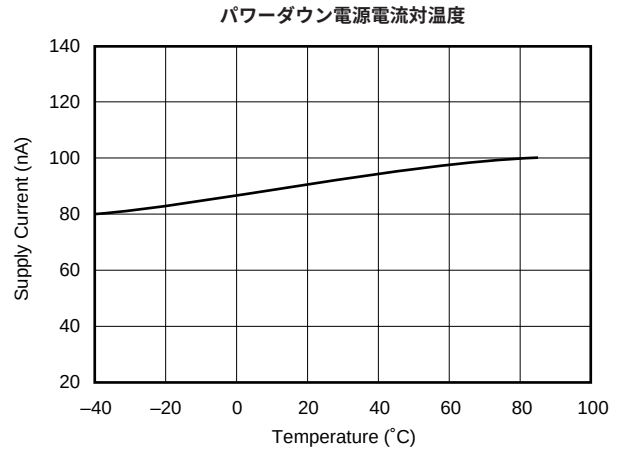
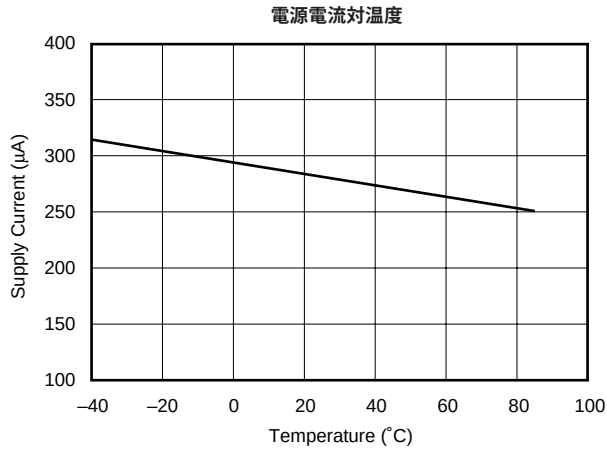
代表的性能曲線:+2.7V

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。



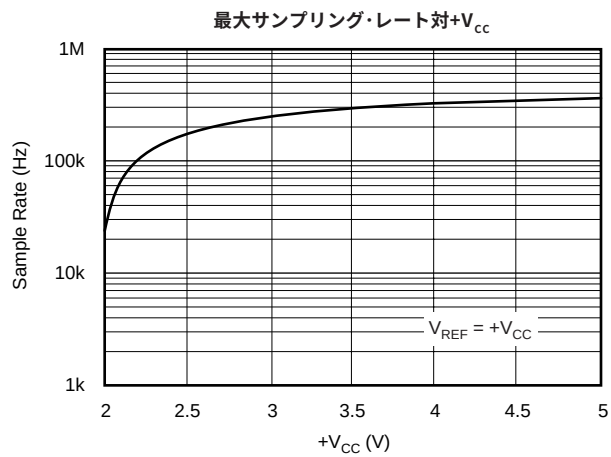
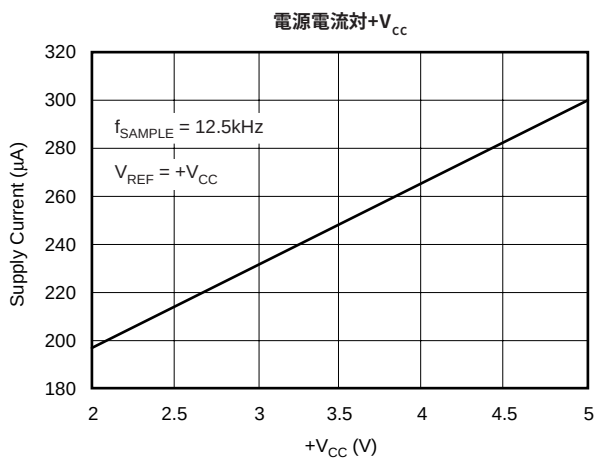
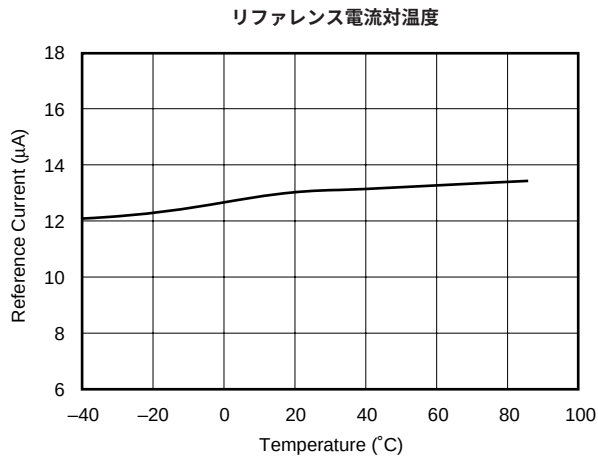
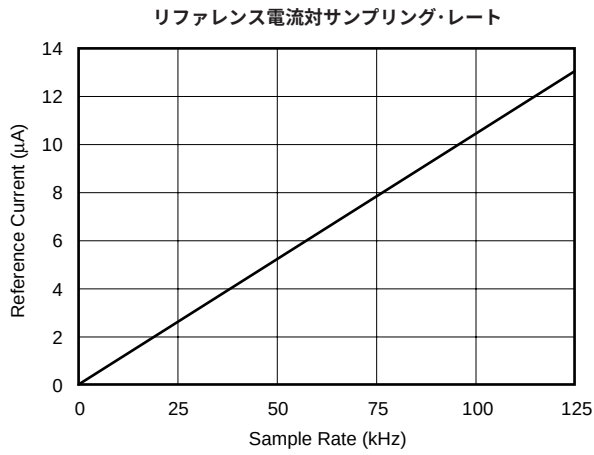
代表的性能曲線:+2.7V

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{SAMPLE} = 125\text{kHz}$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE} = 2\text{MHz}$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。



動作原理

ADS7844は、クラシックな逐次比較型レジスタ(SAR)を使用したアナログ/デジタル(A/D)コンバータです。このコンバータは、本質的にサンプル/ホールド機能をもつ電荷再配分に基づくアーキテクチャを採用し、0.6 μ mのCMOSプロセスで製造されています。

ADS7844の基本動作を図1に示します。ADS7844は、外部リファレンスおよび外部クロックを必要とし、2.7Vから5.25Vの単一電源で動作します。外部リファレンスには、100mVから $+V_{CC}$ までの任意の電圧を使用することができます。リファレンス電圧の値により、コンバータの入力レンジが直接設定されます。平均のリファレンス入力電流は、ADS7844の変換レートに応じて変化します。

コンバータのアナログ入力は、差動入力で、8チャンネルのマルチプレクサから供給されます。COMピンの電圧(通常はグランド)を基準とする入力、または8入力チャンネル(CH0-CH7)の4組のチャンネルを使用した差動入力を選択することができます。デジタル・インターフェースで特定の構成を選択します。

アナログ入力

図2にADS7844の入力マルチプレクサのブロック図を示します。コンバータの差動入力は、8入力のいずれか(COMピンを基準)、または8入力の4組の入力から供給されます。表Iおよび表IIに、制御ビットA2、A1、A0、およびSGL/ $\overline{DIF}$ と、アナログ・マルチプレクサの構成との関係を示します。制御ビットは、DINピンからシリアルに入力されます。制御ビットの詳細については、このデータシートの“デジタル・インターフェース”の項を参照して下さい。

コンバータがホールド・モードになると、+INおよび-IN入力(図2参照)の電圧の差が内部キャパシタ・アレイでキャプチャされます。-IN入力の電圧は、-0.2Vから1.25Vまでに制限されており、+INと-IN入力に共通の小信号が除去されます。+IN入力のレンジは、-0.2Vから $+V_{CC}+0.2V$ までです。

アナログ入力の入力電流は、ADS7844の変換レートに依存します。ソースは、サンプリング周期の間に内部サンプリング・キャパシタ(標準値25pF)を充電しなくてはなりません。

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+IN								-IN
1	0	0		+IN							-IN
0	0	1			+IN						-IN
1	0	1				+IN					-IN
0	1	0					+IN				-IN
1	1	0						+IN			-IN
0	1	1							+IN		-IN
1	1	1								+IN	-IN

表I. シングル・エンド・チャンネルの選択(SGL/ $\overline{DIF}$ が“ハイ”)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+IN	-IN		+IN	-IN			
0	0	1			+IN			-IN		
0	1	0					+IN		-IN	
0	1	1								+IN
1	0	0	-IN	+IN						
1	0	1			-IN	+IN				
1	1	0					-IN	+IN		
1	1	1							-IN	+IN

表II. 差動チャンネルの制御(SGL/ $\overline{DIF}$ が“ロー”)

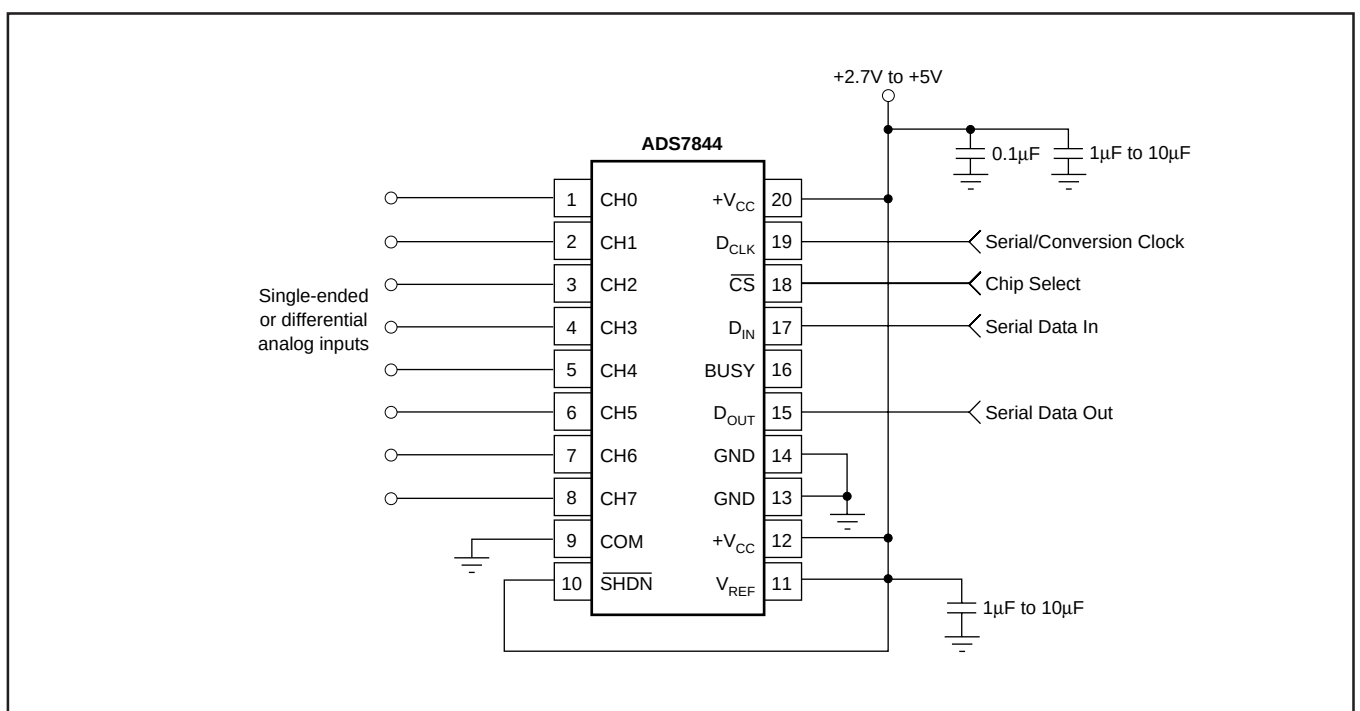


図1. ADS7844の基本動作

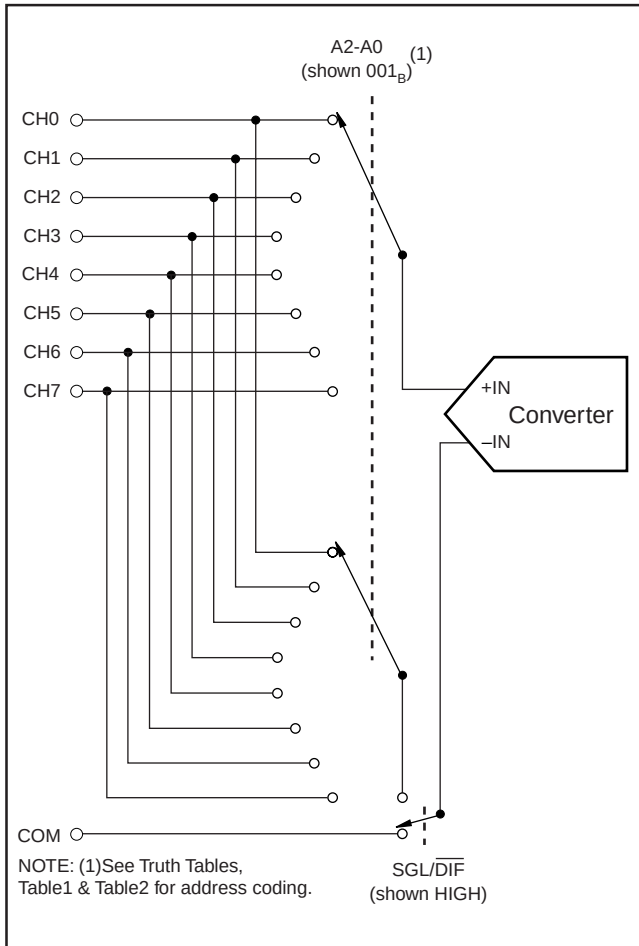


図2. 簡略回路図

キャパシタが完全に充電された後、入力電流は流れなくなります。アナログ・ソースからコンバータへの電荷の移動速度は、変換レートの関数です。

リファレンス入力

外部リファレンスが、アナログ入力レンジを設定します。ADS7844は、100mVから $+V_{CC}$ までの範囲のリファレンスで動作します。図2に示すように、アナログ入力は+IN入力と-IN入力の差であることに注意して下さい。例えば、シングル・エンド・モードでCOMピンをグラウンドに接続し、1.25Vのリファレンスを使用した場合、選択した入力チャンネル(CH0 – CH7)は0Vから1.25Vのレンジの信号を適切にデジタル化します。COMピンを0.5Vに接続した場合、選択したチャンネルの入力レンジは0.5Vから1.75Vになります。

リファレンス入力とその広い電圧レンジについては、いくつかの重要な点があります。リファレンス電圧が低い場合、各デジタル出力コードのアナログ電圧のウェイトも小さくなります。この値は、通常LSB(最下位ビット)サイズと呼ばれ、リファレンス電圧の1/4096に相当します。リファレンス電圧の低下につれ、LSBサイズで表したA/Dコンバータ固有のオフセットまたはゲイン誤差は増加するように見えます。例えば、2.5Vのリファレンスでコンバータのオフセットが2LSBになる場合、0.5Vのリファレンスではオフセットが10LSBになります。いずれの場合も、デバイスの実際のオフセットは、同じ1.22mVです。

同様に、LSBサイズが小さいと、雑音が増加してデジタル出力の精度が低下します。リファレンス電圧が100mVの場合、LSBサイズは24 μ Vになります。これはデバイスの内部雑音より低い

レベルです。この結果、デジタル出力コードは不安定になり、平均値の上下を数LSBの範囲で変動します。出力コードの分布はガウス分布で、連続した変換結果を平均したりデジタルフィルタを使用することによって雑音を小さくできます。

リファレンス電圧が低い場合は、十分なバイパス、クリーン(低雑音、低リップル)な電源、低雑音のリファレンス、低雑音の入力信号など、クリーンなレイアウトを準備することに注意が必要です。また、LSBサイズが小さくなるため、コンバータは付近のデジタル信号や電磁干渉などに敏感になります。

V_{REF} 入力の電圧は、バッファリングされず、直接ADS7844のキャパシタD/Aコンバータ(CDAC)部をドライブします。2.5Vのリファレンスを使用したときの標準的な入力電流は13 μ Aです。この値は、変換結果によって数マイクロアンペア変動します。リファレンス電流は、変換レートおよびリファレンス電圧と共に減少します。リファレンスからの電流引き込みは各ビット判定点で行われるため、変換時間を一定とした場合は、コンバータのクロックを高速にしてもリファレンスから引き込まれる電流の総量は減少しません。

デジタル・インターフェース

図3に、ADS7844のデジタル・インターフェースの標準的な動作を示します。この図では、デジタル信号のソースが基本的なシリアル・インターフェースを備えたマイクロコントローラまたはデジタル信号プロセッサであると仮定しています(デジタル入力は $+V_{CC}$ にかかわらず最大5.5Vの過電圧を許容することに注意して下さい)。プロセッサとコンバータ間の1回の通信は、8クロック・サイクルからなります。完全な1回の変換は、3回のシリアル通信で行われ、DCLK入力の合計24のクロック・サイクルで完了します。

最初の8クロック・サイクルで、DINピンから制御バイトを読み込みます。次の変換について入力マルチプレクサを適切に設定する十分な情報が得られると、コンバータはアキュジション(サンプリング)モードに入ります。3クロック・サイクル後に制御バイトが完了すると、コンバータは変換モードに入ります。このとき、入力サンプル/ホールドは、ホールド・モードに移行します。次の12クロック・サイクルで実際のA/D変換を実行します。13番目のクロック・サイクルは、変換結果の最後のビットのために必要です。以後の3クロック・サイクル(DOUTは“ロー”)は、最後のバイトが完了するために必要ですが、コンバータには無視されます。

制御バイト

図3は、制御バイトの各制御ビットの位置と順序も示しています。各ビットの詳細については、表IIIおよび表IVを参照して下さい。最初のビットの“S”は、制御バイトのスタート・ビットを示し、常に“ハイ”にすることが必要です。ADS7844は、スタート・ビットが検出されるまで、DINピンの入力を無視します。次の3ビット(A2 – A0)は、アクティブな入力チャンネルまたは入力マルチプレクサのチャンネルの組を選択します(表I、表IIおよび図2を参照)。

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
S	A2	A1	A0	—	SGL/DIF	PD1	PD0

表III. 制御バイトの各制御ビットの順序

ビット	名前	説明
7	S	スタート・ビット。制御バイトは、DINの最初の“ハイ”のビットから開始される。新しい制御バイトは15クロック・サイクルごとに開始される。
6 - 4	A2 - A0	チャンネル選択ビット。SGL/DIFビットとともに、マルチプレクサ入力の設定を制御(表Iおよび表IIを参照)。
3	—	未使用
2	SGL/DIF	シングル・エンド/差動選択ビット。ビットA2 - A0とともに、マルチプレクサ入力の設定を制御(表Iおよび表IIを参照)。
1 - 0	PD1 - PD0	パワーダウン・モード選択ビット(表Vを参照)。

表IV. 制御バイトの各制御ビットの説明

SGL/DIFビットは、マルチプレクサの入力モードを制御し、シングル・エンド(“ハイ”)または差動(“ロー”)モードに設定します。シングル・エンド・モードでは、選択した入力チャンネルの基準としてCOMピンが使用されます。差動モードでは、選択した2つの入力が入力になります。詳細については、表I、表II、および図2を参照して下さい。最後の2ビット(PD1 - PD0)は、パワーダウン・モードを選択します(表V参照)。両方とも“ハイ”の場合は、デバイスが常にパワーアップ状態になります。両方とも“ロー”の場合は、デバイスが変換から変換までの間、パワーダウン・モードに入ります。新しい変換が開始されると、デバイスは直ちに通常動作を再開します。デバイスがパワーアップするまでの遅延は必要なく、最初の変換から有効になります。

16クロックの変換サイクル

図4に示すように、変換“n+1”の制御ビットを変換“n”と重ねることにより、16クロック・サイクルごとに変換を実行することができます。この図は、プロセッサとコンバータ間のバイト転送と並行して他のシリアル周辺装置とのシリアル通信が可能であることも示しています。その場合、各変換が開始から1.6ms以内に完了することが条件になります。さもないと、入力のサンプル/ホールドでキャプチャされた信号がドループし、変換結果に影響します。また、他のシリアル通信を実行している間、ADS7844はフルパワー・モードになります。

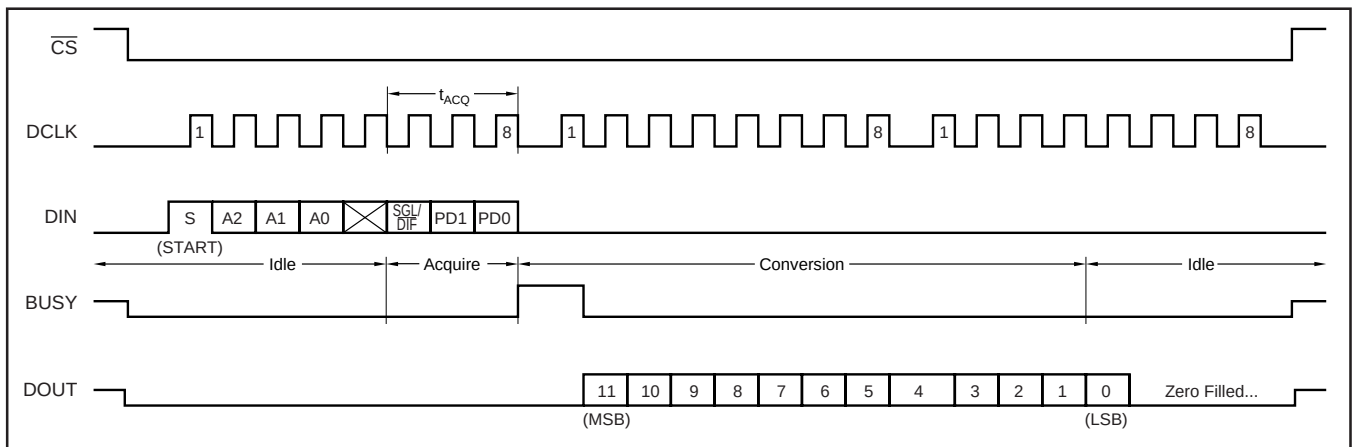


図3. 変換のタイミング(24クロックの変換サイクル、8ビット・バス・インターフェース)。専用シリアル・ポートでDCLKの遅延は不要。

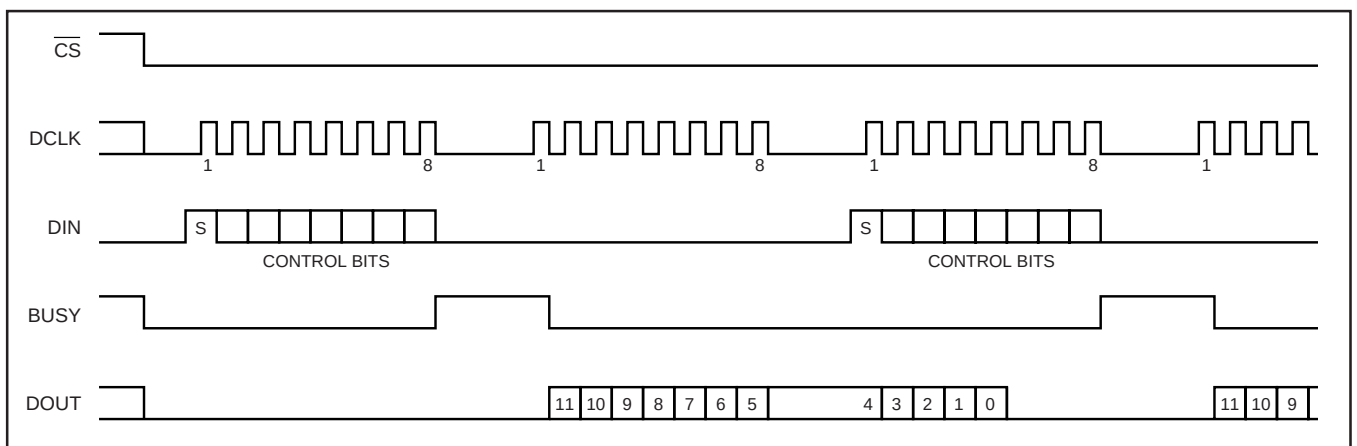


図4. 変換のタイミング(16クロックの変換サイクル、8ビット・バス・インターフェース)。専用シリアル・ポートでDCLKの遅延は不要。

PD1	PD0	説明
0	0	変換から変換までの間パワーダウンする。コンバータは変換が終了するたびにパワーダウン・モードに入り、次の変換の最初で直ちにフルパワー・モードに戻る。完全な動作を保証するための遅延は必要なく、最初の変換から有効になる。
0	1	将来の使用のために予約
1	0	将来の使用のために予約
1	1	変換から変換までの間パワーダウンしない。デバイスは常にパワーアップ状態になる。

表V. パワーダウンの選択

デジタル・タイミング

図5、表V I および表V II に、ADS7844のデジタル・インターフェースの詳細なタイミングを示します。

15クロックの変換サイクル

図6は、ADS7844にクロックを供給する最も高速な方法です。この方法は、一般に15クロック・サイクル単位のシリアル転送ができないマイクロコントローラやデジタル信号プロセッサのシリアル・インターフェースには使用できませんが、フィールド・プログラマブル・ゲート・アレイ (FPGA) や特定用途向けIC (ASIC) での使用が考えられます。この方法によるコンバータの最大変換レートの増大は、16クロック・サイクル単位の変換を想定している仕様の表の値を超えたものであることに注意して下さい。

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュイジション時間	1.5			μs
t_{DS}	DCLKの立ち上がり前のDIN有効	100			ns
t_{DH}	DCLK‘ハイ’後のDINホールド	10			ns
t_{DO}	DCLKの立ち下がりからDOUT有効まで			200	ns
t_{DV}	$\overline{CS}$ の立ち下がりからDOUTイネーブルまで			200	ns
t_{TR}	$\overline{CS}$ の立ち上がりからDOUTディスエーブルまで			200	ns
t_{CSS}	$\overline{CS}$ の立ち下がりから最初のDCLKの立ち上がりまで	100			ns
t_{CSH}	$\overline{CS}$ の立ち上がりからDCLK無視まで	0			ns
t_{CH}	DCLK‘ハイ’	200			ns
t_{CL}	DCLK‘ロー’	200			ns
t_{BD}	DCLKの立ち下がりからBUSYの立ち上がりまで			200	ns
t_{BDV}	$\overline{CS}$ の立ち下がりからBUSYイネーブルまで			200	ns
t_{BTR}	$\overline{CS}$ の立ち上がりからBUSYディスエーブルまで			200	ns

表VI. タイミング仕様(+ $V_{CC} = +2.7V \sim 3.6V$, $T_A = -40^\circ C \sim +85^\circ C$, $C_{LOAD} = 50pf$)

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュイジション時間	900			ns
t_{DS}	DCLKの立ち上がり前のDIN有効	50			ns
t_{DH}	DCLK‘ハイ’後のDINホールド	10			ns
t_{DO}	DCLKの立ち下がりからDOUT有効まで			100	ns
t_{DV}	$\overline{CS}$ の立ち下がりからDOUTイネーブルまで			70	ns
t_{TR}	$\overline{CS}$ の立ち上がりからDOUTディスエーブルまで			70	ns
t_{CSS}	$\overline{CS}$ の立ち下がりから最初のDCLKの立ち上がりまで	50			ns
t_{CSH}	$\overline{CS}$ の立ち上がりからDCLK無視まで	0			ns
t_{CH}	DCLK‘ハイ’	150			ns
t_{CL}	DCLK‘ロー’	150			ns
t_{BD}	DCLKの立ち下がりからBUSYの立ち上がりまで			100	ns
t_{BDV}	$\overline{CS}$ の立ち下がりからBUSYイネーブルまで			70	ns
t_{BTR}	$\overline{CS}$ の立ち上がりからBUSYディスエーブルまで			70	ns

表VII. タイミング仕様(+ $V_{CC} = +4.75V \sim +5.25V$, $T_A = -40^\circ C \sim +85^\circ C$, $C_{LOAD} = 50pF$)

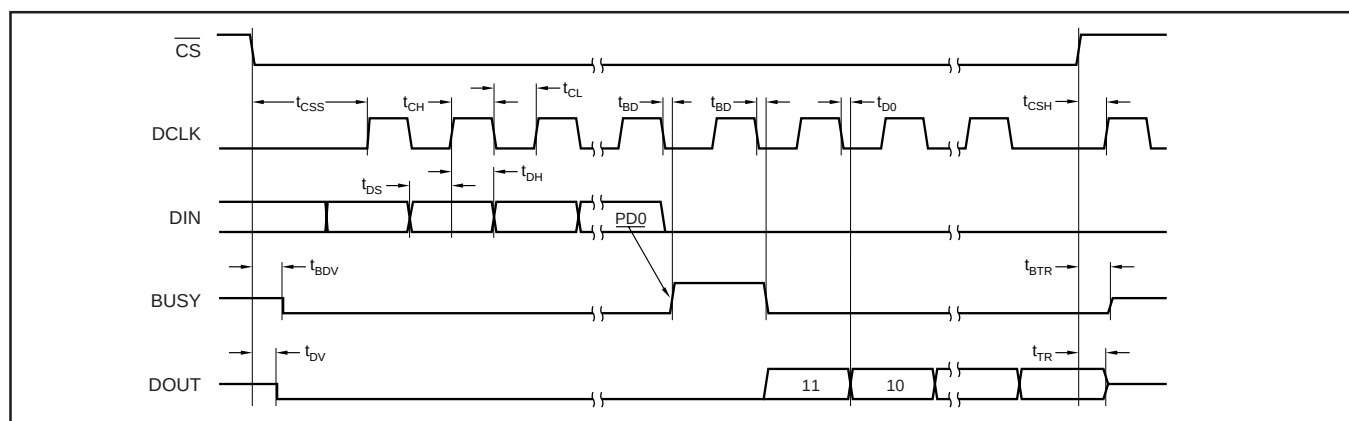


図5.詳細なタイミング図

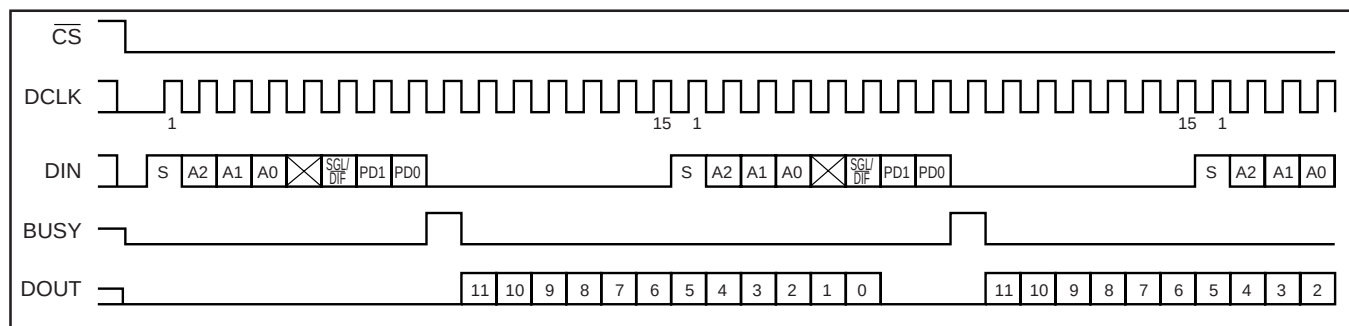


図6.最大変換レート、15クロックの変換サイクル

データ・フォーマット

ADS7844の出力データは、図7に示すようにストレート・バイナリ・フォーマットです。この図は、各入力電圧に対応する理想的な出力コードを表し、オフセット誤差、ゲイン誤差、雑音などの影響は含みません。

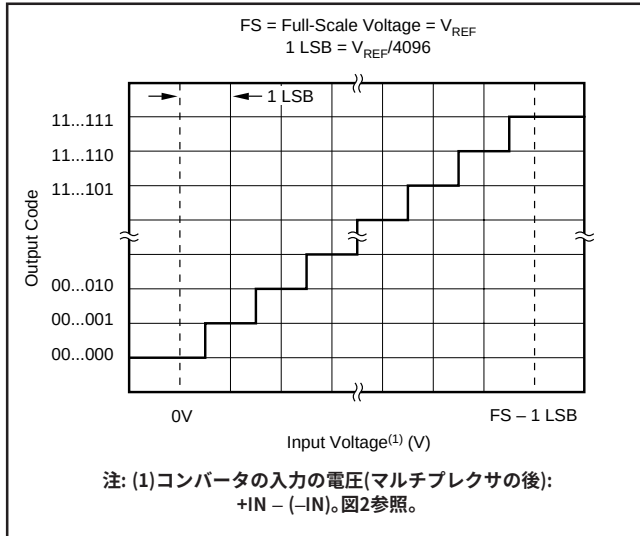


図7.理想的な入力電圧と出力コード

消費電力

ADS7844には、フルパワー(PD1 – PD0 = 11B)、オートパワーダウン(PD1 – PD0 = 00B)、シャットダウン(SHDNが“ロー”)の3種類の電力モードがあります。各モードの効果は、ADS7844の動作状況によって異なります。例えば、最大の変換レートおよび16クロックの変換サイクルのとき、フルパワー・モードとオートパワーダウン・モードの差はほとんどありません。同様に、デバイスが既にオートパワーダウンになっているとき、シャットダウン(SHDNが“ロー”)によって消費電力は低減しません。

ADS7844は、最大速度および16クロックの変換サイクルのとき(図4参照)、大部分の時間をアキュイジションまたは変換に使用しています。オートパワーダウンをアクティブにしている場合でも、オートパワーダウン・モードになっている時間はほとんどありません。このため、フルパワー・モードとオートパワーダウン・モードの差は無視できるほどわずかなものになります。単にDCLK入力の周波数を低くして変換レートを遅くした場合、2つのモードは、ほぼ同じに保たれます。これに対して、変換中のDCLKの周波数を最大レートに保ちながら変換の頻度を小さくした場合は、2つのモードの差はきわめて大きくなります。DCLK周波数を低くする(DCLKを変換レートに合わせて“スケーリング”する)場合とDCLKを最大周波数に保ちながら単位時間当たりの変換回数を少なくする場合の比較を図8に示します。後者の場合、コンバータがパワーダウン・モード(オートパワーダウン・モードがアクティブと仮定)になる時間の割合が増加します。

ADS7844は、DCLKがアクティブでCSが“ロー”の場合、オートパワーダウン・モードのときにも多少の電力をデジタル・ロジックで消費します。電力は、CSを“ハイ”に保つことにより最小にすることができます。これらの2つの場合の電源電流の差を図9に示します。

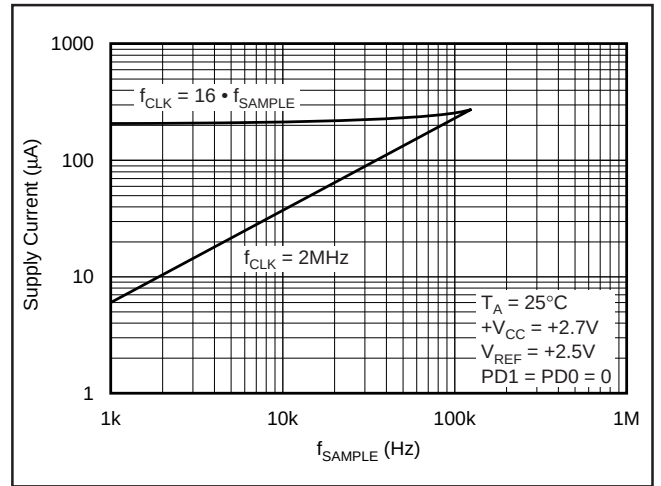


図8.DCLKの周波数をサンプリング・レートに合わせてスケーリングした場合と最大周波数に保持した場合の電源電流の比較

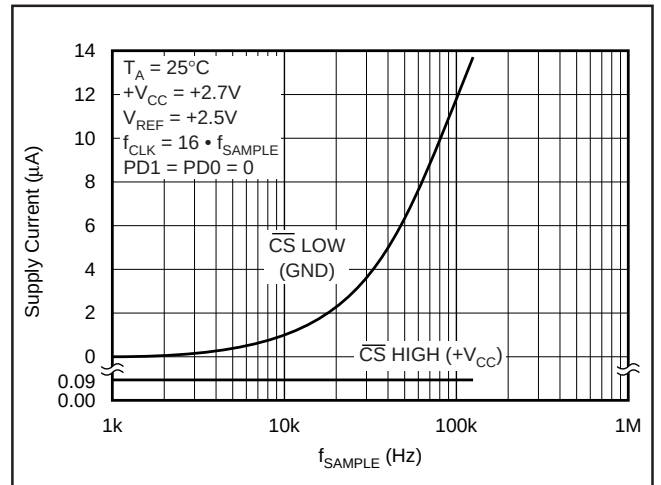


図9.CSの状態による電源電流の比較

ADS7844をオートパワーダウン・モードで動作させると、消費電力が最小限に抑えられ、パワーアップ時の変換時間の損失がありません。最初の変換から有効になります。SHDNを使用すると、直ちにパワーダウン・モードにすることができます。

レイアウト

最良な性能を得るためには、ADS7844の回路レイアウトに注意することが必要です。リファレンス電圧が低い場合や、変換レートが高い場合、またこの両方を伴う場合には特に重要です。

基本的なSARアーキテクチャは、電源、リファレンス、グランド、およびデジタル入力の各端子でアナログ・コンパレータ出力をラッチする直前に発生するグリッチに敏感です。nビットのSARコンバータでは必ず1回の変換にn個の「窓」があり、変換結果が容易に大きな外部過渡電圧の影響を受けます。このようなグリッチは、スイッチング電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および正確な外部イベントのタイミングに依存します。外部イベントとDCLK入力のタイミングが変化する場合、誤差が変動します。

このことを考慮して、ADS7844の電源は十分にバイパスしたクリーンなものを使用することが必要です。ADS7844には、パッケージのできるだけ近くに0.1 μ Fのセラミック・バイパス・コンデンサを配置して下さい。また、雑音の多い電源のローパスフィルタとして、1 μ Fから10 μ Fのコンデンサと5 Ω または10 Ω の直列抵抗を使用することもできます。

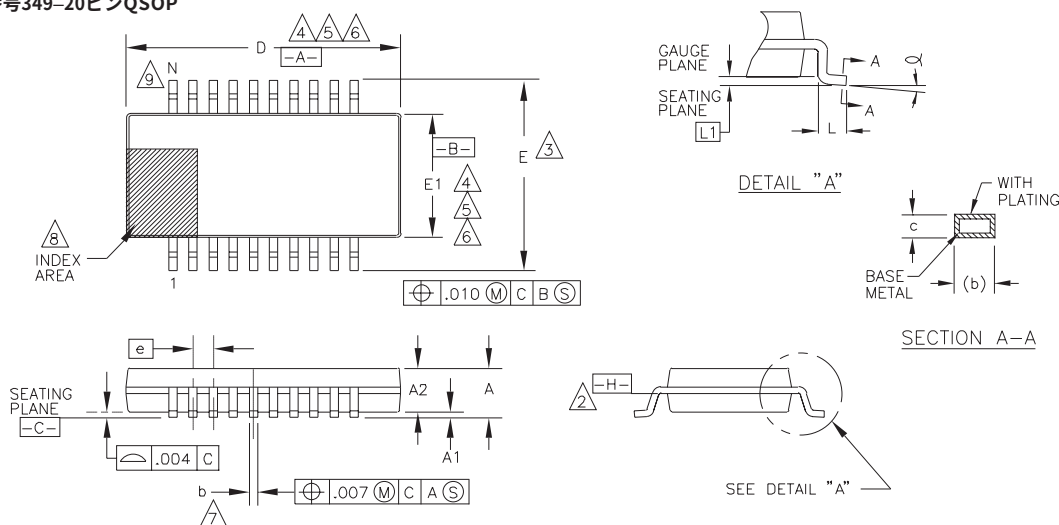
同様に、リファレンスも0.1 μ Fのコンデンサでバイパスすることが必要です。この場合も、リファレンス電圧のローパスフィルタとして直列抵抗および大きいコンデンサを使用することができます。オペアンプからリファレンス電圧を供給する場合は、オペアンプが発振なしにバイパス・コンデンサをドライブできることを確認して下さい(この場合は直列抵抗が有効です)。ADS7844は、平均的にはリファレンスから電流をほとんど引きませんが、瞬間的には(変換中にDCLKの各立ち上がりエッジで)リファレンス回路から比較的大きな電流を必要とします。

ADS7844のアーキテクチャは、本質的にリファレンス入力の雑音または電圧変動を除去しません。このことは、特にリファレンス入力電源が電源に接続されているときに問題になります。電源から雑音やリップルが入った場合は、直接デジタル・データに現われます。前項で述べたように、高周波雑音はフィルタで除去できますが、ライン周波数(50Hzまたは60Hz)による電圧変動の除去は難しいことがあります。

GNDピンは、クリーンなグランド・ポイントに接続して下さい。多くの場合、これには“アナログ”グランドが使用されます。マイクロコントローラまたはデジタル信号プロセッサのグランド・ポイントと接近しすぎた位置に接続しないで下さい。必要な場合は、直接コンバータから電源のエントリ・ポイントまでグランド・トレースを配置します。コンバータおよび関連するアナログ回路に専用のアナログ・グランド・プレーンを設けたレイアウトが理想的です。

外観

パッケージ番号349-20ピンQSOP



DIM	INCHES		MILLIMETERS		NOM	DIM	INCHES		MILLIMETERS		NOM
	MIN.	MAX.	MIN.	MAX.			MIN.	MAX.	MIN.	MAX.	
A	.053	.069	1.35	1.75							
A1	.004	.010	0.10	0.25							
A2	—	.059	—	1.50							
b	.008	.012	0.20	0.31	7						
c	.006	.010	0.15	0.25							
D	.337	.344	8.56	8.74	5.6						
E	.228	.244	5.79	6.20	3						
E1	.150	.157	3.81	3.99	5.6						
e	.025	BASIC	0.64	BASIC							
L	.016	.050	0.41	1.27							
L1	.010	BASIC	0.25	BASIC							
N	20		20		9						
α	0°	8°	0°	8°							

NOTES:

1. DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5M-1982.
2. DATUM PLANE [H] COINCIDENT WITH BOTTOM OF LEAD, WHERE LEAD EXITS BODY.
3. TO BE DETERMINED AT SEATING PLANE [C].
4. DATUMS [A] AND [B] TO BE DETERMINED AT DATUM [H].
5. DIMENSION D DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS. MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006" (0.15mm) PER SIDE. DIMENSION E1 DOES NOT INCLUDE INTERLEAD MOLD PROTRUSIONS. INTERLEAD MOLD PROTRUSIONS SHALL NOT EXCEED .010" (0.25mm) PER SIDE.

6. TO BE DETERMINED AT PLANE [H].
7. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .004" (0.10mm) TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .002" (0.05mm) AT LEAST MATERIAL CONDITION.
8. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
9. N IS THE MAXIMUM NUMBER OF LEADS.

PACKAGE NUMBER: ZZ349 REV.: A
JEDEC NUMBER: MO-137-AD

外観

