



タッチスクリーン・コントローラ

特 長

- 4線タッチスクリーン・インターフェース
- レシオメトリック変換
- シングル電源動作：+2.7V ~ +5V
- 最高125kHzの変換速度
- シリアル・インターフェース
- 8ビットまたは12ビット分解能のプログラミング設定が可能
- 2つの予備アナログ入力
- 完全なパワーダウン制御

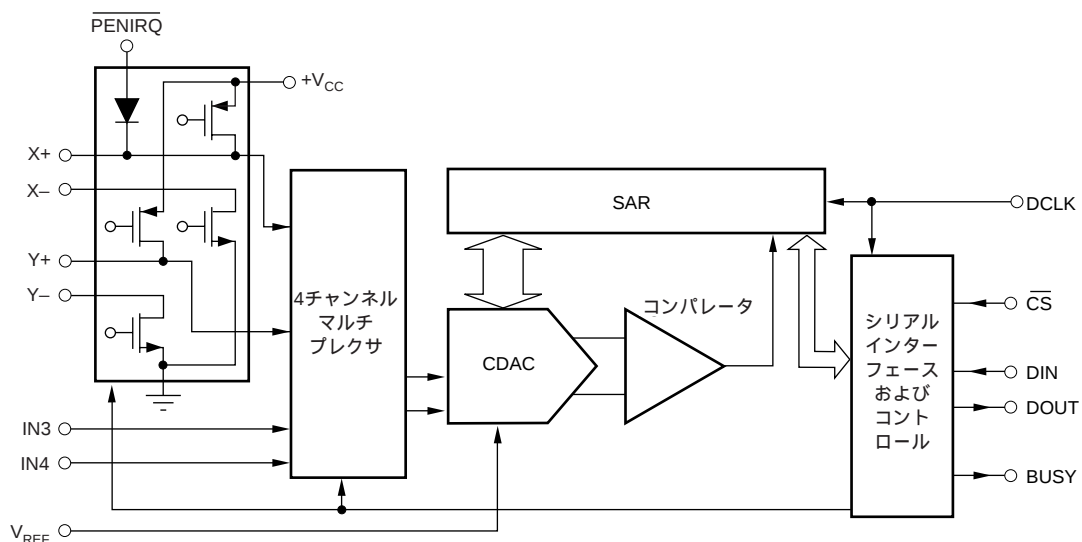
アプリケーション

- 携帯情報端末
- 携帯型計測機器

概 要

ADS7843は、同期シリアル・インターフェースおよびタッチスクリーンをドライブするためのオン抵抗の低いスイッチを備えた12ビット・サンプリングA/Dコンバータ(ADC)です。125kHzのスループット・レートおよび+2.7Vの電源動作時の消費電力はわずか750 μ W(標準値)に過ぎません。リファレンス電圧(V_{REF})を1Vから $+V_{CC}$ までの範囲で変化させることが可能なので、これに対応して入力電圧を0Vから V_{REF} までの範囲に設定することができます。ADS7843には、消費電力の標準値を0.5 μ W以下に低減するシャットダウン・モードが用意されています。ADS7843は+2.7Vまでの低電圧動作が保証されています。

ADS7843は低消費電力、高速でスイッチが内蔵されているので、抵抗性タッチスクリーン付きの携帯情報端末やその他の携帯型機器などバッテリー駆動システム応用に理想的です。ADS7843には16ピンのSSOPパッケージが用意されており、仕様は-40 から+85 までの温度範囲で保証されています。



仕様

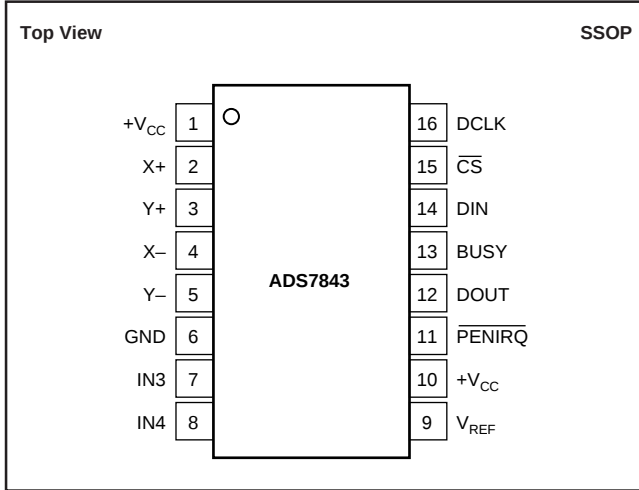
特に記述のない限り、 $T_A = -40 \sim +85$ 、 $+V_{CC} = +2.7V$ 、 $V_{REF} = +2.5V$ 、 $f_{SAMPLE} = 125kHz$ 、 $f_{CLOCK} = 16 \times f_{SAMPLE} = 2MHz$ 、12ビット・モード、デジタル入力 = GND または $+V_{CC}$ です。

パラメータ	条件	ADS7843E			単位
		最小	標準	最大	
アナログ入力 フルスケール入力スパン 絶対入力範囲 容量 リーケージ電流	正入力 - 負入力 正入力 負入力	0 −0.2 −0.2	25 0.1	V_{REF} $+V_{CC} + 0.2$ $+0.2$	V V V pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 オフセット誤差 オフセット誤差マッチング ゲイン誤差 ゲイン誤差マッチング ノイズ 電源除去		11	12 0.1 0.1 30 70	 ± 2 ± 6 1.0 ± 4 1.0	Bits Bits LSB ⁽¹⁾ LSB LSB LSB μVrms dB
サンプリング・ダイナミック性能 変換時間 アキュイジション時間 スループット・レート マルチプレクサ・セトリングタイム アパーチャ遅延 アパーチャ・ジッタ チャンネル間アイソレーション	50kHz時で $V_{IN} = 2.5Vp-p$	3	500 30 100 100	12 125	Clk Cycles Clk Cycles kHz ns ns ps dB
スイッチ・ドライバ オン抵抗 Y+、X+ Y−、X−			5 6		Ω Ω
リファレンス入力 範囲 抵抗値 入力電流	$\overline{CS} = GND$ または $+V_{CC}$ $f_{SAMPLE} = 12.5kHz$ $CS = +V_{CC}$	1.0	5 13 2.5 0.001	$+V_{CC}$ 40 3	V GΩ μA μA μA
デジタル入力/出力 ロジック・ファミリ ロジック・レベル(PENIRQを除く) V_{IH} V_{IL} V_{OH} V_{OL} $\overline{PENIRQ}$ V_{OL} データ・フォーマット	$ I_{IH} \leq +5\mu A$ $ I_{IL} \leq +5\mu A$ $I_{OH} = -250\mu A$ $I_{OL} = 250\mu A$ $T_A = 0 \sim +85$ 、100kΩのプルアップ抵抗	$+V_{CC} \cdot 0.7$ −0.3 $+V_{CC} \cdot 0.8$	CMOS ストレート・バイナリ	$+V_{CC} + 0.3$ $+0.8$ 0.4 0.8	V V V V
電源 $+V_{CC}$ 無信号時電流 消費電力	仕様性能 $f_{SAMPLE} = 12.5kHz$ DCLK = DIN = $+V_{CC}$ でシャットダウン・モード $+V_{CC} = +2.7V$	2.7	280 220	3.6 650 3 1.8	V μA μA μA mW
温度範囲 仕様性能		−40		+85	

注：(1) LSBは最下位ビットを示します。 $V_{REF} = +2.5V$ 時の1LSBは610μVです。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんが、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置



絶対最大定格⁽¹⁾

+V _{CC} からGND	−0.3V ~ +6V
アナログ入力からGND	−0.3V ~ +V _{CC} +0.3V
デジタル入力からGND	−0.3V ~ +V _{CC} +0.3V
消費電力	250mW
最大接合部温度	+150
動作温度範囲	−40 ~ +85
保管温度範囲	−65 ~ +150
リード温度(半田付け、10秒間)	+300

注：(1)“絶対最大定格”を超えるストレスをデバイスに加えると、デバイスに永久的な損傷を与えます。長期間にわたりデバイスを絶対最大定格の条件下に置くと、信頼性が低下する恐れがあります。

ピン構成

ピン番号	ピン名	説明
1	+V _{CC}	電源、+2.7V ~ +5V
2	X+	X+位置入力。ADC入力チャンネル1
3	Y+	Y+位置入力。ADC入力チャンネル2
4	X−	X−位置入力
5	Y−	Y−位置入力
6	GND	グランド
7	IN3	予備入力1。ADC入力チャンネル3
8	IN4	予備入力2。ADC入力チャンネル4
9	V _{REF}	電圧リファレンス入力
10	+V _{CC}	電源、+2.7V ~ +5V
11	PENIRQ	ペン割込み。オープン・アノード出力(10kΩから100kΩまでの外部プルアップ抵抗が必要)
12	DOUT	シリアル・データ出力。データはDCLKの立ち下がりエッジでシフトされます。CSがHIGHのとき、この出力はハイ・インピーダンス状態です。
13	BUSY	ビジー出力。CSがHIGHのとき、この出力はハイ・インピーダンス状態です。
14	DIN	シリアル・データ入力。CSがLOWであれば、データはDCLKの立ち上がりエッジでラッチされます。
15	CS	チップ・セレクト入力。変換タイミングを制御し、シリアル入力/出力レジスタをイネーブル設定します。
16	DCLK	外部クロック入力。このクロック信号によってSAR変換プロセスが動作し、シリアル・データI/Oの同期をとります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

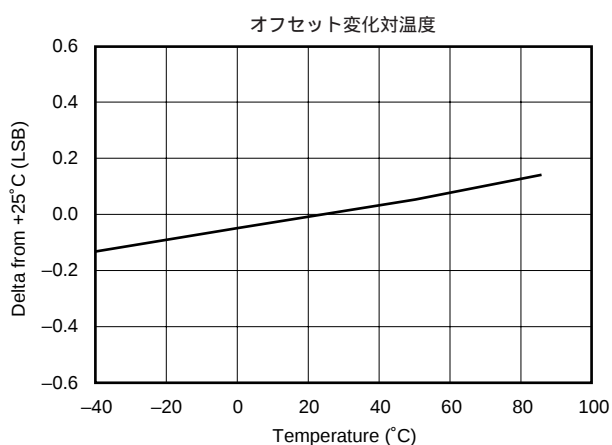
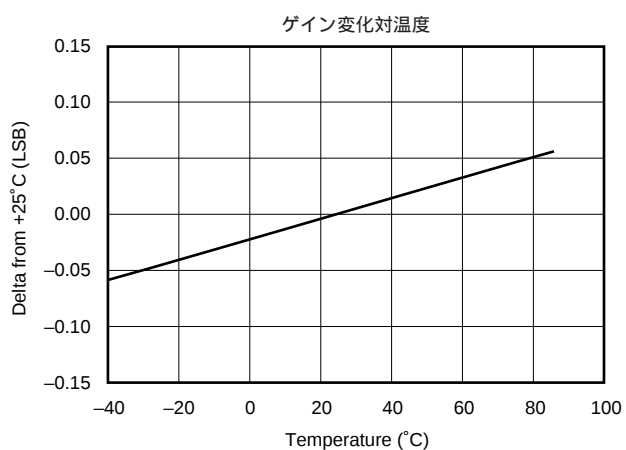
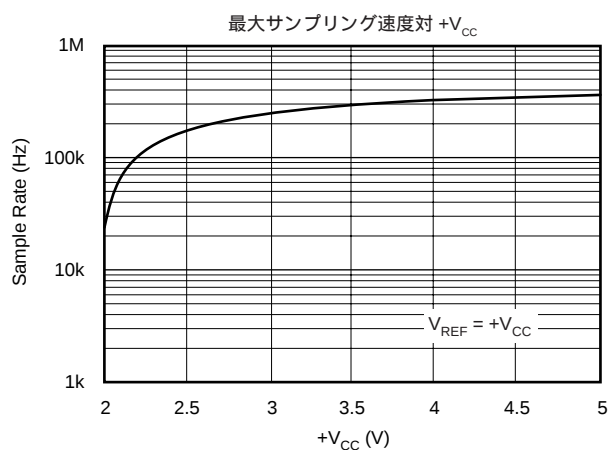
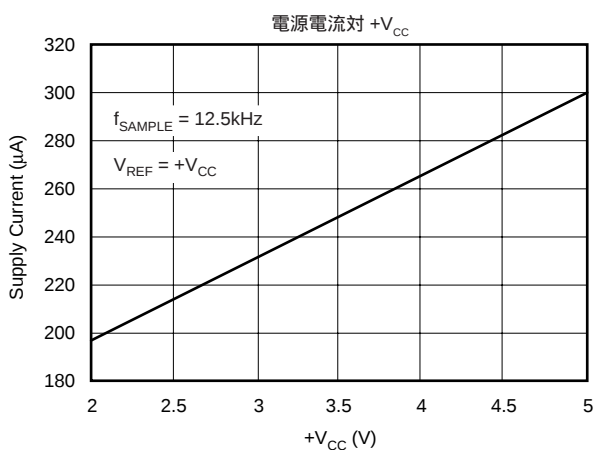
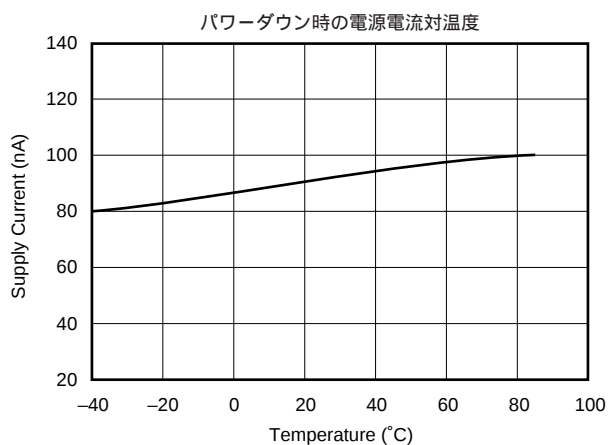
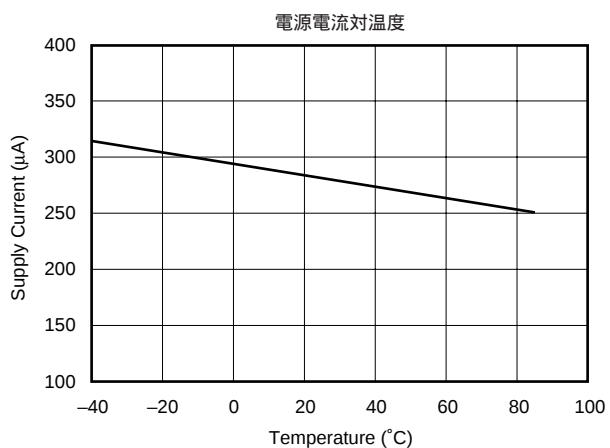
パッケージ情報/ご発注の手引き

モデル	最大積分直線性誤差 (LSB)	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	発注番号 ⁽²⁾
ADS7843E	±2	16ピンSSOP	322	−40 ~ +85	ADS7843E
ADS7843E	±2	16ピンSSOP	322	−40 ~ +85	ADS7843E/2K5

注：(1)パッケージおよび寸法表は、データシートの巻末を参照してください。(2)スラッシュ(/)のついた発注番号は、表示された数量でのテーブルール納品のみとなります。“2K5”とは2500個のデバイスがひとつのテーブルールに収容されていることを示します。ADS7843/2K5の発注番号でご発注された場合、2500個入りのテーブルールが1つ納品されます。

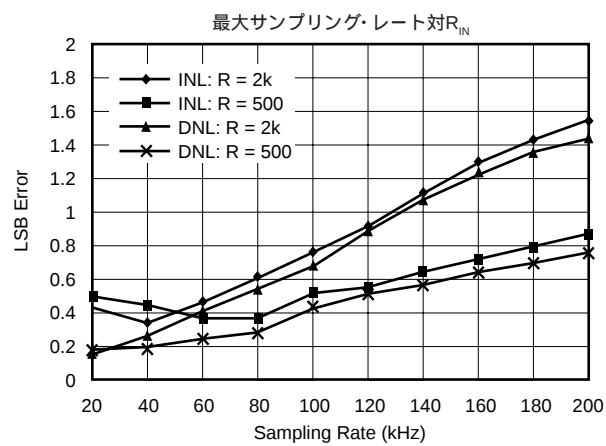
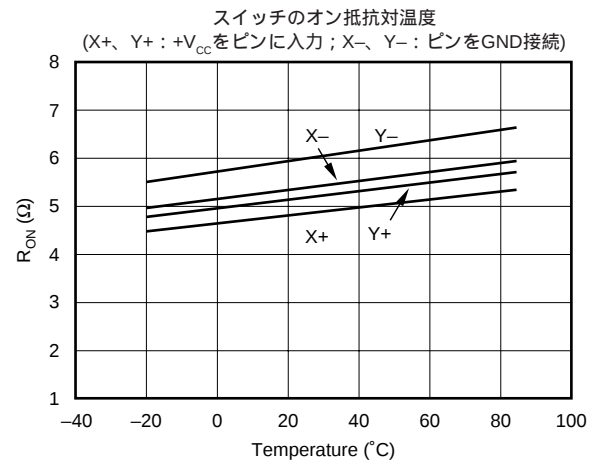
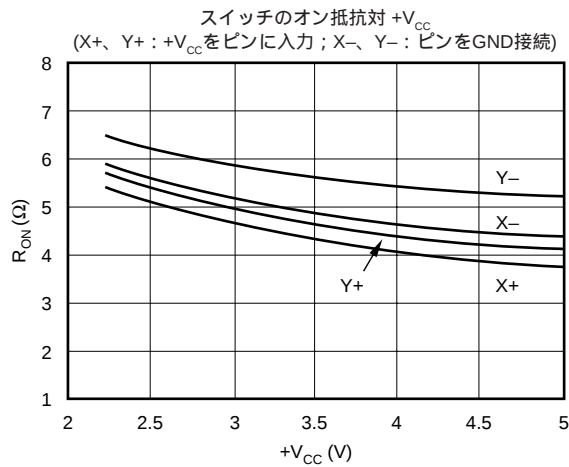
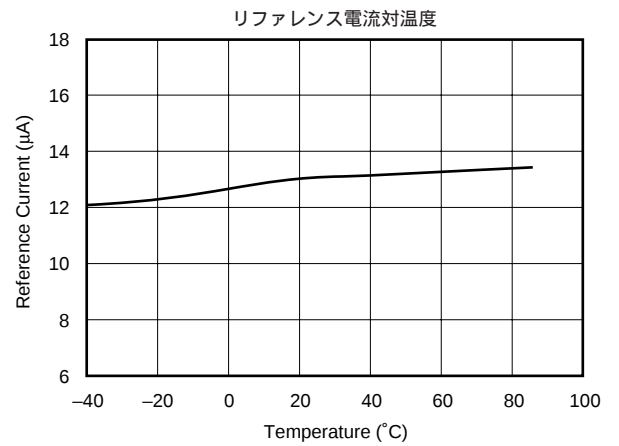
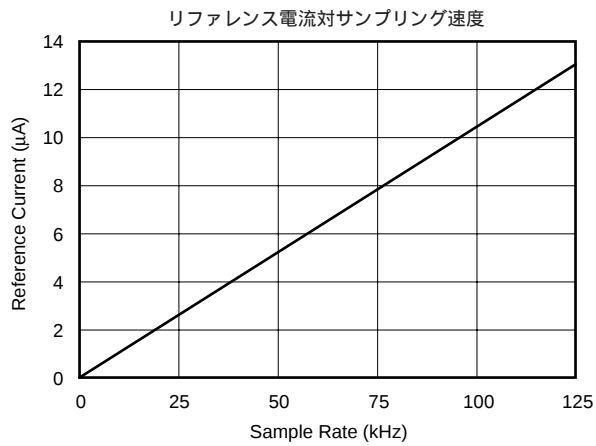
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{SAMPLE} = 125\text{kHz}$ 、 $f_{CLOCK} = 16 \times f_{SAMPLE} = 2\text{MHz}$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $+V_{CC} = +2.7V$ 、 $V_{REF} = +2.5V$ 、 $f_{SAMPLE} = 125kHz$ 、 $f_{CLOCK} = 16 \times f_{SAMPLE} = 2MHz$ です。



動作原理

ADS7843は、クラシックな逐次比較型レジスタ(SAR)方式のA/Dコンバータです。この変換アーキテクチャは、本質的にサンプル/ホールド機能を備えた容量再分配技術に基づいています。このコンバータは0.6μsのCMOSプロセス技術で製造されています。

ADS7843の基本動作を図1の回路に示します。ADS7843には外部電圧リファレンスと外部クロックが必要です。電源は+2.7Vから+5.25Vまでの電圧範囲のシングル電源で動作します。外部電圧リファレンスの出力電圧は1Vから+V_{CC}までの範囲内で任意の値に設定することができ、電圧リファレンスの出力電圧値によって、コンバータの入力電圧範囲が直接的に設定されます。リファレンス入力電流の平均値は、ADS7843の変換速度に応じて異なります。

コンバータに加えられるアナログ信号は、4チャンネルのマルチプレクサを通して入力されます。独自の入力段設計としてオン抵抗の低いスイッチが用意されているので、外部デバイスに電源を供給すると同時に、関連ピンの使用により外部デバイスをグラウンド接続することが可能です。コンバータの入力を差動とし、しかも差動リファレンス・アーキテクチャが維持されているので、スイッチのオン抵抗誤差を無視することができます(この誤差が特定の測定結果の誤差源である場合)。

アナログ入力

ADS7843の入力上に用意されたマルチプレクサ、A/Dコンバータの差動入力およびコンバータの差動リファレンスを含む入力回路段のブロック図を図2に示します。表 と表 にはそれぞれ、A2、A1、A0およびSER/DFRの各制御ビットとADS7843の入力構成方法に関する関係をまとめています。各制御ビットは、DINピンを通してシリアルに供給されます。詳細については、「デジタル・インターフェース」の項を参照してください。

コンバータがホールド・モードに入ると、+INと-INの各入力間の電圧差(図2を参照)が内部コンデンサ・アレイに捕捉されます。アナログ入力の入力電流レベルはADS7843の変換速度に応じて異なります。サンプリングの実行期間中、アナログ信号源による内部サンプリング・コンデンサ(容量の標準値は25pF)の充電が必要になります。このコンデンサが完全な充電状態になると、その後さらに電流が入力されることはありません。アナログ信号源からコンバータに電荷が転送される速度は、変換速度の関数となります。

A2	A1	A0	X+	Y+	IN3	IN4	-IN ⁽¹⁾	X SWITCHES	Y SWITCHES	+REF ⁽¹⁾	-REF ⁽¹⁾
0	0	1	+IN				GND	OFF	ON	+V _{REF}	GND
1	0	1		+IN			GND	ON	OFF	+V _{REF}	GND
0	1	0			+IN		GND	OFF	OFF	+V _{REF}	GND
1	1	0				+IN	GND	OFF	OFF	+V _{REF}	GND

注：(1)内部ノード(解りやすくするために簡略化しています。ユーザが直接アクセスすることはできません。)

表 入力構成、シングルエンドのリファレンス・モード(SER/DFR HIGHレベル)

A2	A1	A0	X+	Y+	IN3	IN4	-IN ⁽¹⁾	X SWITCHES	Y SWITCHES	+REF ⁽¹⁾	-REF ⁽¹⁾
0	0	1	+IN				-Y	OFF	ON	+Y	-Y
1	0	1		+IN			-X	ON	OFF	+X	-X
0	1	0			+IN		GND	OFF	OFF	+V _{REF}	GND
1	1	0				+IN	GND	OFF	OFF	+V _{REF}	GND

注：(1)内部ノード(解りやすくするために簡略化しています。ユーザが直接アクセスすることはできません。)

表 入力構成、差動のリファレンス・モード(SER/DFR LOWレベル)

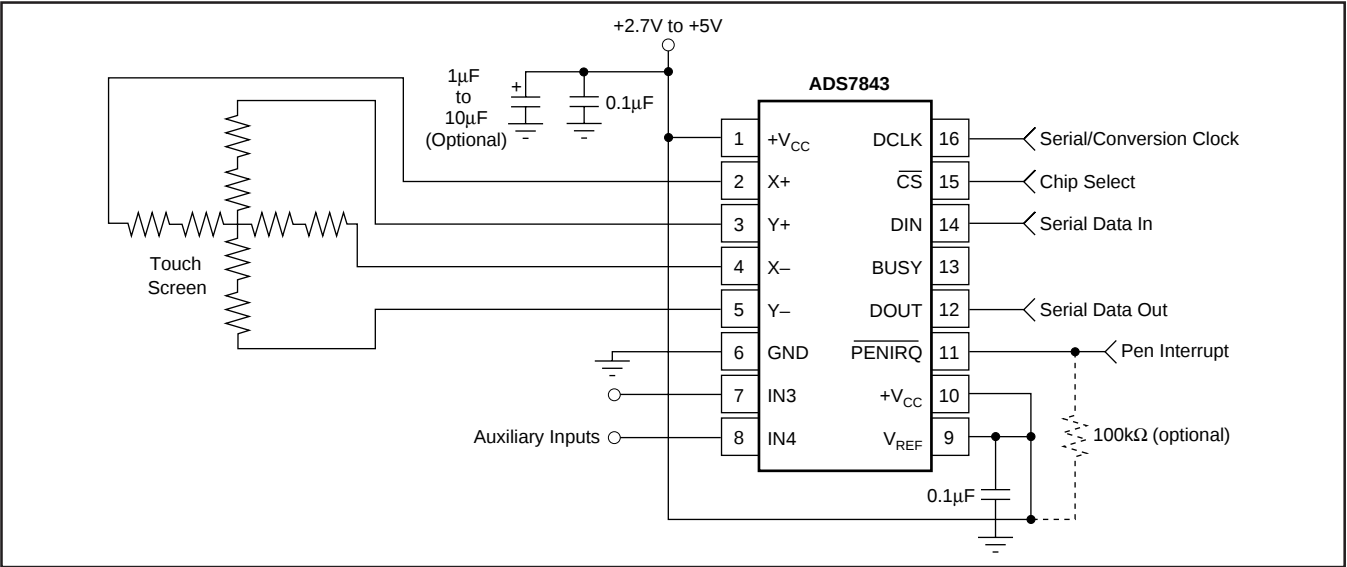
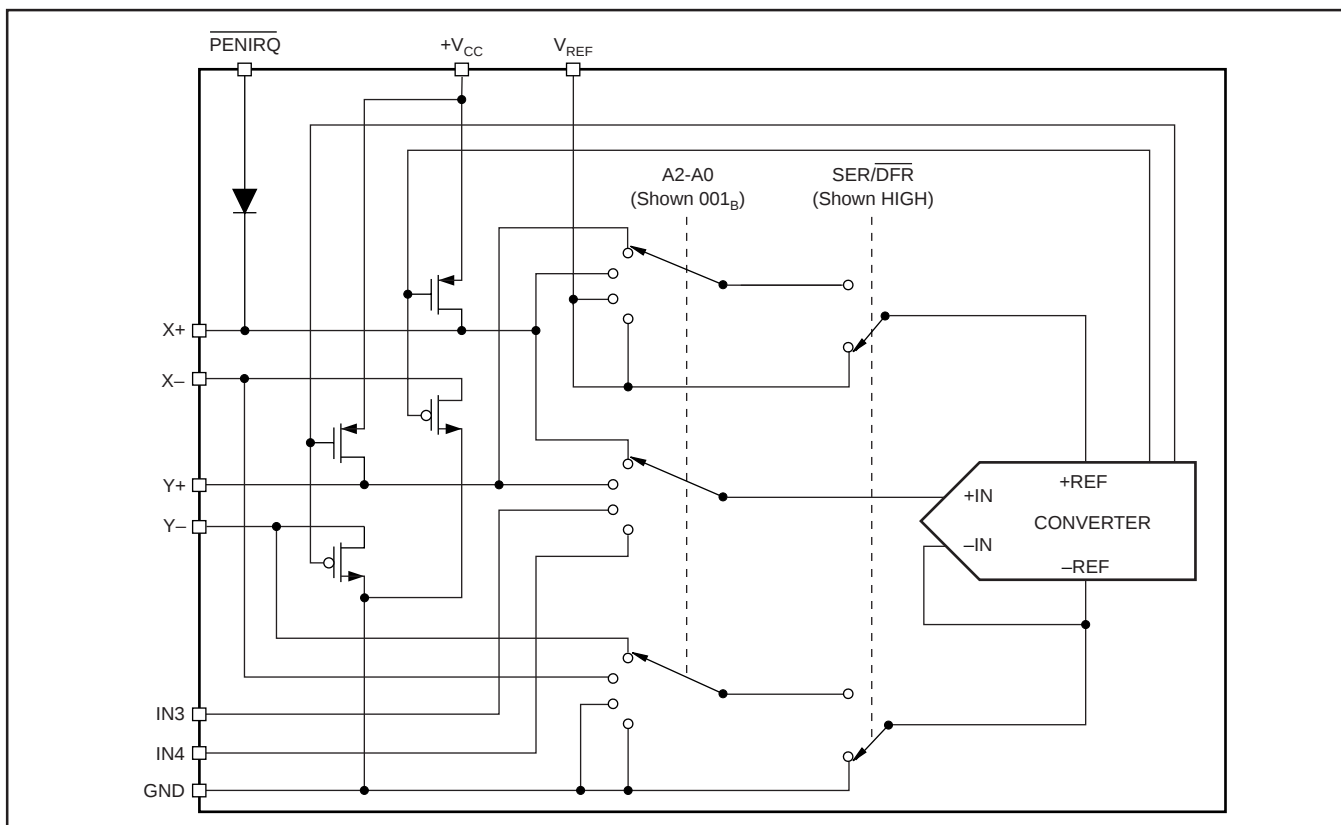


図1. ADS7843の基本動作

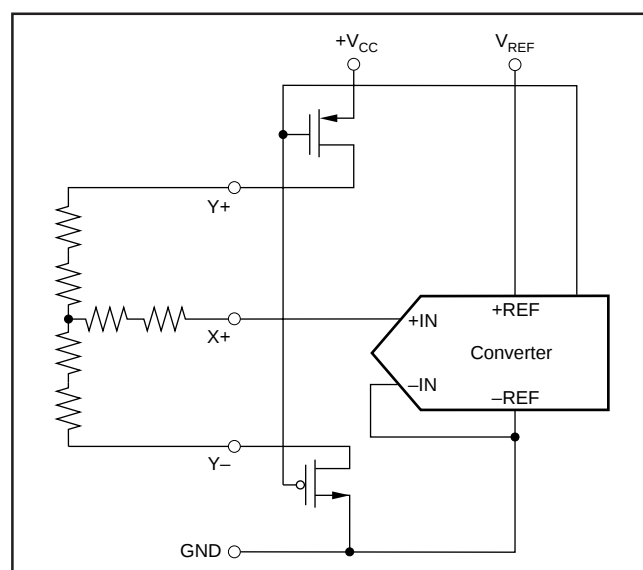


電圧リファレンス入力

+REFと-REFの各入力間の電圧差(図2を参照)により、アナログ入力範囲が設定されます。ADS7843は1Vから+V_{CC}までリファレンス電圧で動作します。電圧リファレンス入力とその幅広い電圧範囲に関して非常に重要な留意点がいくつかあります。リファレンス電圧が下がると、これに応じて各デジタル出力コードのアナログ電圧の重み付けも小さくなります。これはLSB(最下位ビット)サイズと呼ばれ、リファレンス電圧を4096で除算した値に等しくなります。リファレンス電圧が下がると、A/Dコンバータにおいて本質的に発生するオフセット誤差またはゲイン誤差のLSBサイズが増加します。例えば、ある特定のコンバータのオフセットが2.5Vの電圧リファレンス時で2LSBであると仮定すれば、リファレンス電圧を1Vに設定した場合には一般的に5LSBに増加します。どちらの場合も、コンバータの実際のオフセットは1.22mVです。リファレンス電圧として低い値を使用する際には、適切な電源バイパス、クリーン(低ノイズ、低リップル)な電源、低ノイズの電圧リファレンスおよび低ノイズの入力信号など、十分に配慮してクリーンな回路レイアウト設計を行なうように注意を払わなければなりません。

V_{REF} 入力に加えられる電圧はバッファされず、ADS7843のキャパシタD/Aコンバータ(CDAC)回路部がこの電圧によって直接的にドライブされます。 $V_{REF} = 2.7V$ および $f_{SAMPLE} = 125kHz$ 時の入力電流は $13\mu A$ (標準値)です。この値は、変換結果に応じて数 μA 変動します。変換速度を下げ、同時にリファレンス電圧を小さくすると、これに応じてリファレンス電流も直接的に減少します。電圧リファレンスからの電流は各ビット決定毎に消費されるので、特定の変換サイクル期間中により高速なクロック信号をコンバータに加えても、電圧リファレンスの消費電流全体が下がることはありません。

スイッチ・ドライバの動作をオンの状態にして測定を実施する際にも同様に、電圧リファレンスに関して留意すべき重要な点があります。ここでは、図1の回路に示すADS7843の基本動作について検討を加えると有効です。このアプリケーションでは、ADS7843を使用して抵抗性タッチスクリーン信号のデジタル化を行なう回路構成を示しています。ポインティング・デバイスの現在のY位置に関する測定は、X+入力をA/Dコンバータに接続し、Y+とY-の各ドライバをターンオンし、X+入力上の電圧をA/D変換することによって行ないます(図3のブロック図を参照)。この測定方法では、X+入力リード上の抵抗値によって変換動作に悪影



響が及ぶことはありません(抵抗値によってセトリングタイムに影響が出ますが、抵抗値は一般的に小さいので、特に配慮する必要はありません)。

しかし、Y+とY-の各入力間の抵抗がかなり低い値なので、Yドライバのオン抵抗の差は小さくありません。これまで説明した条件下では、内部スイッチ間である程度の電圧が失われるので、ボイティング・デバイスがタッチスクリーン上のどこに置かれていても、これと無関係に0V入力またはフルスケール入力を確保することは不可能です。さらに、内部スイッチの抵抗がタッチスクリーンの抵抗にトラッキングしなくなるため、これが原因で余分な誤差源が増える結果になります。

図4に示す回路構成を利用して、このような状況を解決することができます。SER/DFRビットをLOWに設定することで、+REFと-REFの各入力にY+とY-の各入力に直接的に接続されます。これにより、A/D変換動作がレシオメトリックになります。内部スイッチのオン抵抗に関連して外部抵抗の値がどのように変化しても、これとは無関係に変換結果は常に外部抵抗の%値として表されます。レシオメトリック動作モードを利用する際には、消費電力に関して考慮することが重要である点に注意してください。詳細については、「消費電力」の項を参照してください。

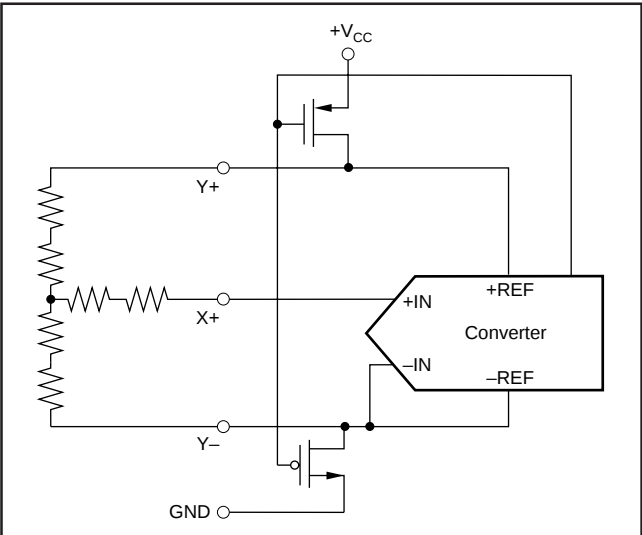


図4. 差動リファレンス・モードの簡略回路図(SER/DFR LOW、Yスイッチ・イネーブル、X+はアナログ入力)

差動リファレンス・モードに関する最後の注意点として、この動作モードのときには+V_{CC}を+REF電圧源として使用することが必要で、+V_{REF}を使用してこのモードを利用することはできません。V_{REF}入力に高精度の電圧リファレンスを使用し、レシオメトリック動作の必要がないシングルエンド・リファレンス・モードの測定を行なうことができます。場合によっては、高精度の電圧リファレンスから直接的にコンバータに電圧源を供給することも可能です。ほとんどの電圧リファレンスはADS7843に十分な電圧源を供給する能力を備えていますが、(抵抗性タッチスクリーンなどの)外部負荷に対して十分な電流を供給することはできません。

デジタル・インターフェース

ADS7843のデジタル・インターフェースの標準的な動作を図5に示します。この図では、基本的なシリアル・インターフェース機能を備えたマイクロコントローラまたはデジタル・シグナル・プロセッサ(DSP)がデジタル信号源であると仮定しています。プロセッサとコンバータ間の通信動作は、それぞれ8クロック・サイクルで実行されます。DCLK入力上でのトータル24クロック・サイクルによる3回のシリアル通信で1回の変換動作が完全に実行されます。

最初の8クロック・サイクルによって、DIN入力ピンを通した制御バイトの設定が行なわれます。次の変換動作に際して入力マルチプレクサ、スイッチおよび電圧リファレンス入力の適切な設定に関する十分な情報がコンバータに用意されていれば、コンバータはアキュジション(サンプル)モードに入り、必要に応じて内部スイッチがターンオンします。さらに3クロック・サイクル後に制御バイトの設定が完了し、コンバータは変換動作モードに入ります。この時点で入力サンプル/ホールド回路はホールド・モードに入り、内部スイッチがターンオフします。次の12クロック・サイクルで実際のA/D変換動作が実行されます。変換動作がレシオメトリックであれば(SER/DFRビットがLOW)、変換動作の期間中に内部スイッチはオン状態を維持します。13番目のクロック・サイクルが変換結果の最終ビットに対応します。最後のバイトを完了するには、さらに3クロック・サイクルが必要です(DOUTはLOW)。これらはコンバータからは無視されます。

制御バイト

図5に制御バイトを構成する各制御ビットの割当てと、その順番を示します。表 と には各制御ビットに関する詳細を示します。先頭ビットである“S”ビットは常にHIGHに設定しておくことが必要で、このビットは制御バイトの開始を示しています。開始ビットが検出されるまで、ADS7843はDINピン上の入力信号を無視します。次の3つのビット(A2・A0)によって、アクティブな入力チャンネルまたは入力マルチプレクサのチャンネルを選択し

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
S	A2	A1	A0	MODE	SER/DFR	PD1	PD0

表 . 制御バイトを構成する各制御ビットの割当て

ビット	名称	説明
7	S	開始ビット。DIN上の最初のHIGHビットで制御バイトが開始されます。12ビット変換モードでは15番目のクロック・サイクル毎に新しい制御バイトを開始できます。8ビット変換モードでは11番目のクロック・サイクル毎に新しい制御バイトを開始できます。
6 - 4	A2 - A0	チャンネル選択ビット。表 と に詳述するように、これらのビットとSER/DFRビットの指定によってマルチプレクサ入力、スイッチおよび電圧リファレンス入力の設定を制御します。
3	MODE	12ビット/8ビット変換選択ビット。このビット指定によって、12ビット(LOW)または8ビット(HIGH)どちらかの変換ビット数を設定します。
2	SER/DFR	シングルエンド/差動リファレンス選択ビット。表 と に詳述するように、このビットとA2 - A0ビットの指定によってマルチプレクサ入力、スイッチおよび電圧リファレンス入力の設定を制御します。
1 - 0	PD1 - PD0	パワーダウン動作モード選択ビット。詳細については、表 を参照してください。

表 . 制御バイトを構成する各制御ビットの説明

ます(表 と および図2を参照)。MODEビットの指定によって、各変換動作に適用するビット数を決定します。つまり、12ビット(Low)または8ビット(High)のどちらかを選択します。

SER/DFRビットの指定によって、シングルエンド(High)または差動(Low)どちらかのリファレンス・モード制御を設定します。(差動モードはレシオメトリック変換動作モードとも呼ばれます。)シングルエンド・モードの場合には、コンバータのリファレンス電圧は常に V_{REF} とGNDの各ピン間の電圧差になります。差動モードの場合には、リファレンス電圧は現在イネーブル設定されているスイッチ間の電圧差になります。詳細については、表 と 、図2から4を参照してください。表 に示すように、最後の

2ビット(PD1・PD0)の指定によってパワーダウン動作モードを選択します。この両入力が高レベルであれば、コンバータは常にパワーアップ状態を維持し、Lowレベルであれば、ある変換動作が終了して次の変換動作に入る前の期間中にコンバータはパワーダウン動作モードに設定されます。新しい変換動作が開始されると、コンバータは瞬時に通常の動作モードに復帰します。デバイスが完全にパワーアップされるまでに遅延時間を設定する必要はまったくなく、最初の変換動作から有効になります。パワーダウン動作モードには、PENIRQをディスエーブルするか、またはイネーブルする方法の2つのモードがあります。

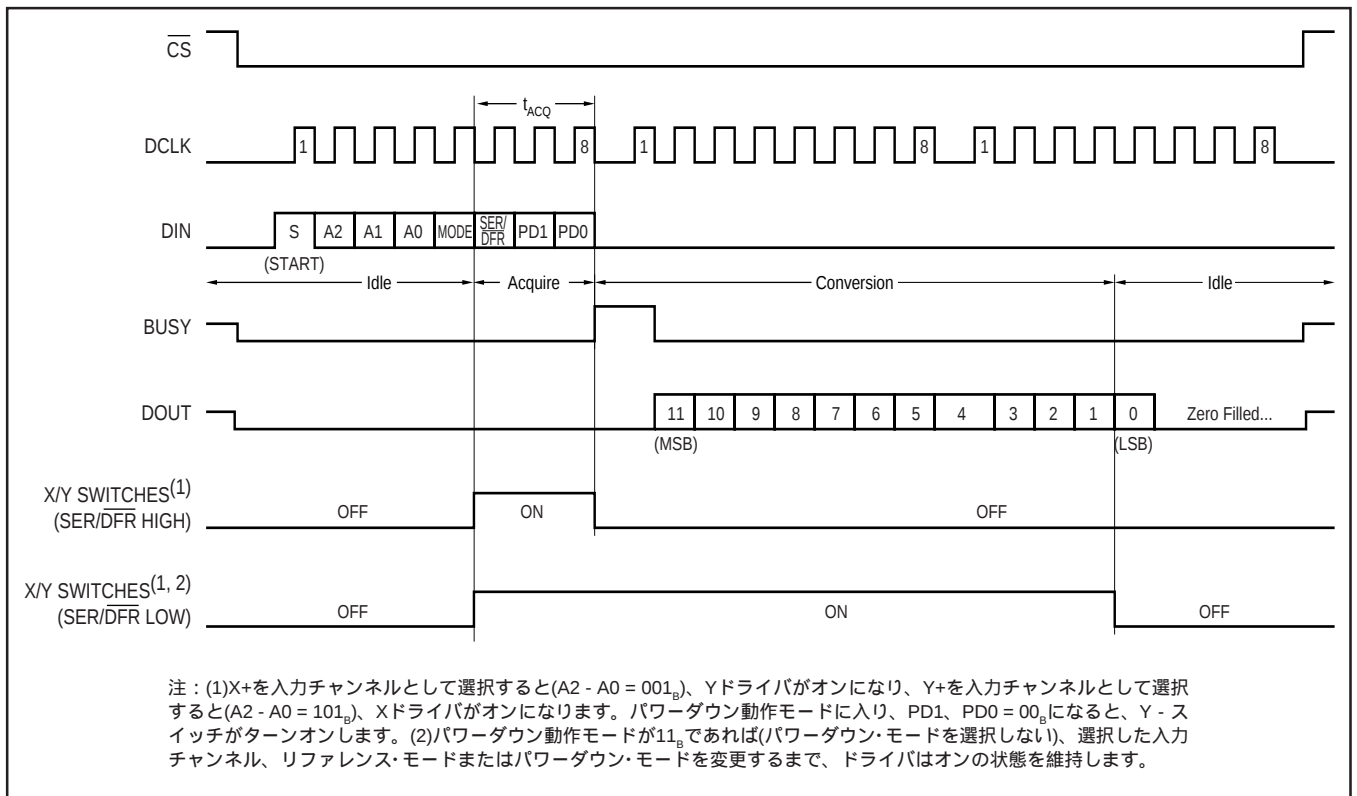


図5. 変換タイミング、24クロックの変換サイクル

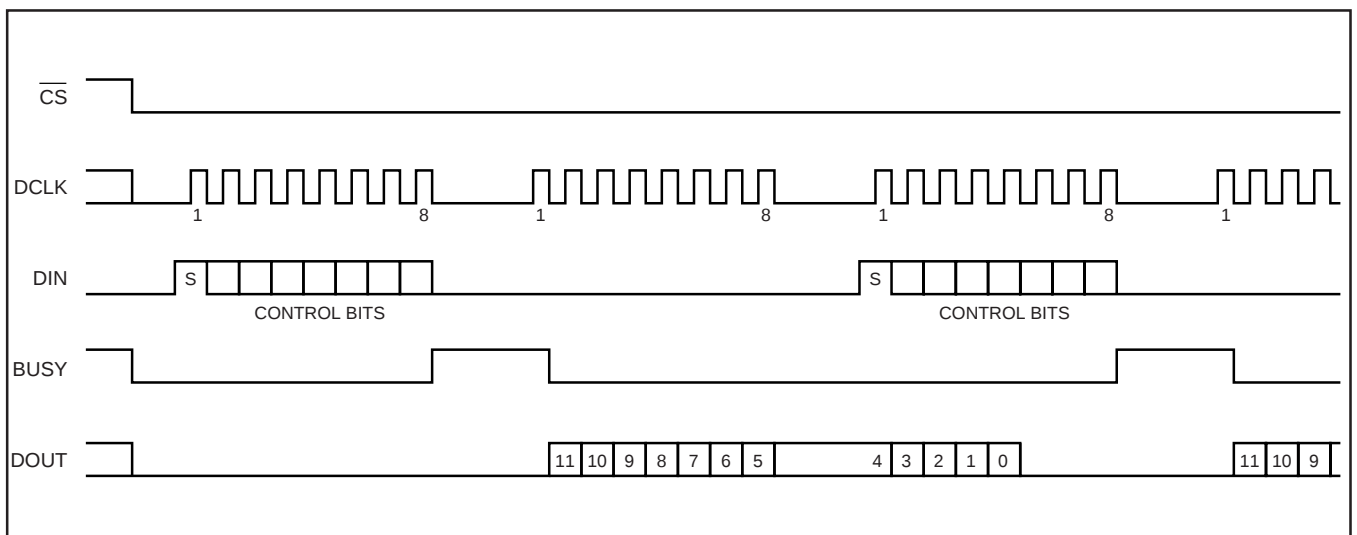


図6. 変換タイミング、16クロックの変換サイクル、8ビット・バス・インターフェース。シリアルポートにDCLK遅延時間を設定する必要はありません。

16クロックの変換サイクル

図6に示すように、変換 $n+1$ の制御ビットを変換“ n ”とオーバーラップさせて、16クロック・サイクル毎の変換動作を実行することが可能です。この図では、プロセッサとコンバータ間のバイト・データ転送の終了期間中に他のシリアル周辺回路との通信が可能であることも示しています。各変換動作がその開始から1.6ms以内で完了すれば、このようなシリアル通信が可能になります。1.6ms以内で完了しなければ、入力サンプル/ホールド回路上で捕捉されている信号がドループして、変換結果に悪影響が出ます。変換動作の実行期間中に他のシリアル通信が行なわれている間、ADS7843は完全なパワーアップ状態に維持される点に注意してください。

デジタル・タイミング

ADS7843のデジタル・インターフェース・タイミングの詳細を図7と表 にそれぞれ示します。

15クロックの変換サイクル

最も高速な方法でADS7843にクロック信号を供給するためのタイミング図を図8に示します。この方法では、これらのプロセッサは一般的に1回のシリアル転送で15クロック・サイクルを供給す

PD1	PD0	PENIRQ	説明
0	0	イネーブル	各変換動作が終了した期間中のパワーダウン。各変換動作が終了すると、コンバータは低消費電力モードに入ります。次の変換動作の開始時に、コンバータは即時にフルパワー・モードにパワーアップします。完全な動作を保証するために遅延時間を設定する必要はありません。最初の変換動作から有効となります。パワーダウン動作モードの期間中、Y-スイッチはオンの状態に設定されます。
0	1	ディスエーブル	PENIRQ出力がディスエーブルになる点を除いて、モード00と同じです。パワーダウン動作モードの期間中、Y-スイッチはオフに設定されます。
1	0	ディスエーブル	将来の使用のために予約
1	1	ディスエーブル	各変換動作の終了期間中にパワーダウン動作モードが適用されません。デバイスは常にパワーアップ状態を維持します。

表 . パワーダウン動作モードの選択

る能力を備えていないため、ほとんどのマイクロコントローラおよびデジタル・シグナル・プロセッサのシリアル・インターフェースとの良好な動作は期待できません。しかし、フィールド・プログラマブル・ゲート・アレイ (FPGA) や特定用途向け集積回路 (ASIC) に適用させることが可能です。この方法を利用することで、1回の変換動作に16クロック・サイクルを想定している仕様規定値よりも大幅に高いコンバータの最大変換速度が達成される点に注目してください。

データ・フォーマット

ADS7843の出力データは、図9に示すようにストレート・バイナリ・フォーマットです。この図にはある特定の入力電圧に対応する理想的な出力コードを示しており、オフセット、ゲインまたはノイズの影響は含まれていません。

8ビット変換動作

より高速なスループット・レートが必要な場合やデジタル・データとして非常に精度の高いデータが必要でなければ、ADS7843を8ビットの変換モードに設定することが可能です。8ビット・モードに動作を切替えると、変換動作は4クロック・サイクル分速く完了します。この変換モードを12ビット・データ転送動作のシリア

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュジション時間	1.5			μ s
t_{DS}	DCLKが立ち上がる前のDIN有効時間	100			ns
t_{DH}	DCLK HIGH後のDINホールド時間	10			ns
t_{DO}	DCLK立ち下がりからDOUT有効まで			200	ns
t_{DV}	CS立ち下がりからDOUTイネーブルまで			200	ns
t_{TR}	CS立ち上がりからDOUTディスエーブルまで			200	ns
t_{CSS}	CS立ち下がりからDCLKの最初の立ち上がりまで	100			ns
t_{CSH}	CS立ち上がりからDCLK無視まで	0			ns
t_{CH}	DCLK HIGH	200			ns
t_{CL}	DCLK LOW	200			ns
t_{BD}	DCLK立ち下がりからBUSY立ち上がりまで			200	ns
t_{BDV}	CS立ち下がりからBUSYイネーブルまで			200	ns
t_{BTR}	CS立ち上がりからBUSYディスエーブルまで			200	ns

表 . タイミング仕様(+V_{CC} = +2.7Vまたはそれ以上、T_A = -40 ~ +85、C_{LOAD} = 50pF)

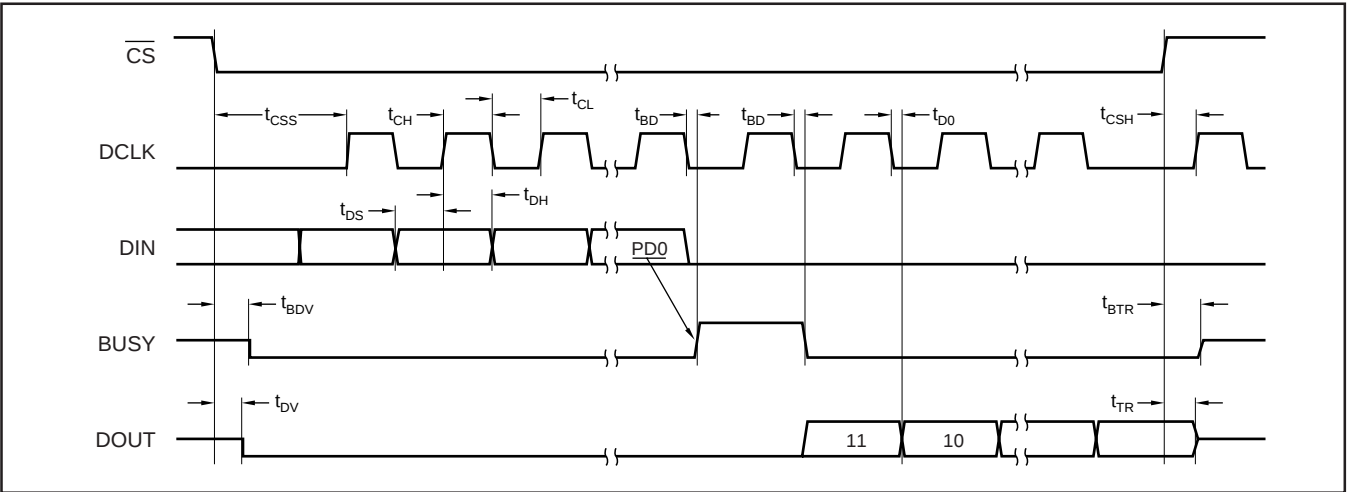


図7. タイミング詳細図

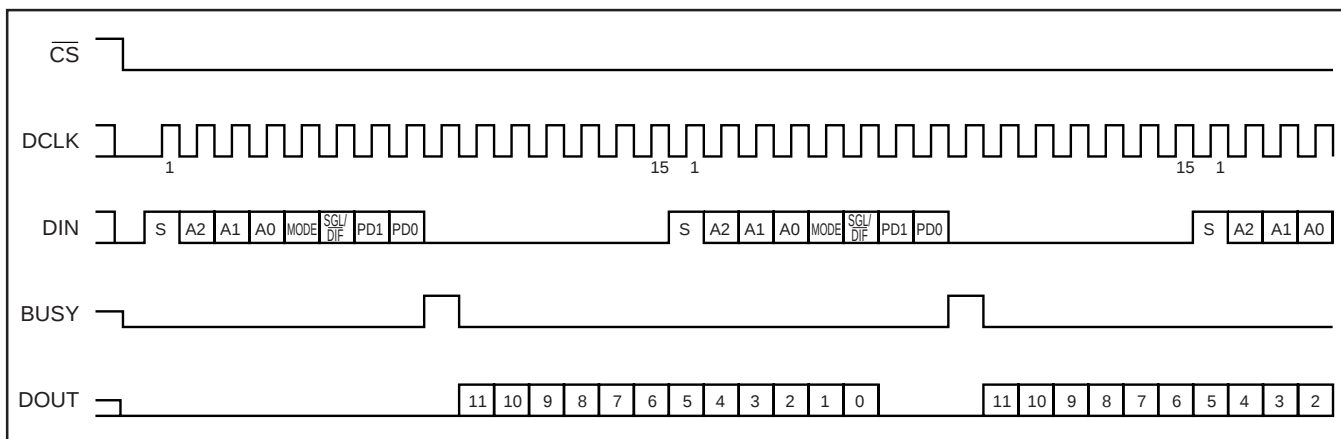


図8. 最大変換速度、15クロックの変換サイクル

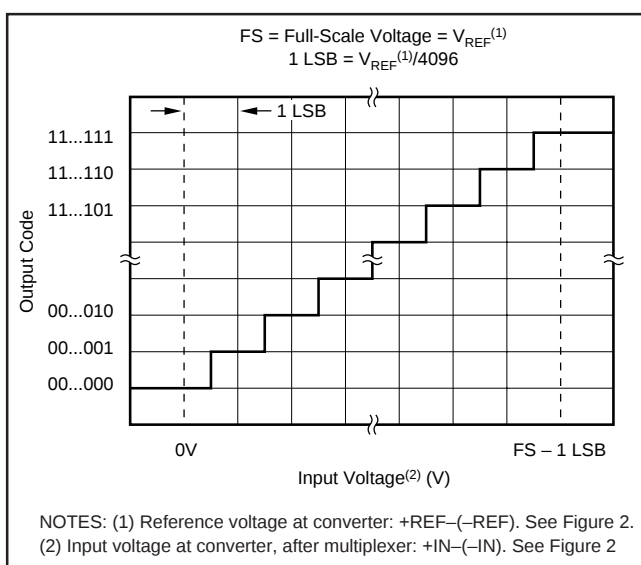


図9. 理想的な入力電圧と出力コードの関係

ル・インターフェースとともに使用したり、または8ビット・データの転送を3回実行して2回の変換を行なうことが可能です。この方法により、ADS7843のセトリグタイムに必要な規定に厳しい条件が要求されなくなるため、各変換動作が4ビット分短縮されるだけでなく(スループット・レートは25%高速化されます)、より高速なクロック速度で各変換サイクルを実行することも可能になります。必要な条件として、8ビットよりも優れた精度に対するセトリグを規定するだけで十分です。クロック速度を50%も高速化することが可能です。高速化されたクロック速度、そしてより少ないクロック・サイクルにより、変換速度を2倍に高速化することができます。

消費電力

ADS7843にはフルパワー(PD1・PD0 = 11_b)と自動パワーダウン(PD1・PD0 = 00_b)の2つの主要なパワー・モードが用意されています。ADS7843を最高速度および(図6に示すように) 16クロック・サイクルの変換モードで動作させると、そのほとんどの動作時間は信号のアクイジションと変換に費やされます。このモードがアクティブ状態であると仮定すれば、自動パワーダウン・モードに割り当てられる時間はほとんどありません。したがって、フルパワー・モードと自動パワーダウン・モードとの間の相違は無視できます。DCLKの周波数を単に下げるだけで変換速度を低速化する

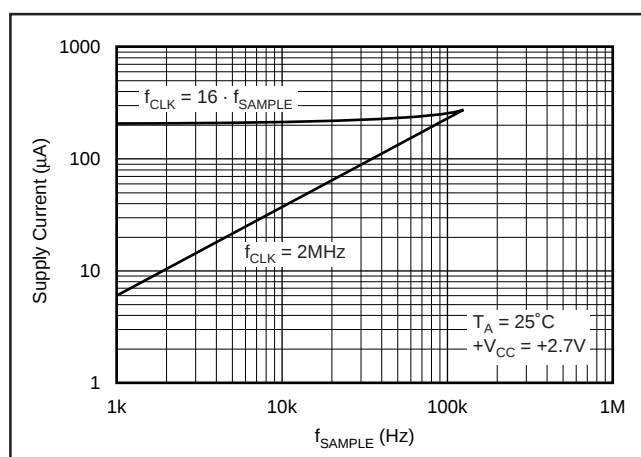


図10. DCLKの周波数をサンプル速度にマッチングするように直接スケーリングした場合とDCLKを可能な限り最大の周波数に維持した場合の電源電流の比較

と、2つのモードはほとんど等しい状態になります。しかし、変換期間中にDCLKの入力周波数をその最大レートまで維持し、変換動作回数を少なくすると、2つのモード間の相違は非常に大きくなります。

DCLKの入力周波数を下げた場合(変換速度にマッチングするようにDCLKを“スケーリング”)とDCLKを最高の周波数に維持して1秒間当たりの変換動作回数を少なくした場合の相違を図10に示します。後者の場合、コンバータはその動作時間をパワーダウン・モードに割り当てる割合が高くなっています(自動パワーダウン・モードがアクティブ状態であると仮定)。

消費電力に関するもう1つの留意点として、コンバータのリファレンス・モードに注意を払う必要があります。シングルエンドのリファレンス・モードの場合には、アナログ入力電圧のアクイジションが実行されているときだけに限り、コンバータのスイッチがオンの状態に設定されます(図5を参照)。したがって、抵抗性タッチスクリーンなどの外部デバイスには、信号のアクイジションが実行されているときだけに限り電源が供給されます。差動リファレンス・モードの場合には、信号アクイジションおよび変換動作の実行期間中に外部デバイスに対して電源を供給しなければなりません(図5を参照)。変換速度が高いと、消費電力が大幅に増加する結果になります。

回路レイアウト

以下の回路レイアウトに関する推奨事項を順守すれば、ADS7843から可能な限り最適な性能を引き出すことができます。しかし、数多くの携帯型機器アプリケーションには消費電力、コスト、サイズ、重量などに関し相反する必要条件があります。一般的に、ほとんどの携帯型アプリケーション用デバイスはその内部回路の消費電力が非常に低いので、かなり“クリーン”な電源とグランドを備えています。したがって、コンバータの電源のバイパスおよびグランド処理に関して他のデバイスの場合よりも細心の注意を払う必要はありません。しかし、各アプリケーションの必要条件は実際にはそれぞれ異なるので、下記の推奨事項について十分に検討を加えることが必要になります。

最適な性能を確保するためには、ADS7843回路のレイアウト設計に関して細心の注意を払うことが必要です。SARアーキテクチャは基本的に電源グリッチや電源電圧の突然の変動、電圧リファレンス、グランド接続、そしてアナログ・コンパレータの出力がラッチされる直前に発生するデジタル入力などの影響に敏感です。したがって、“n”ビットのSARコンバータによって1回の変換動作が実行される期間中に、大きな外部トランジェント電圧の発生により変換結果に容易に悪影響が及ぶ可能性の高い“ウィンドウ”がn個存在することになります。このようなグリッチは、デジタル・ロジックやハイパワー・デバイスの近くに配置されているスイッチング電源から発生します。デジタル出力において発生する誤差の度合はリファレンス電圧、回路レイアウト、および外部イベントの正確なタイミングに応じて異なります。DCLK入力信号を基準にした外部イベントの時間変動によって、誤差が変動する場合があります。

上記の点を十分に念頭に置いて、ADS7843に使用する電源はクリーンな電源を使用し、十分にバイパスしてください。0.1 μ Fのバイパス用セラミック・コンデンサをデバイスに可能な限り近接させて配置してください。+V_{CC}と電源間接続のインピーダンスが高ければ、1 μ Fから10 μ Fまでの容量のコンデンサを追加することも必要です。

電圧リファレンスも同様に0.1 μ Fのコンデンサでバイパスしてください。リファレンス電圧をオペアンプから生成している場合には、そのオペアンプが発振せずにバイパス・コンデンサをドライブする能力を備えていることを確認してください。ADS7843が電圧リファレンスから消費する平均電流はほんのわずかに過ぎませんが、(変換動作期間中にDCLK入力信号エッジが立ち上がるときには常に)短期間に電圧リファレンス回路に対してかなり多くの消費電流を要求します。

ADS7843のアーキテクチャには本質的に、電圧リファレンス入力に関するノイズまたは電圧変動の除去性能がありません。電圧リファレンス入力を電源に接続する際に、この点が特に重要な留意事項になります。電源からノイズとリップルが少しでも発生すると、これはデジタル結果に直接的に反映されます。高周波数ノイズはフィルタによって除去することが可能ですが、ライン周波数(50Hzまたは60Hz)による電圧変動を排除することは非常に困難です。

GNDピンはクリーンなグランド・ポイントに接続してください。多くの場合、これを“アナログ・グランド”とします。マイクロコントローラまたはデジタル・シグナル・プロセッサのグランド接続ポイントに極端に近接した個所に接続を行なわないでください。必要であれば、コンバータから電源の入口またはバッテリーの接続ポイントまでの間にグランド接続パターンを直接的に走らせてください。コンバータとその関連アナログ回路専用のアナログ・グランド・プレーンを用意することが理想的な回路レイアウトになります。

抵抗性タッチスクリーンを使用して回路設計を行なう特殊なケースでは、コンバータとタッチスクリーン間の接続に十分注意する必要があります。抵抗性タッチスクリーンの抵抗値はかなり低いので、その相互配線長は可能な限り短くし、しかも耐久力のある強固なものとしてください。配線を長くすると、内部スイッチのオン抵抗とまったく同様に誤差の発生要因となります。同様に配線が直線的でなく不完全な状態であれば、接点の抵抗値が配線の曲がりや振動によって変動することが原因で誤差の発生要因になります。

外観

