



12ビット、高速、 ローパワー・サンプリングA/Dコンバータ

特長

- スループット・レート：500kHz
- 内部リファレンス：2.5V
- 低消費電力：11mW
- +5V単一電源動作
- 差動入力
- シリアル・インターフェース
- ノー・ミッシング・コード保証
- パッケージ：8ピンDIPおよびMSOP
- 入力レンジ：0V ~ V_{REF}

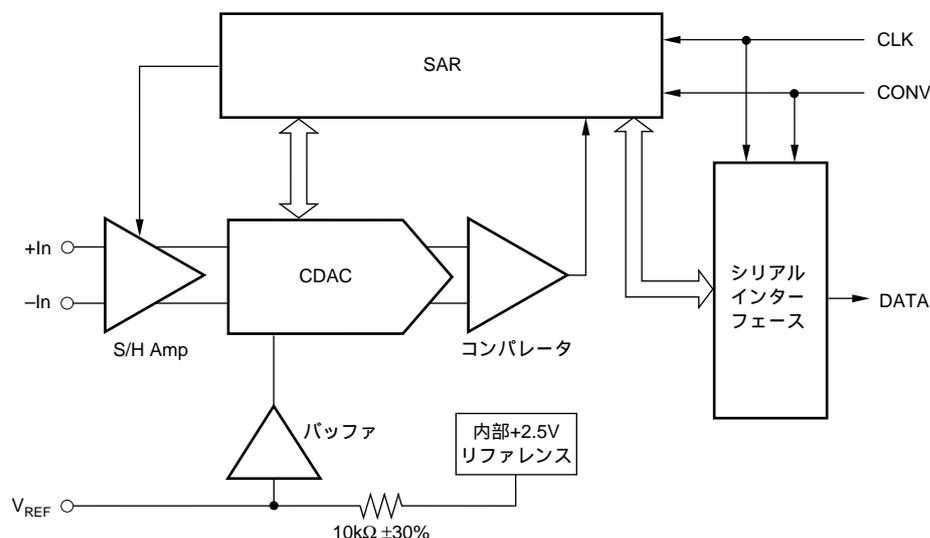
アプリケーション

- バッテリ動作システム
- デジタル信号処理
- 高速データ・アキュイジション
- 無線通信システム

概要

ADS7834は、サンプル/ホールド、内部リファレンス(2.5V)、同期シリアル・インターフェースなど、全機能を内蔵した12ビット、サンプリングA/Dコンバータです。スループット・レートが500kHzのときの標準的な消費電力は11mWです。デバイスをパワーダウン・モードにすることにより、消費電力をわずか2.5mWに低減することができます。入力レンジはゼロからリファレンス電圧までで、内部リファレンスを外部電圧によってオーバードライブすることができます。

ADS7834は低消費電力、小型、高速という特長を備えているので、ワイヤレス通信デバイス、携帯用マルチチャンネル・データ・ロガー、スペクトル・アナライザなどのバッテリ動作システムに理想的です。また、シリアル・インターフェースにより、リモート・データ・アキュイジションにおける低コストの絶縁が可能です。パッケージは、8ピン・プラスチックDIPまたは8ピンMSOPで供給され、-40 から+85 までの温度範囲で保証されています。



仕様

特に記述のない限り、 $T_A = -40 \sim +85$ 、 $+V_{CC} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 内部リファレンスです。

パラメータ	条件	ADS7834P、E			ADS7834PB、EB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入カスパン ⁽¹⁾ 絶対入力レンジ	+IN – (–IN)	0		V_{REF}	*		*	V
	+IN	–0.2		$V_{REF} + 0.2$	*		*	V
	–IN	–0.2		$V_{REF} + 0.2$	*		*	V
容量			25			*		pF
リーク電流			1			*		μA
システム性能								
分解能		12	12		*	*		Bits
ノー・ミッシング・コード								Bits
積分直線性誤差			± 1	± 2		± 0.5	± 1	LSB ⁽²⁾
微分直線性誤差			± 0.8			± 0.5	± 1	LSB
オフセット誤差			± 2	± 5		± 1	*	LSB
ゲイン誤差 ⁽³⁾	25		± 12	± 30		± 7	± 15	LSB
	–40 ~ +85			± 50			± 35	LSB
同相モード除去	DC、0.2Vp-p		70			*		dB
	1MHz、0.2Vp-p		50			*		dB
雑音			60			*		μV_{rms}
電源除去	ワーストケース Δ 、 $+V_{CC} = 5V \pm 5\%$		1.2			*		LSB
サンプリングのダイナミック特性								
変換時間		1.625			*			μs
アキュイジション時間		0.350			*			μs
スループット・レート				500			*	kHz
アパーチャ遅延			5			*		ns
アパーチャ・ジッタ			30			*		ps
ステップの応答			350			*		ns
ダイナミック特性								
信号対雑音比	$V_{IN} = 5Vp-p$ at 10kHz		72			*		dB
全高調波歪 ⁽⁴⁾	$V_{IN} = 5Vp-p$ at 10kHz		–78	–72		–82	–75	dB
信号対(雑音 + 歪)	$V_{IN} = 5Vp-p$ at 10kHz	68	70		70	72		dB
スプリアスフリー・ダイナミック・レンジ	$V_{IN} = 5Vp-p$ at 10kHz	72	78		75	82		dB
有効帯域幅	SNR > 68dB		350			*		kHz
リファレンス出力								
電圧	$I_{OUT} = 0$	2.475	2.50	2.525	2.48	*	2.52	V
ソース電流 ⁽⁵⁾	静的負荷			50		*	*	μA
ドリフト	$I_{OUT} = 0$		20			*		ppm/
ライン・レギュレーション	$4.75V \leq V_{CC} \leq 5.25V$		0.6			*		mV
リファレンス入力								
レンジ	対内部リファレンス電圧	2.0		2.55	*		*	V
抵抗 ⁽⁶⁾			10		*	*	*	k Ω
デジタル入出力								
ロジック・ファミリ			CMOS			*		
ロジック・レベル								
V_{IH}	$ I_{IH} \leq +5\mu A$	3.0		$V_{CC} + 0.3$	*		*	V
V_{IL}	$ I_{IL} \leq +5\mu A$	–0.3		0.8	*		*	V
V_{OH}	$I_{OH} = -500\mu A$	3.5			*		*	V
V_{OL}	$I_{OL} = 500\mu A$			0.4	*		*	V
データ・フォーマット				ストレート・バイナリ		*		
電源条件								
$+V_{CC}$	仕様に規定された性能	4.75		5.25	*		*	V
無信号時電流	$f_{SAMPLE} = 500kHz$		2.2			*		mA
	パワーダウン		0.5			*		mA
消費電力	$f_{SAMPLE} = 500kHz$		11	20		*	*	mW
	パワーダウン		2.5			*		mW
温度範囲								
仕様に規定された性能		–40		+85	*		*	

注：(1)これは入カスパンの理想値であり、ゲイン誤差やオフセット誤差を含んでいません。(2)LSBとは最下位ビットの意味であり、 V_{REF} が+2.5Vに等しいとき、1LSBは610 μV に相当します。(3)理想的なフルスケール入力である(+IN – (–IN)) = 2.499Vを基準に測定したものです。したがって、内部リファレンス電圧の誤差がゲイン誤差に含まれています。(4)入力周波数の最初の高調波9個分を基準に計算したものです。(5)外部負荷に電流を供給するために内部リファレンスが必要な場合、内部抵抗(10k Ω)のためにリファレンス電圧が変化します。(6)±30%の範囲で変動することがあります。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

絶対最大定格⁽¹⁾

+V _{CC} (対GND)	-0.3V ~ 6V
アナログ入力 (対GND)	-0.3V ~ (V _{CC} + 0.3V)
デジタル入力 (対GND)	-0.3V ~ (V _{CC} + 0.3V)
消費電力	325mW
最大接合部温度	+150
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
リード温度 (10秒間の半田付け)	+300

注：(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大条件で長時間動作させると、デバイスの信頼性が低下します。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



ピン構成

ピン	名称	説明
1	V _{REF}	リファレンス出力。0.1μFのセラミック・コンデンサと2.2μFのタンタル・コンデンサでグラウンドにデカップリングします。
2	+IN	非反転入力
3	-IN	反転入力。グラウンドまたはリモート・グラウンド・センス・ポイントに接続します。
4	GND	グラウンド
5	CONV	変換入力。サンプル/ホールド・モード、変換の開始、シリアルデータ転送の開始、シリアル転送のタイプおよびパワーダウン・モードを制御します。詳細については、「デジタル・インターフェース」の項を参照。
6	DATA	シリアルデータ出力。12ビットの変換結果がMSBファーストでシリアルに転送されます。各ビットはCLKの立ち上がりエッジで有効になります。CONV入力を適切に制御することにより、データをLSBファーストで転送することもできます。詳細については、「デジタル・インターフェース」の項を参照。
7	CLK	クロック入力。データのシリアル転送を同期化し、変換速度を決定します。
8	+V _{CC}	電源。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサでグラウンドにデカップリングします。

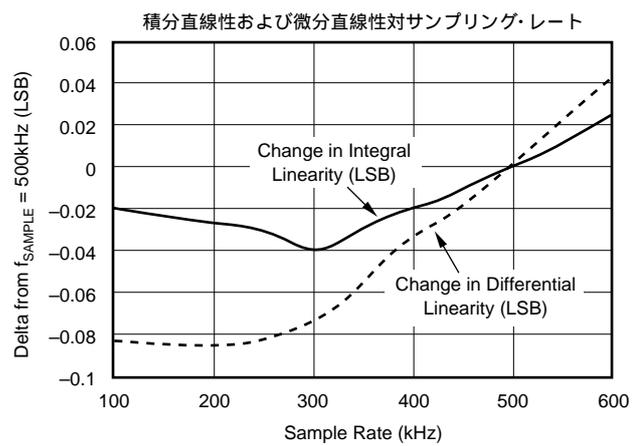
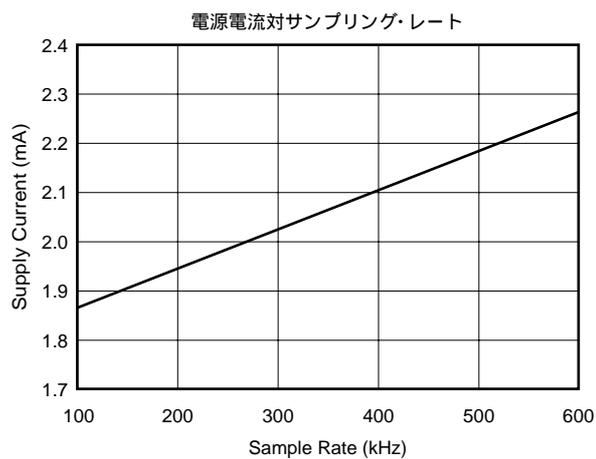
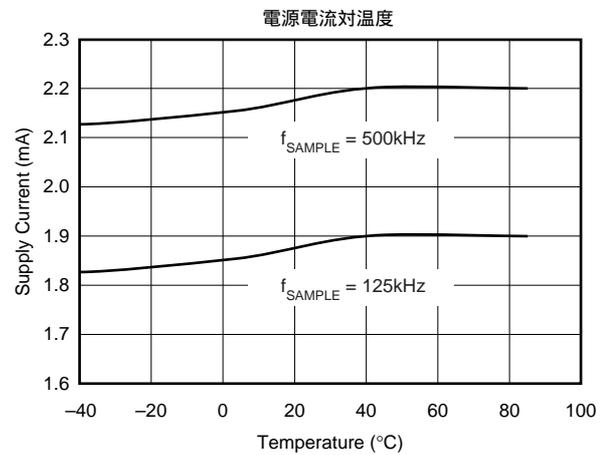
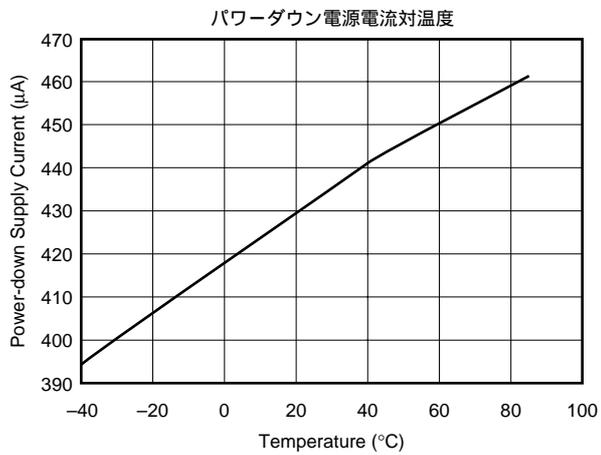
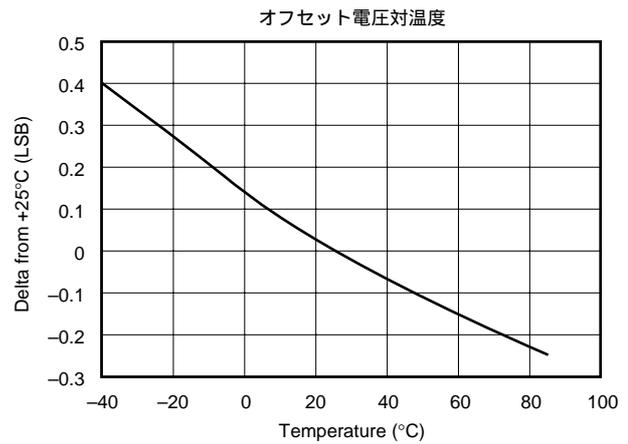
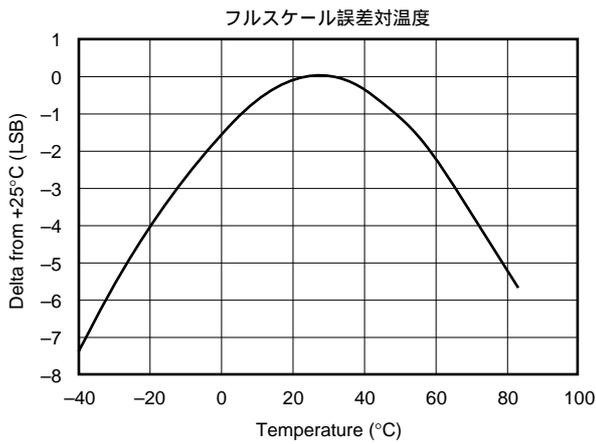
パッケージ情報/ご発注の手引き

モデル	最大積分直線性誤差 (LSB)	最大微分直線性誤差 (LSB)	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージ・マーキング	発注番号 ⁽³⁾	供給時の状態
ADS7834P	±2	N/S ⁽²⁾	8ピンDIP	006	-40 ~ +85	ADS7834P	ADS7834P	マガジン
ADS7834E	±2	N/S ⁽²⁾	8ピンMSOP	337	-40 ~ +85	A34	ADS7834E/250	テープリール
ADS7834E	±2	N/S ⁽²⁾	8ピンMSOP	337	-40 ~ +85	A34	ADS7834E/2K5	テープリール
ADS7834PB	±1	±1	8ピンDIP	006	-40 ~ +85	ADS7834PB	ADS7834PB	マガジン
ADS7834EB	±1	±1	8ピンMSOP	337	-40 ~ +85	A34	ADS7834EB/250	テープリール
ADS7834EB	±1	±1	8ピンMSOP	337	-40 ~ +85	A34	ADS7834EB/2K5	テープリール

注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) N/Sの記号は「指定なし」の意味であり、標準特性のみが対象です。ただし、温度に対して12ビットのノー・ミッシング・コードが保証されています。(3) スラッシュ(/) の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(例えば、/250は250個で1リールであることを示し、/2K5は2,500個で1リールであることを示します)。「ADS7834/2K5」をご注文の場合、2,500個入りのテープリールが1本納入されます。

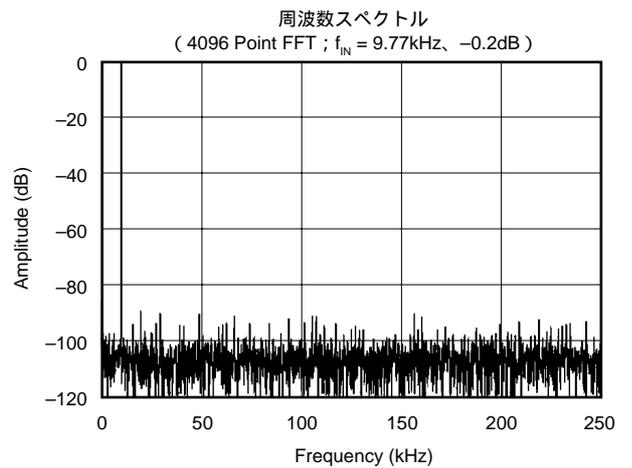
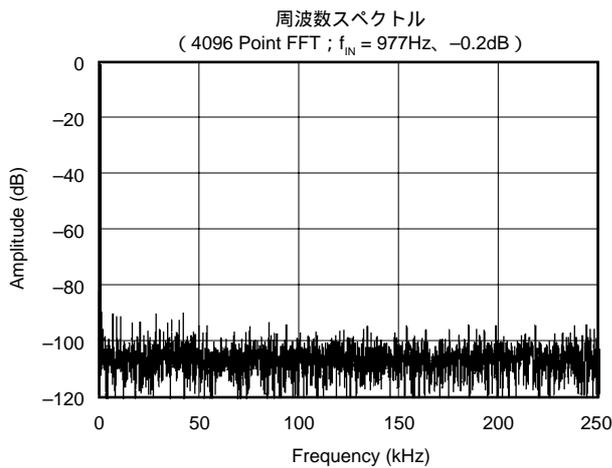
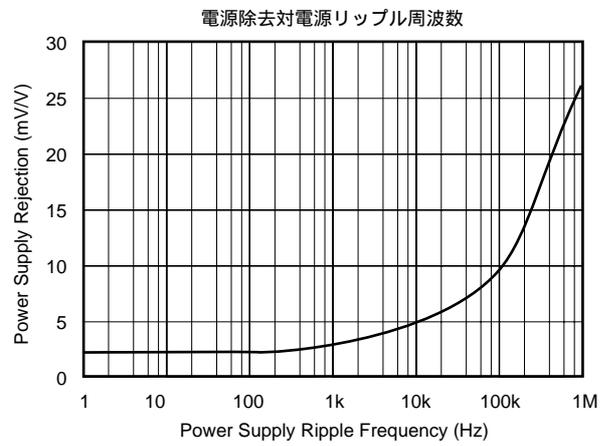
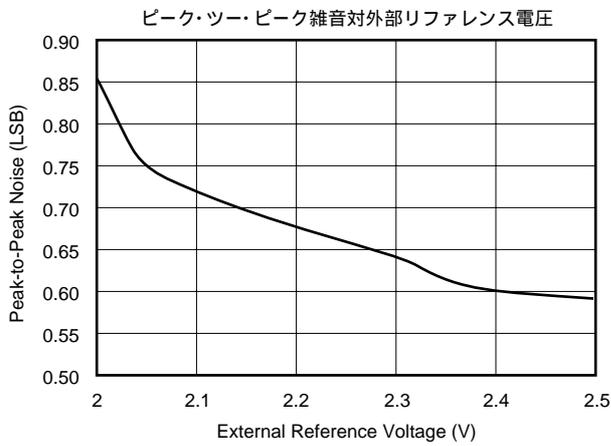
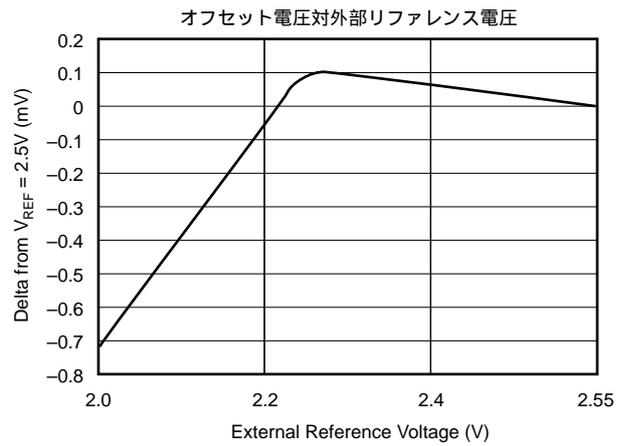
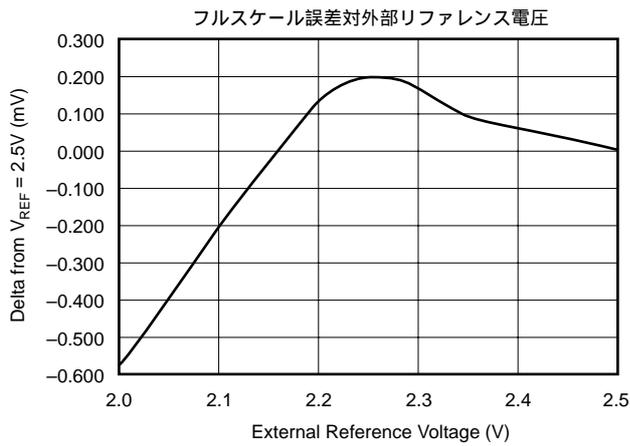
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 500\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}}$ 、内部リファレンス(+2.5V)です。



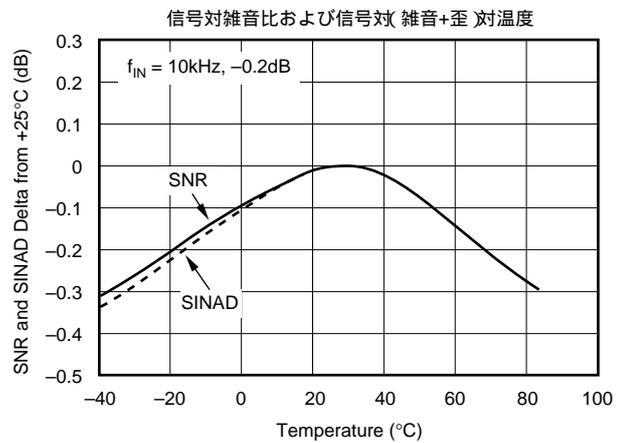
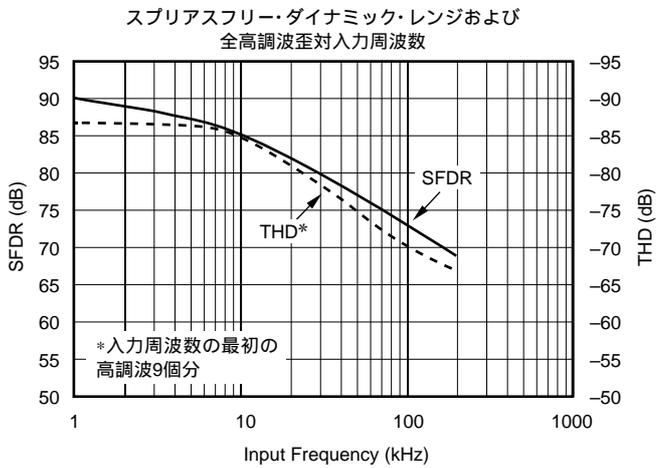
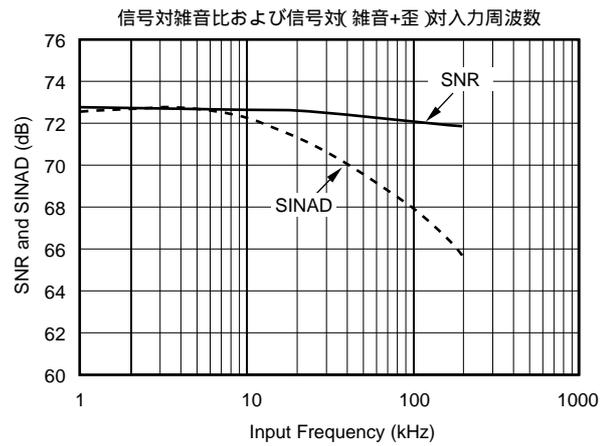
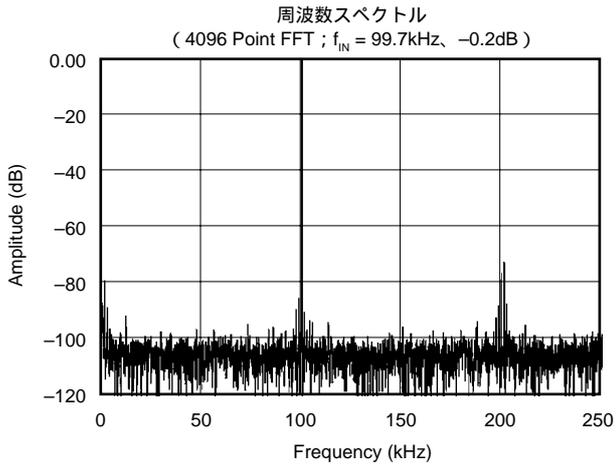
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンス(+2.5V)です。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{CC} = +5V$ 、 $f_{SAMPLE} = 500kHz$ 、 $f_{CLK} = 16 \cdot f_{SAMPLE}$ 、内部リファレンス(+2.5V)です。



動作原理

ADS7834は、2.5Vの内部バンドギャップ・リファレンスを備えた高速の逐次比較レジスタ(SAR)を使用したアナログ/デジタル(A/D)コンバータです。このコンバータは本質的にサンプル/ホールド機能をもつ電荷再配分に基づくアーキテクチャを採用し、0.6 μ mのCMOSプロセスで製造されています。ADS7834の基本動作回路については図1を参照して下さい。

ADS7834で変換プロセスを実行するには、外部クロックを必要とします。使用できるクロック周波数の範囲は200kHz(スループットは12.5kHz)から8MHz(スループットは500kHz)までです。“ハイ”時間と“ロー”時間の最小値が50ns以上、そしてクロック周期が125ns以上であれば、クロックのデューティ・サイクルは重要ではありません。ADS7834の内部にあるコンデンサのリークageによってクロック周波数の最小値が設定されます。

2本の入力ピン(+INと-IN)にアナログ入力が供給されます。変換動作が始まると、これらのピンへの差動入力が入部のキャパシタ・アレイでサンプリングされます。変換動作が進行している間、両入力は内部のいかなる機能とも接続されていません。

V_{REF} ピンの電圧でアナログ入力の範囲が決定します。2.5Vの内部リファレンスでは、入力は0Vから2.5Vまでの範囲になります。 V_{REF} ピンに外部のリファレンス電圧を加えて、内部電圧をオーバー・ドライブにすることもできます。外部電圧のレンジは2.0Vから2.55Vまでで、入力電圧範囲は2.0Vから2.55Vまでになります。

デジタル化された変換結果は、CLK入力と同期してシリアルに出力されます。データはMSBファーストで出力され、現在進行中の変換の結果を表します。パイプライン遅延はありません。CONVおよびCLK入力を適切に制御することにより、デジタル化された結果をLSBファーストで出力させることもできます。

アナログ入力

+INと-INの入力ピンにより、コンバータがホールド・モードに移ったとき、内部のホールド・コンデンサで差動入力信号をキャプチャすることができます。-IN入力の電圧は-0.2Vから0.2Vまでの範囲に限られています。このため、差動入力を使用して両入力に共通な小信号のみを除去することができます。このように、+IN信号のソース近くにリモート・グランド・ポイントがある場合、その検出には-IN入力が最適です。+IN信号を駆動するソ-

スが近くにある場合、-IN入力を直接にグランドに接続するようにします。

アナログ入力への入力電流は、内部電圧とサンプリング・レートで決まります。基本的には、デバイスに流れる電流が内部のホールド・コンデンサ(通常20pF)を充電するのは、サンプリング期間内でなければなりません。このコンデンサが完全に充電されると、入力電流は流れなくなります。アナログ入力のソースはサンプリング期間内に内部コンデンサを12ビットのセトリング・レベルに充電しなくてはなりません。動作モードによっては、この時間は350nsという短い時間になります。コンバータがホールド・モードにある場合、あるいはサンプリング・コンデンサが完全に充電された後は、アナログ入力の入力インピーダンスは1G Ω より大きくなります。

+INピンと-INピンの内部電圧には注意が必要です。コンバータの直線性を維持するために、+IN入力はGND-200mVから V_{REF} +200mVまでの範囲になければなりません。-IN入力は、GND-200mVの値を下まわってもGND+200mVの値を超えてもいけません。上記の範囲を超えると、コンバータの直線性が仕様の条件を満たさないことがあります。

リファレンス

アナログ入力のフルスケール・レンジは、 V_{REF} ピンのリファレンス電圧で直接に決定されます。ADS7834は2.0Vから2.55Vまでのリファレンスで動作し、フルスケール・レンジは2.0Vから2.55Vになります。

V_{REF} ピンの電圧は内部でバッファリングされ、このバッファがコンバータのキャパシタDAC部を駆動します。このバッファはリファレンス・ソースにかかる動的負荷を大幅に減少する点で重要です。ただし、 V_{REF} の電圧には、まだSAR変換プロセスで発生する雑音とグリッチがいくらか含まれます。以下の項で述べるように、 V_{REF} ピンをグランドに注意深くバイパスすれば雑音やグリッチを低減することができます。

内部リファレンス

ADS7834にはオンボードの2.5Vリファレンスが内蔵されており、このリファレンスを使用したときのアナログ入力の入力レンジは0Vから2.5Vになります。内部リファレンスの各種特性については、仕様の表を参照して下さい。このリファレンスは、少量の

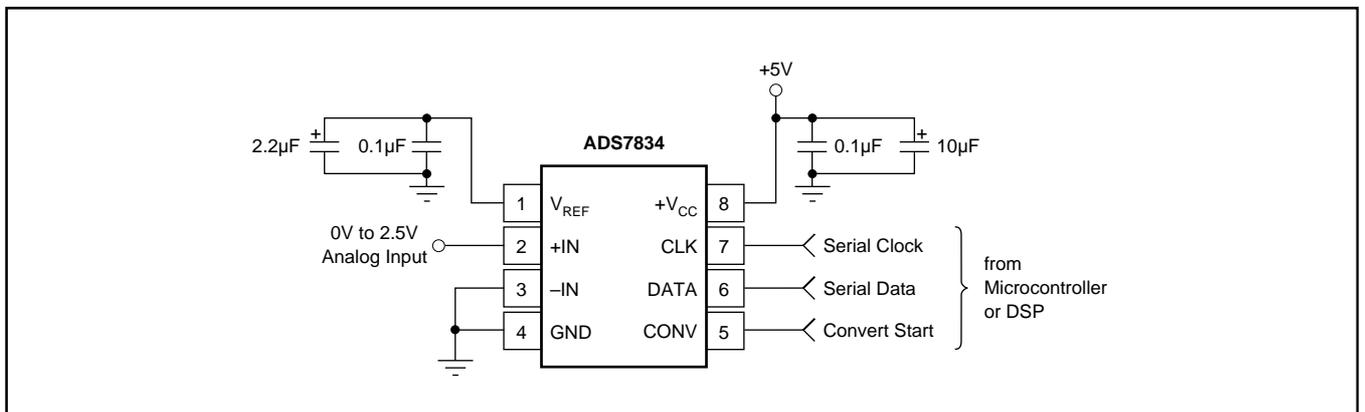


図1. ADS7834の基本動作

ソース電流を外部負荷に供給することができます。ただし負荷は静的であることが必要です。内部抵抗(10kΩ)が存在するため、動的負荷ではリファレンス電圧が変動し、変換結果に大きく影響します。静的負荷でも、バッファ入力の内部リファレンス電圧が降下することに注意して下さい。降下の程度は、負荷および実際の内部10kΩ抵抗の値に依存します。この抵抗の値は±30%変動することがあります。

0.1μFコンデンサによりV_{REF}ピンをバイパスすることが必要です。コンデンサはADS7834パッケージにできるだけ近づけるようにします。さらに、2.2μFのタンタル・コンデンサをセラミック・コンデンサと並列に接続します。タンタル・コンデンサの位置は、セラミック・コンデンサほど重要ではありません。

外部リファレンス

内部リファレンスは、10kΩの直列抵抗によりV_{REF}ピンと内部バッファに接続されます。したがって、このリファレンス電圧を容易に外部リファレンス電圧によってオーバー・ドライブすることができます。外部リファレンス電圧は2.0Vから2.55Vまでで、対応するアナログ入力レンジは2.0Vから2.55Vになります。

外部リファレンスによりV_{REF}ピンに多くの電流が流れることはありませんが、2.5Vの内部リファレンスに終端されている10kΩの直列抵抗をドライブする必要があります(実際の抵抗の値は部品間で最大±30%変動します)。また、0.1μF以上のセラミック・コンデンサでV_{REF}ピンをグランドにバイパスします(コンデンサの位置はADS7834に接近)。リファレンスはこの容量性負荷に対して安定しなければなりません。リファレンスの種類やADCの変換速度によっては2.2μFのタンタル・コンデンサなどのバイパス・キャパシタが必要です。

内部リファレンスの代わりに外部リファレンスを選ぶ理由は様々ですが、主な理由が2つあります。第1は、特定の入力レンジを達成するためです。例えば、リファレンスの値が2.048Vであれば、入力が0Vから2.048Vの入力レンジ(すなわち500mV/LSB)が得られます。第2は、温度に対する安定性を得るためです(内部リファレンスの標準的な温度安定性は20ppm/°Cです。これは、他のフルスケール・ドリフトの要因を考慮しない場合、約12ごとに1出力コードのフルスケール・ドリフトに相当します)。これより高い温度安定性が必要な場合は、温度ドリフトの小さい外部リファレンスが必要になります。

デジタル・インターフェース

ADS7834のシリアルデータのタイミングを図2に、変換的な基本タイミングを図3に示します。表1にタイミング仕様を示します。図3には通常の8ピン・コンバータにはないADS7834の機能であるいくつかの重要な点が示されています。第1はサンプル・モードからホールド・モードへの遷移がCONVの立ち下がりエッジに同期しており、CLKに依存しないことです。第2は、サンプル・モードでCLK入力が続いている必要がないことです。変換の完了後、CLKは「ロー」または「ハイ」に保持することができます。

CONVがCLKに対して非同期であるという特質からは興味深い可能性がいくつか考えられますが、同時に設計上の考慮も必要になります。CONVのCLKに対するタイミングに制約があることが図3からわかります(t_{CKCH}およびt_{CKCS})。しかし、この制約に違反した場合(CONVがCLKに対して完全に非同期の場合に起こります)、コンバータは変換を正常に実行しますが、正確な変換のタ

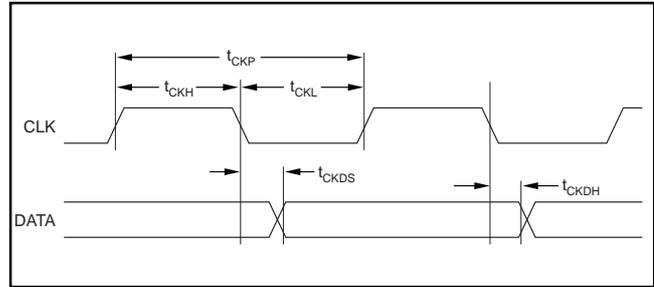


図2. シリアルデータとクロックのタイミング

記号	説明	最小	標準	最大	単位
t _{ACQ}	アキュジション時間	350			ns
t _{CONV}	変換時間	1.625			μs
t _{CKP}	クロック周期	125		5000	ns
t _{CKL}	クロック「ロー」	50			ns
t _{CKH}	クロック「ハイ」	50			ns
t _{CKDH}	クロックの立ち下がりから現在のデータ・ビット無効まで	5	15		ns
t _{CKDS}	クロックの立ち下がりから次のデータ有効まで		30	50	ns
t _{CVL}	CONV「ロー」	40			ns
t _{CVH}	CONV「ハイ」	40			ns
t _{CKCH}	クロック立ち下がり後のCONVのホールド ⁽¹⁾	10			ns
t _{CKCS}	CONVのセットアップからクロック立ち下がりまで ⁽¹⁾	10			ns
t _{CKDE}	クロック立ち下がりからDATAインエブルまで		20	50	ns
t _{CKDD}	クロック立ち下がりからDATAハイ・インピーダンスまで		70	100	ns
t _{CKSP}	クロック立ち下がりからサンプル・モードまで		5		ns
t _{CKPD}	クロック立ち下がりからパワーダウン・モードまで		50		ns
t _{CVHD}	CONV立ち下がりからホールド・モードまで(アパーチャ遅延)		5		ns
t _{CVSP}	CONV立ち上がりからサンプル・モードまで		5		ns
t _{CVPU}	CONV立ち上がりからフル・パワーアップまで		50		ns
t _{CVDD}	CONV状態変化からDATAハイ・インピーダンスまで		70	100	ns
t _{CVPD}	CONV状態変化からパワーダウン・モードまで		50		ns
t _{DRP}	CONV立ち下がりからCLK開始まで(ホールド・ドループ < 0.1LSB)			5	μs

注:(1)このタイミングは特定の状況では不要です。詳細については、本文を参照して下さい。

表1. タイミングの仕様(T_A = -40 ~ +85、C_{LOAD} = 30pF)

イミングが不確実になります。この例ではCONVとCLKのセットアップ時間とホールド時間に違反しているため、変換の開始が1クロック・サイクル変動する可能性があります(DATAにプルアップ抵抗を使用すれば、変換の開始が検出できることに注意して下さい。DATAがハイ・インピーダンスから「ロー」に変化したときに変換が開始され、そのクロック・サイクルが変換の最初のクロック・サイクルになります)。

また、CONVとCLKが完全に非同期で、CLKが連続している場合、CONVが「ロー」に変わる直前にCLKが遷移する可能性があります。この遷移が10ns(t_{CKCH})よりも速く発生すれば、デジタル・フィードスルーがホールド・キャパシタに結合することがあり、その変換にわずかなオフセット誤差が発生する原因になります。

このように、ADS7834を動作させるには、基本的な方法が2通

りあります。1つは、CONVをCLKに同期させ、CLKを連続的にする方法です。コンバータとデジタル信号プロセッサとの間でインターフェースをとる場合、これが標準的な方法になります。もう1つの方法は、CONVをCLKに対して非同期にし、CLKの動作をゲートします(不連続クロック)。この方法は、マイクロコントローラのSPI型インターフェースに対して一般的に使用されません。この方法を採用すると、トリガ回路でCONVを発生させ、CLKを開始させる(少しの遅延がある)こともできます。上記の2通りの方法を「DSPとのインターフェース」と「SPI/QSPIとのインターフェース」の項で説明しています。

パワーダウン・タイミング

図3の変換タイミングでは、ADS7834がパワーダウン・モードになりません。デバイスの変換レート高い場合(500kHz付近)、パワーダウン・モードにしても電力の節約はほとんど期待できません。しかし、パワーダウン・モードには変換のペナルティがないため(最初の変換から有効)、サンプリング・レートが低速の場合は、変換の間にデバイスをパワーダウン・モードにすれば、電力を大幅に節約することができます。

図4にコンバータをパワーダウン・モードにする標準的な方法を示します。変換中にCONVを「ロー」に維持し、13番目のクロック・サイクルの始まりで状態が「ロー」であれば、デバイスはパワーダウン・モードに移行します。CONVの立ち上がりエッジまでデバイスはこのモードを維持します。信号を正しくサンプルするためには、CONVを少なくとも t_{ACQ} の間「ハイ」にする必要がありますことに注意して下さい。

ADS7834のクロック動作には、2種類の方法があります。変換レートを基準にCLK入力を変更するのが第1の方法です。例えば、入力クロックの8MHzを図3のタイミングで使用すれば、変換速度が500kHzになります。同様に、1.6MHzのクロックであれば、変換速度が100kHzになります。もう1つの方法では、クロック入力をクロック・レートの最大値にできるだけ近いところで維持し、必要に応じて変換動作を開始します。この方法のタイミングは図4のタイミングと似通っています。例えば、変換速度が50kHzの場合、1回の変換あたり160クロック周期が必要になります(500kHzでは16クロック周期が使用されます)。

両者の大きな違いは、ADS7834がパワーダウン・モードにとどまる時間の長さです。最初の方法では、コンバータがパワーダウン状態を維持する間のクロック周期数は多くありません(変換1回あたりのクロック周期の数に依存します)。変換速度が変化しても、コンバータがパワーダウン時に消費する時間の割合は常に同じです。デジタル・ロジックの電力が減少するため、消費電力は少し減少しますが、ほんのわずかです。これは、代表的性能曲線「電源電流対サンプリング・レート」で確認することができます。

これとは対照的に、第2の方法(固定レートのクロック)では、変換1回あたりのクロック・サイクル数が変化します。変換動作間の時間が長くなると、コンバータがパワーダウンになる時間の割合が高くなります。この結果、全体の消費電力が大幅に減少します。例えば、変換速度が50kHzの場合、変換速度が500kHzの場合に消費される電力(リファレンスを除外)の1/10程度になります。

2種類の動作モードと消費電力の差をまとめたものが表IIです。

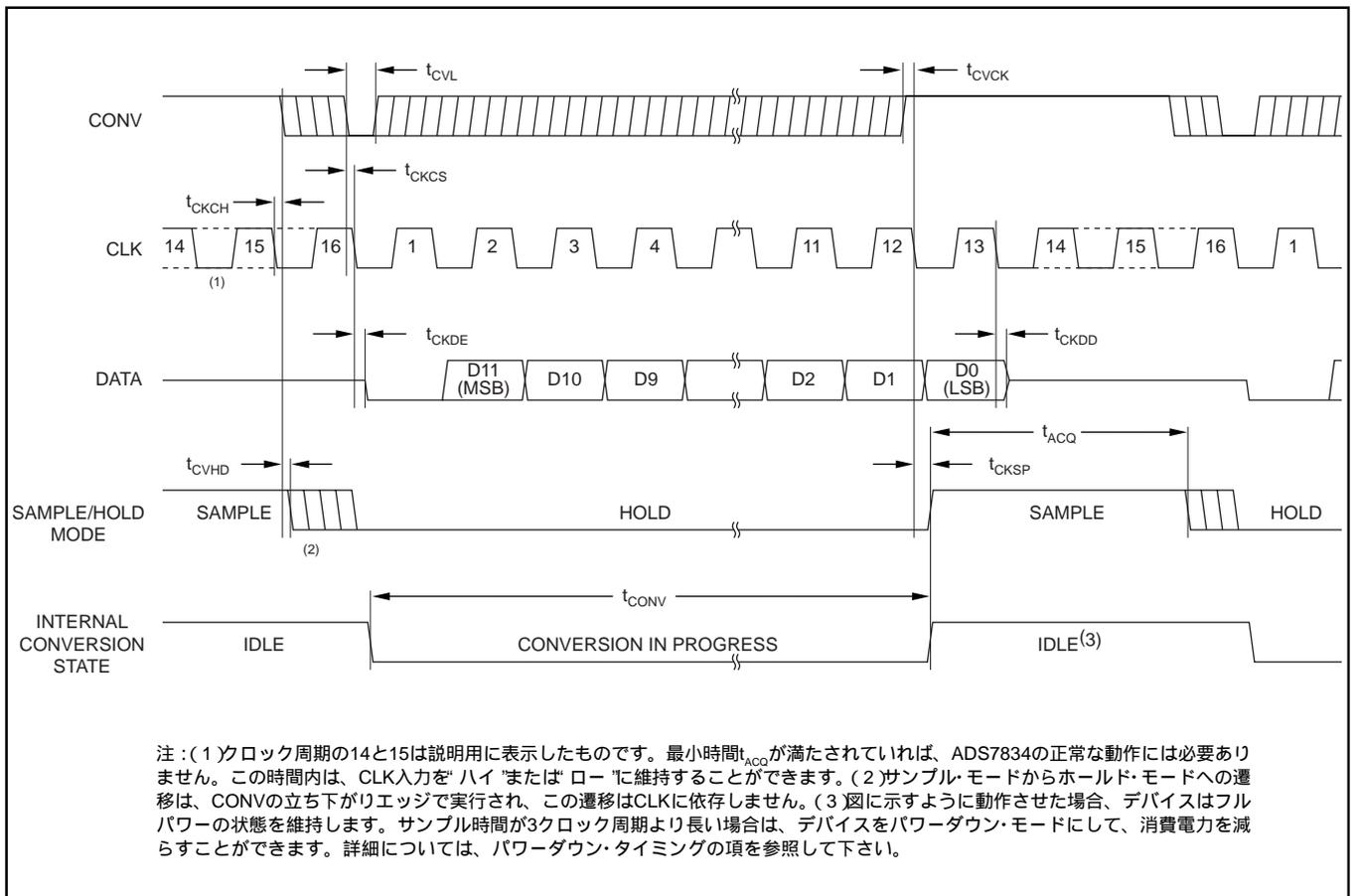


図3. 変換的な基本タイミング

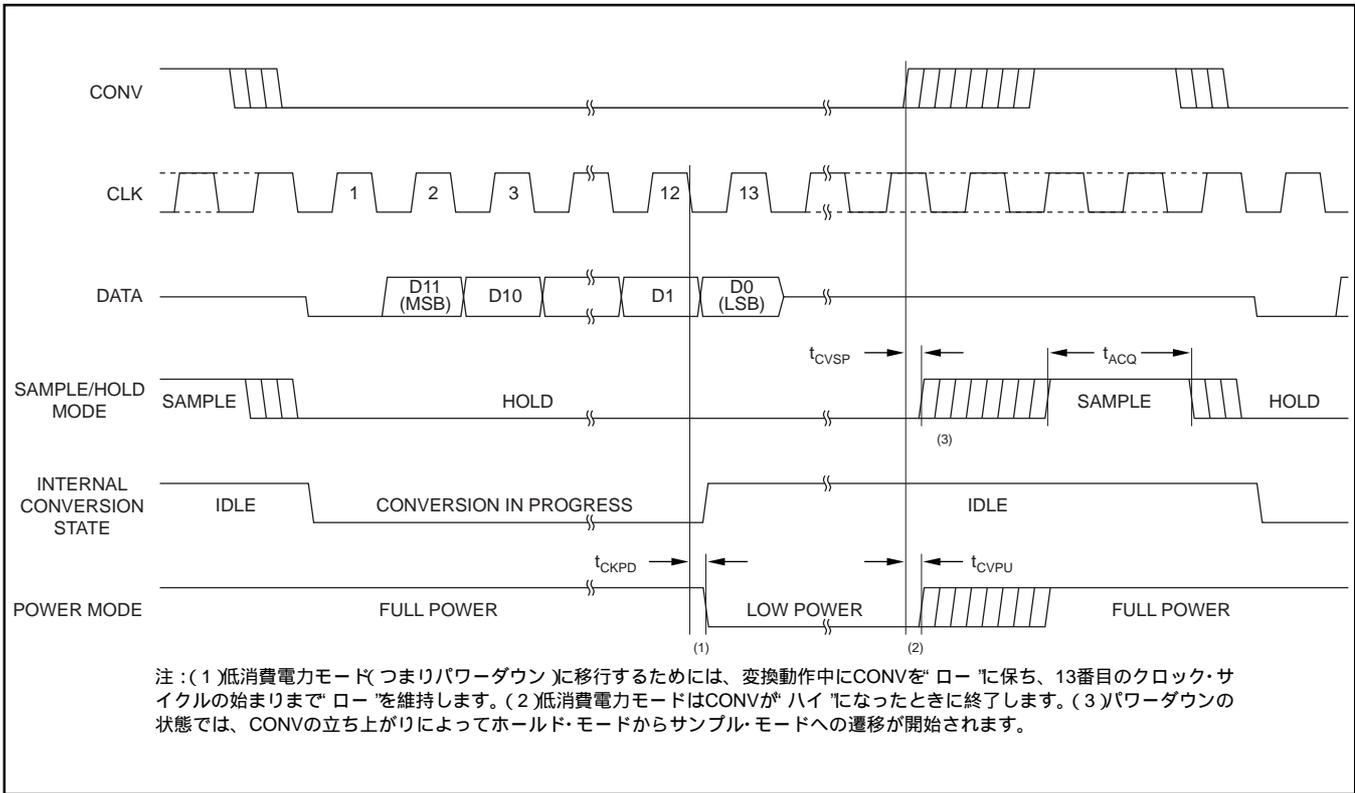


図4. パワーダウンのタイミング

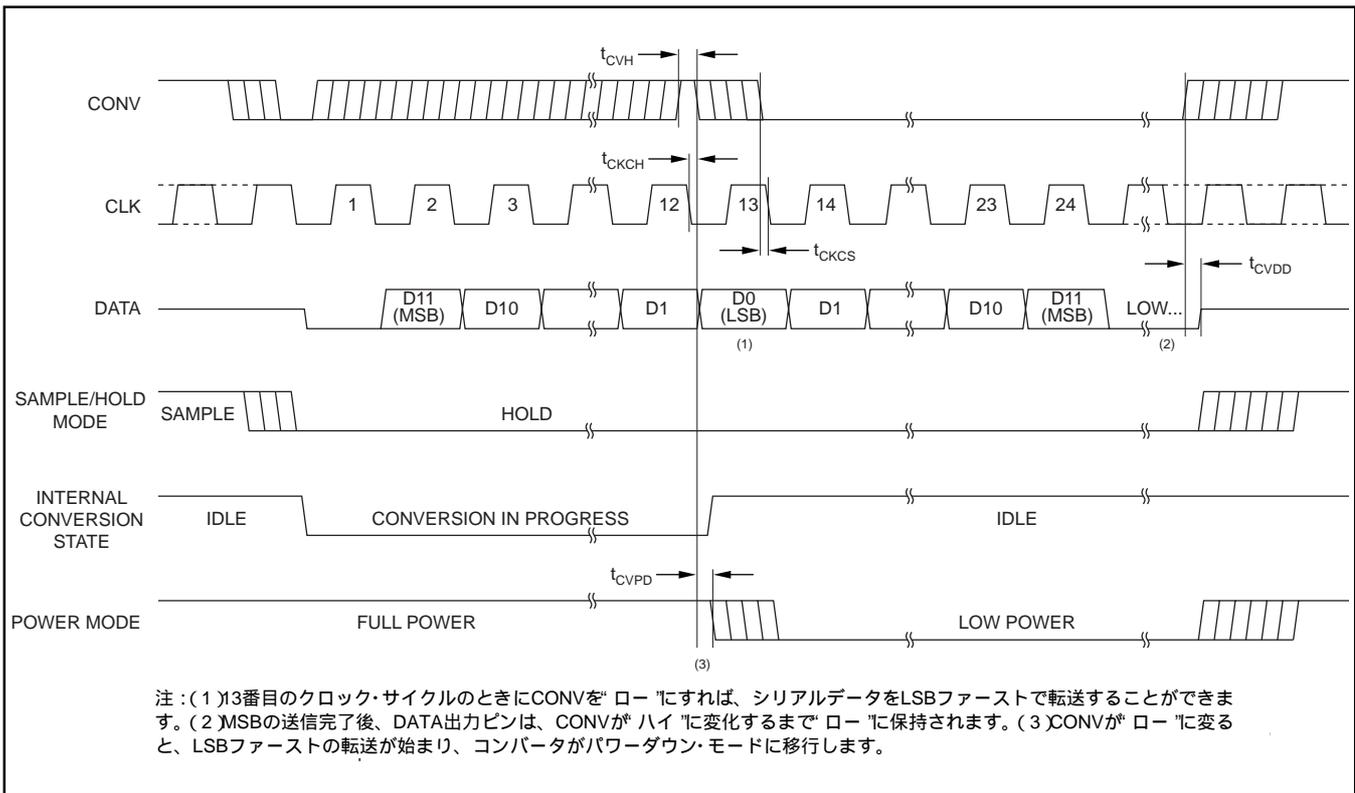


図5. シリアルデータのLSBファーストタイミング

f_{SAMPLE}	CLK=16 \cdot f_{SAMPLE} のときの電力	CLK = 8MHz のときの電力
500kHz	11mV	11mW
250kHz	10mV	7mW
100kHz	9mV	4mW

表II. 消費電力対CLK入力

LSBファーストの場合のデータ・タイミング

デジタル変換の結果を最下位ビット(LSB)ファースト・フォーマットで転送する方法を図5に示します。このモードに移行するのは、変換動作中にCONVが「ハイ」になり(12番目のクロックが終わる前)、そして13番目のクロックのとき(LSBであるD0の送信

中)にCONVが「ロー」になった場合です。これ以降の11クロック分では、シリアルデータを反復しますが、フォーマットはLSBファーストになります。13番目のクロックのとき、コンバータはパワーダウン・モードに移行し、CONVが「ハイ」になると、通常の動作を再開します。

ショート・サイクルのタイミング

図6に示される手法を使って、現在進行中の変換を「ショート・サイクル」にすることができます。この用語は、12ビットのすべてが決定されていなくても、変換をすぐに終わるという意味です。12ビットの分解能が不要な場合に非常に便利な機能です。例えば、特定の条件が満たされるまで入力電圧を監視し、条件が満たされてからコンバータの全分解能を使用するような場合です。変換のショート・サイクルを実行することにより、変換レートの向上または消費電力の低下が期待できます。

図6には、非常に重要な項目がいくつかあります。現在進行中の変換が終わるのは、変換動作中にCONVが「ハイ」になり、そして13番目のクロック・サイクルが始まる前の t_{CKCH} 時間より前に「ロー」になったときです。13番目のクロック・サイクルのときにCONVが「ロー」になると、LSBファーストのモードに移行するので注意して下さい(図5を参照)。また、CONVが「ロー」になると、DATA出力が直ちにハイ・インピーダンスに遷移します。このクロック周期で存在する出力ビットが必要な場合、このビットが受信ロジックに正しくラッチされるまで、CONVは「ロー」にしないことが必要です。

データ・フォーマット

ADS7834の出力データは、図7に示すように、ストレート・バイナリ・フォーマットです。この図は特定の入力電圧に対する理想的な出力コードを図示したもので、オフセット誤差、ゲイン誤差、雑音などの影響は含まれていません。

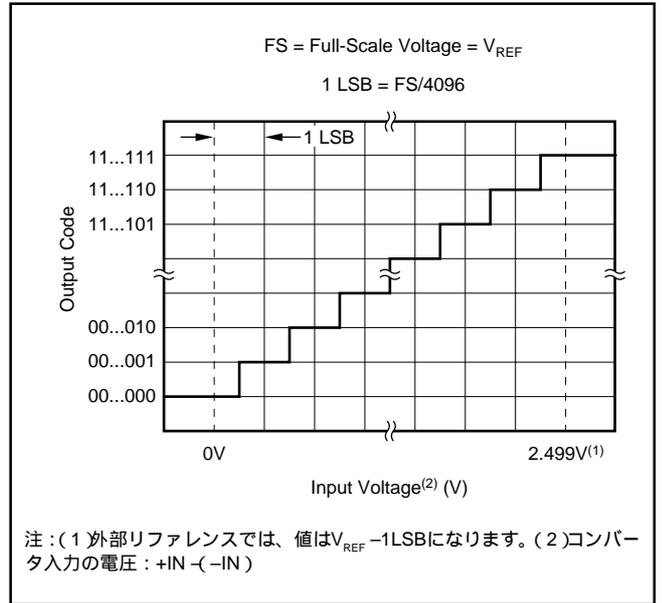


図7. 理想的な入力電圧と出力コード

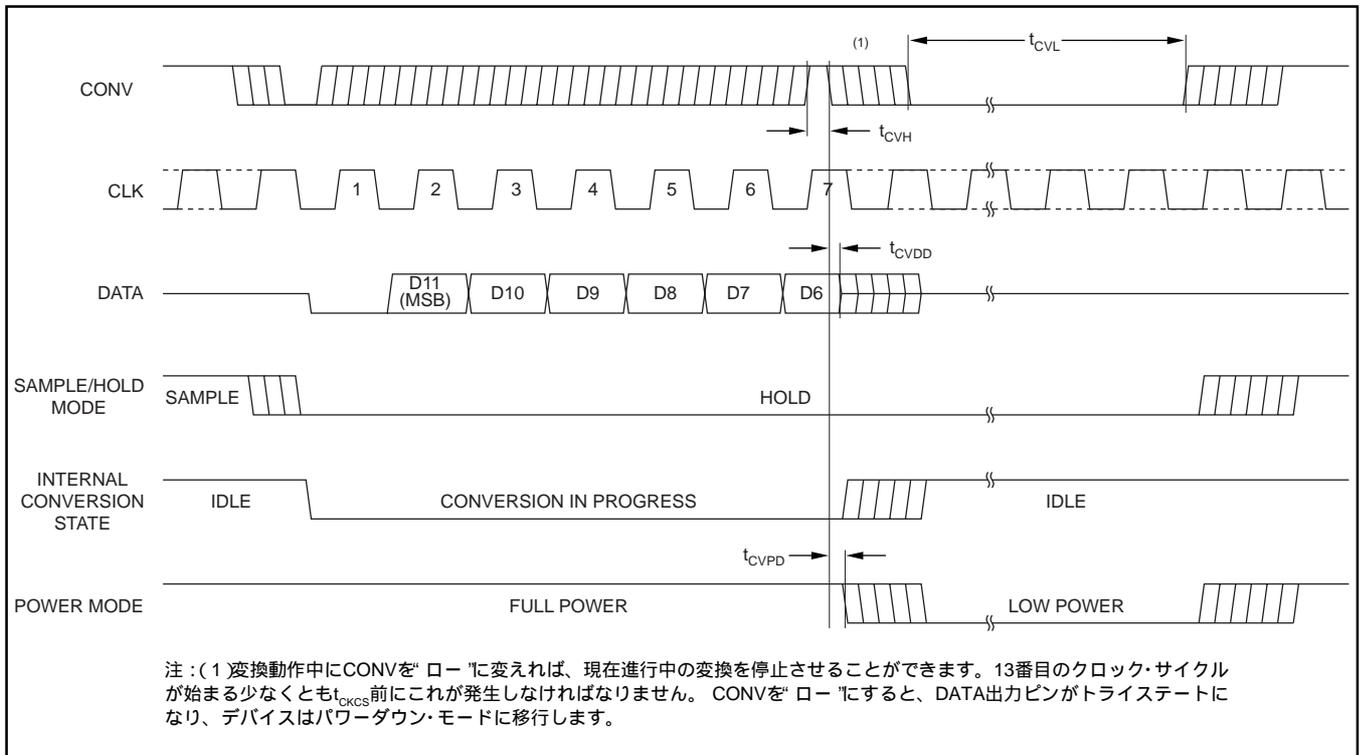


図6. ショート・サイクルのタイミング

DSPとのインターフェース

代表的なデジタル信号プロセッサ(TI DSPなど)で使用できるタイミング図を図8に示します。TMS320C54Xファミリのバッファつきシリアル・ポート(BSP)の場合、CONVをBFSXに、CLKをBCLKXに、DATAをBDRに接続します。

SPI/QSPIとのインターフェース

図9は、代表的なSPI(Serial Peripheral Interface)またはQSPI(Queued Serial Peripheral Interface)のタイミング図を示します。各メーカーから出ている多数のマイクロコントローラでこのようなインターフェースが使用されています。CONVを汎用I/Oピン(SPI)またはPCXピン(QSPI)に、CLKをシリアル・クロックに、DATAはMISO(マスター・イン、スレーブ・アウト)などのシリアル入力データ・ピンに接続します。

図9の t_{DRP} 時間に注意して下さい。これはCONVがローになるってから変換クロックが始まるまでの最大時間を表します。CONVがローになると、サンプル/ホールドがホールド・モードになり、時間の経過につれてホールド・キャパシタが徐々に電荷を放出するため、クロック周期の最大値(t_{CKP})と同様に t_{DRP} 時間の条件も満たす必要があります。

レイアウト

性能を最適にするには、ADS7834の回路レイアウトに注意する必要があります。CLK入力が入力レートの最大値に近い場合はとくに注意して下さい。

基本的なSARアーキテクチャは、アナログ・コンパレータの出力をラッチする直前に発生する電源、リファレンス、グランド接続部、デジタル入力などで発生するグリッチや突然の変化に敏感です。したがって、nビットのSARコンバータにおける変換動作の間には、大きな外部過渡電圧が変換結果にすぐに影響するよう

な「窓」がn個あります。そのようなグリッチは、電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、そして外部イベントのタイミングに依存します。外部イベントがCLK入力を基準として時間的に変化すると、この誤差は変化します。

上記を考慮すると、ADS7834に供給する電力がクリーンであり、そのバイパスが完全である必要があります。0.1 μ Fのセラミック・バイパス・コンデンサをデバイスにできるだけ近づけて配置して下さい。また、容量が1 μ Fから10 μ Fまでのコンデンサも推奨されます。必要に応じて、さらに容量の大きいコンデンサや5 Ω または10 Ω の直列抵抗を使用すれば、雑音の多い電源にローパスフィルタをかけることもできます。

ADS7834は、リファレンス電圧が内部でバッファリングされるため、通常は外部リファレンスから電流をほとんど引き出させません。ただし、 V_{REF} 入力には変換プロセスからのグリッチが発生するため、リファレンス・ソースではこの問題に対処する必要があります。内部リファレンスを使用するか外部リファレンスを使用するかに関係なく、0.1 μ Fのコンデンサで V_{REF} ピンにバイパスを追加しなければなりません。必要に応じて、さらに大きな容量のコンデンサを追加することもできます。リファレンス電圧が外部にあり、オペアンプから供給する場合は、バイパス・コンデンサをドライブしても発振がないことを確認して下さい。

クリーンなグランド・ポイントにGNDピンを接続して下さい。多くの場合、これは「アナログ」グランドになります。マイクロコントローラやデジタル信号プロセッサのグランド・ポイントに近すぎる接続は避けて下さい。必要に応じて、コンバータから電源エントリ・ポイントまで直接グランド・パターンを設けて下さい。コンバータ専用のアナログ・グランド・プレーンと関連するアナログ回路を備えるのが理想的なレイアウトです。

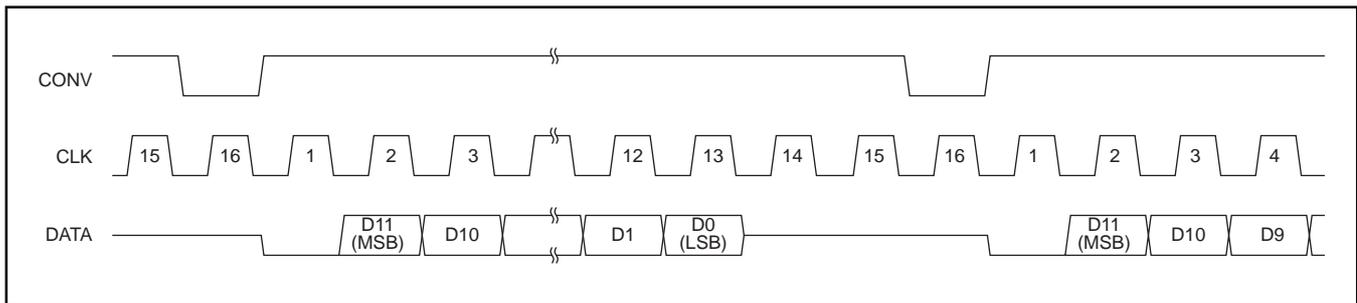


図8. DSPインターフェースの標準的タイミング

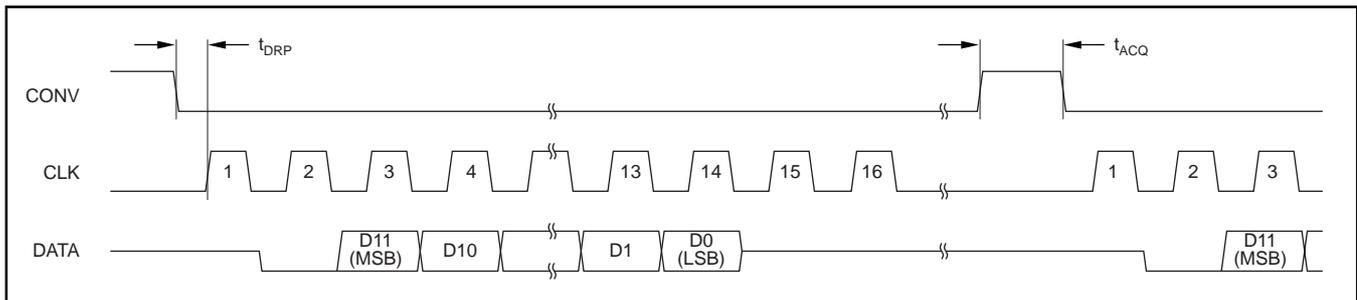
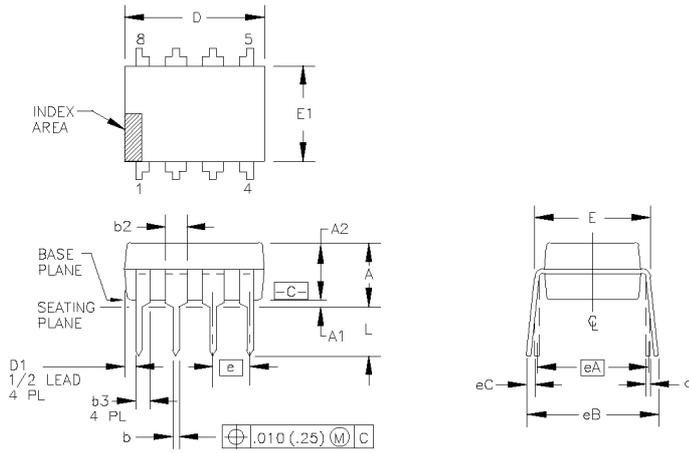


図9. SPI/QSPIインターフェースの標準的タイミング

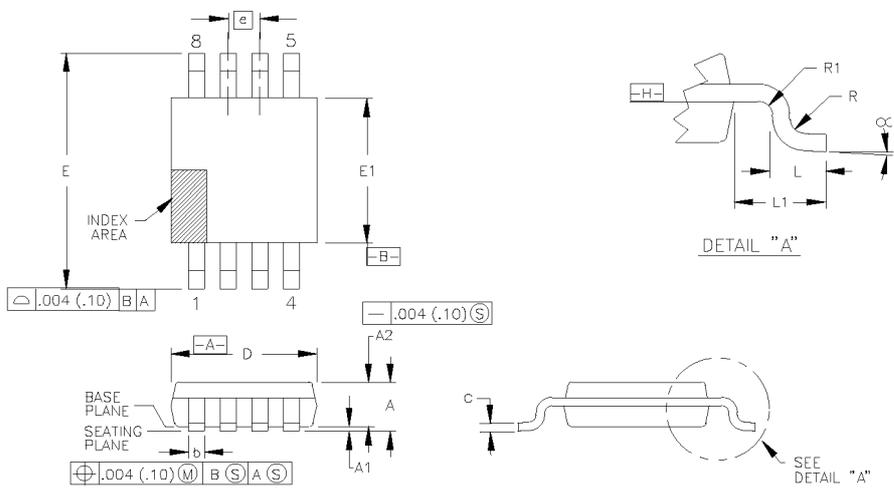
外観

パッケージ番号006 - 8ピン・シングル幅DIP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	.210	—	5.33
A1	.015	—	0.38	—
A2	.115	.195	2.92	4.95
b	.014	.022	0.36	0.56
b2	.045	.070	1.14	1.78
b3	.030	.045	0.76	1.14
c	.008	.014	0.20	0.36
D	.355	.400	9.02	10.16
D1	.005	—	0.13	—
E	.300	.325	7.62	8.26
E1	.240	.280	6.10	7.11
e	.100	BASIC	2.54	BASIC
eA	.300	BASIC	7.63	BASIC
eB	—	.430	—	10.92
eC	.000	.060	0.00	1.52
L	.115	.150	2.92	3.81
N	8		8	

パッケージ番号337 - 8ピンMSOP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.032	.048	0.81	1.22
A1	.002	.010	0.05	0.25
A2	.030	.038	0.76	0.97
b	.011	.015	0.28	0.38
c	.005	.009	0.13	0.23
D	.114	.122	2.90	3.10
E	.193	REF	4.90	REF
E1	.114	.122	2.90	3.10
e	.0256	BASIC	0.65	BASIC
L	.0175	.0255	0.45	0.65
L1	.037	REF	0.94	REF
N	8		8	
R	.003	.009	0.08	0.23
R1	.003	.009	0.08	0.23
∞	0°	6°	0°	6°