

April, 1998

仕様

特に記述のない限り、T_A = -40°C ~ +85°C、+V_{CC} = +5V、f_{SAMPLE} = 500kHz、f_{CLK} = 16・f_{SAMPLE}、内部リファレンスを使用します。

パラメータ	条件	ADS7818P, E			ADS7818PB, EB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入カスパン ⁽¹⁾ 絶対入力レンジ キャパシタンス リーク電流	+In – (–In) +In –In	0 –0.2 –0.2		5 V _{CC} +0.2 +0.2	* * *		* * *	V V V pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 ゲイン誤差 ⁽³⁾ 同相モード除去 雑音 電源除去	25°C –40°C ~ +85°C DC, 0.2Vp-p 1MHz, 0.2Vp-p ワーストケースΔ, +V _{CC} = 5V ±5%	12	12 ±1 ±0.8 ±2 ±12	±2 ±5 ±30 ±50	* *	* ±0.5 ±0.5 ±1 ±7	±1 ±1 * ±15 ±35	Bits Bits LSB ⁽²⁾ LSB LSB LSB dB dB μVrms LSB
サンプリング特性 変換時間 アキュイジション時間 スループット・レート アパーチャ遅延 アパーチャ・ジッタ ステップ応答		1.625 0.350		500	* *		*	μs μs kHz ns ps ns
ダイナミック特性 信号/雑音比 全高調波歪 ⁽⁴⁾ 信号/(雑音+歪)比 スプリアスフリー・ダイナミック・レンジ 有効帯域幅	V _{IN} = 5Vp-p at 100kHz V _{IN} = 5Vp-p at 100kHz V _{IN} = 5Vp-p at 100kHz V _{IN} = 5Vp-p at 100kHz SINAD > 68dB	68 72	72 –78 70 78 350	–72	70 75	* –82 72 82 *	–75	dB dB dB dB kHz
リファレンス出力 電圧 ソース電流 ⁽⁵⁾ ドリフト ライン・レギュレーション	I _{OUT} = 0 静的負荷 I _{OUT} = 0 4.75V ≤ V _{CC} ≤ 5.25V	2.475	2.50 20 0.6	2.525 50	2.48	* * *	2.52 *	V μA ppm/°C mV
リファレンス入力 レンジ 抵抗 ⁽⁶⁾	対内部リファレンス電圧	2.0	10	2.55	*	*	*	V kΩ
デジタル入出力 ロジック・ファミリ ロジック・レベル V _{IH} V _{IL} V _{OH} V _{OL} データ・フォーマット	I _{IH} ≤ +5μA I _{IL} ≤ +5μA I _{OH} = –500μA I _{OL} = 500μA	3.0 –0.3 3.5	CMOS	V _{CC} +0.3 0.8 0.4	* * * *	*	* * * *	V V V V
電源条件 +V _{CC} 無信号時電流 消費電力	仕様に規定された性能 f _{SAMPLE} = 500kHz パワー・ダウン f _{SAMPLE} = 500kHz パワー・ダウン	4.75	2.2 0.5 11 2.5	5.25 20	* * * *	* * * *	* *	V mA mA mW mW
温度範囲 仕様に規定された性能		–40		+85	*		*	°C

* 印仕様はADS7818P, Eと同じです。
注：(1)ゲイン誤差やオフセット誤差を含まない理想的な入カスパンです。(2)LSBは最下位ビットを意味します。V_{REF}が+2.5Vの場合、1LSBは1.22mVです。(3)理想的なフルスケール入力(+In – (–In))の4.999Vを基準に測定します。このため、ゲイン誤差には内部リファレンス電圧の誤差が含まれます。(4)入力周波数の最初から9番目までの高調波を基に計算します。(5)内部リファレンスから外部負荷に電流を供給する必要がある場合、内部の10kΩ抵抗のためにリファレンス電圧が変化します。(6)±30%変動します。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格⁽¹⁾

+V _{CC} (対GND)	-0.3V~6V
アナログ入力(対GND)	-0.3V~(V _{CC} +0.3V)
デジタル入力(対GND)	-0.3V~(V _{CC} +0.3V)
消費電力	325mW
最大接合部温度	+150°C
動作温度範囲	-40°C~+85°C
保存温度範囲	-65°C~+150°C
リード温度(10秒間の半田付け)	+300°C

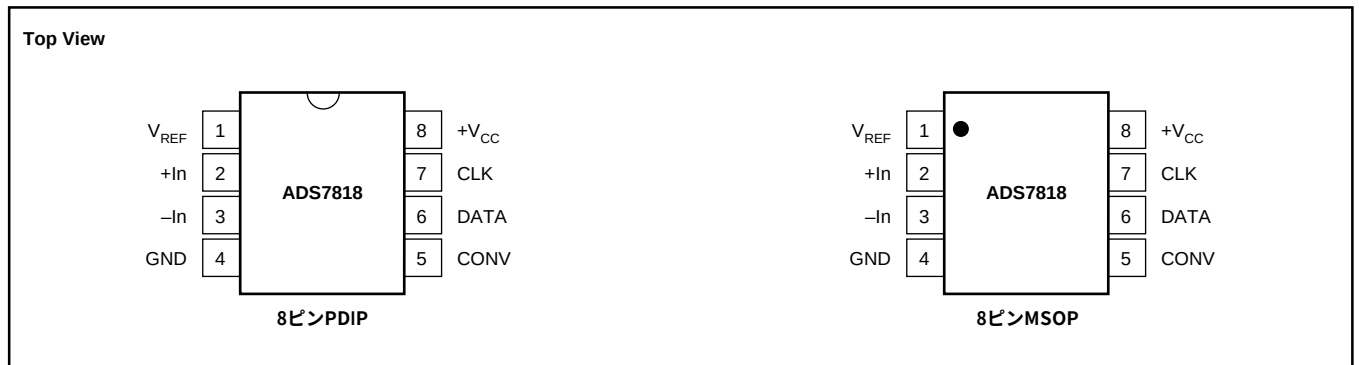
注：(1) 定格を超えるオーバ・ストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



ピン構成

ピン	名称	説明
1	V _{REF}	リファレンス出力。0.1μFのセラミック・コンデンサおよび2.2μFのタンタル・コンデンサでグラウンドにデカップリングします。
2	+In	非反転入力。
3	-In	反転入力。グラウンドまたはリモート・グラウンド・センス・ポイントに接続します。
4	GND	グラウンド。
5	CONV	変換入力。サンプル/ホールド・モード、変換の開始、シリアル・データ転送の開始、シリアル転送のタイプおよびパワーダウン・モードを制御します。詳細については、「デジタル・インターフェース」の項を参照。
6	DATA	シリアル・データ出力。12ビットの変換結果がMSBファーストでシリアルに転送されます。各ビットはCLKの立ち上がりエッジで有効になります。CONV入力を適切に制御することにより、データをLSBファーストで転送することもできます。詳細については、「デジタル・インターフェース」の項を参照。
7	CLK	クロック入力。シリアル・データの転送を同期させ、変換速度を決定します。
8	+V _{CC}	電源。0.1μFのセラミック・コンデンサおよび10μFのタンタル・コンデンサでグラウンドにデカップリングします。

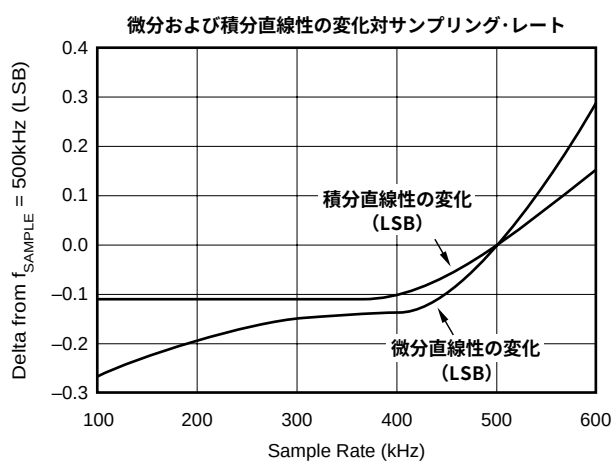
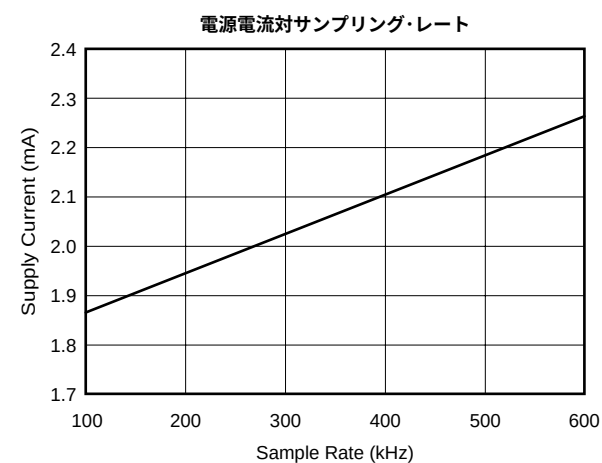
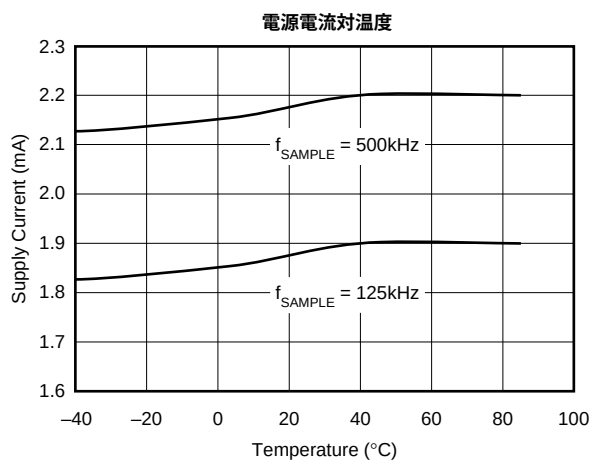
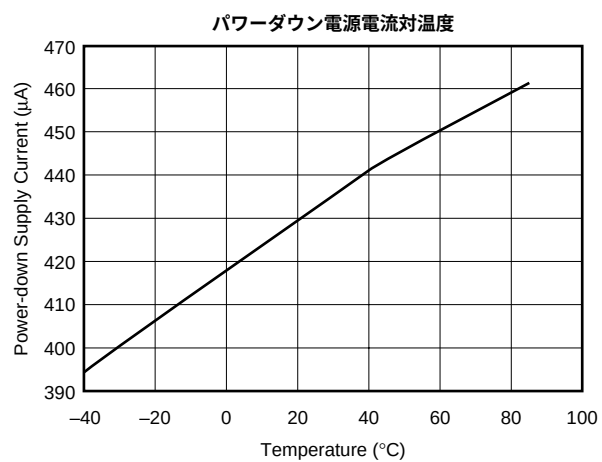
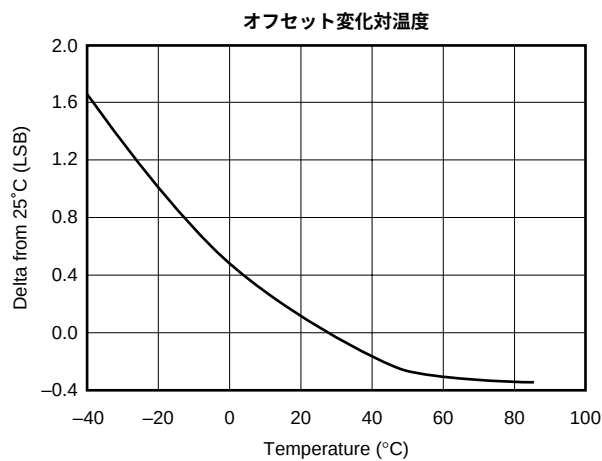
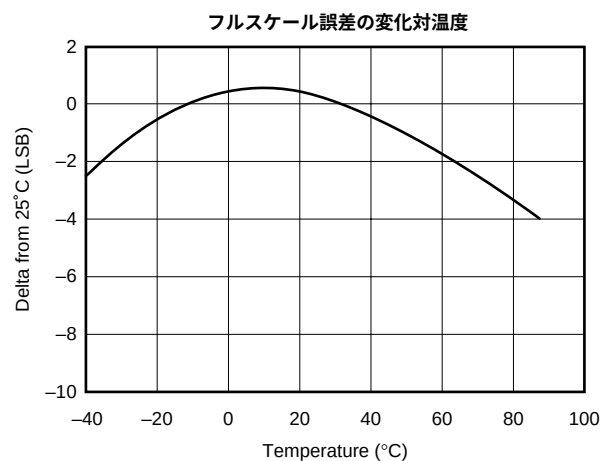
パッケージ情報/御発注の手引き

モデル	最大積分直線性誤差(LSB)	最大微分直線性誤差(LSB)	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング ⁽²⁾	発注番号 ⁽³⁾	供給持の状態
ADS7818E	±2	N/S ⁽⁴⁾	8ピンMSOP	337	-40°C~+85°C	A18	ADS7818E/250	テーブリール
ADS7818E	±2	N/S ⁽⁴⁾	8ピンMSOP	337	-40°C~+85°C	A18	ADS7818E/2K5	テーブリール
ADS7818EB	±1	±1	8ピンMSOP	337	-40°C~+85°C	A18	ADS7818EB/250	テーブリール
ADS7818EB	±1	±1	8ピンMSOP	337	-40°C~+85°C	A18	ADS7818EB/2K5	テーブリール
ADS7818P	±2	N/S ⁽⁴⁾	8ピンDIP	006	-40°C~+85°C	ADS7818P	ADS7818P	マガジン
ADS7818PB	±1	±1	8ピンDIP	006	-40°C~+85°C	ADS7818PB	ADS7818PB	マガジン

注：(1) 詳細図および寸法表は、データシートの巻末を参照して下さい。(2) デバイスのグレードはテーブリールにマーキングされています。(3) スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テーブリールのみで供給されます(例えば、/2K5は2,500個で1リールであることを示します)。「ADS7818E/2K5」をご発注の場合、2,500個入りのテーブリール1本が納入されます。(4) N/Sは規定されていません(代表値のみ)。ただし、全温度範囲にわたり12ビットのノー・ミッシング・コードが保証されています。

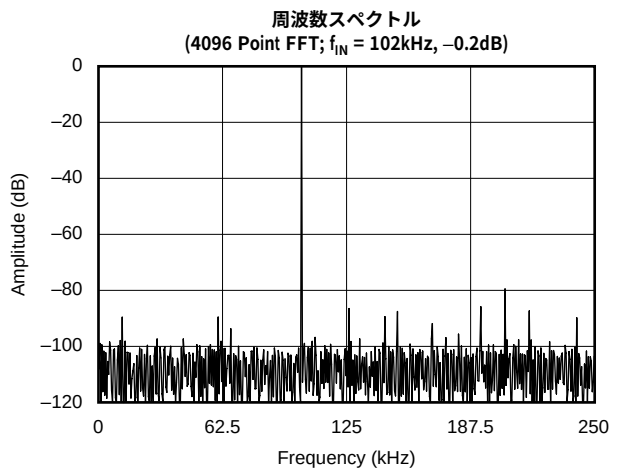
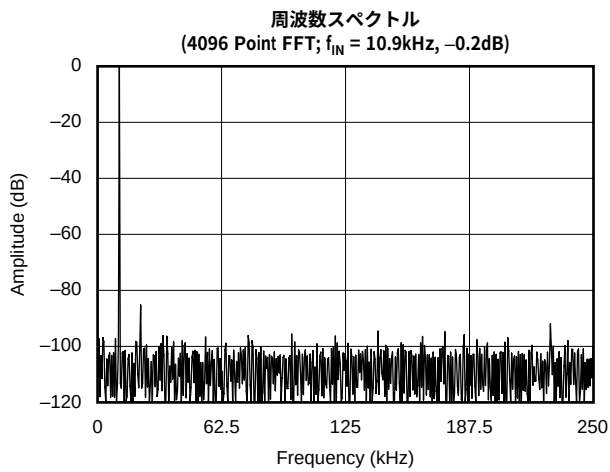
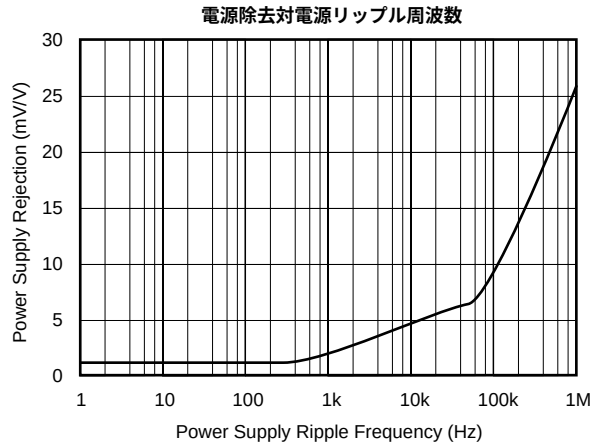
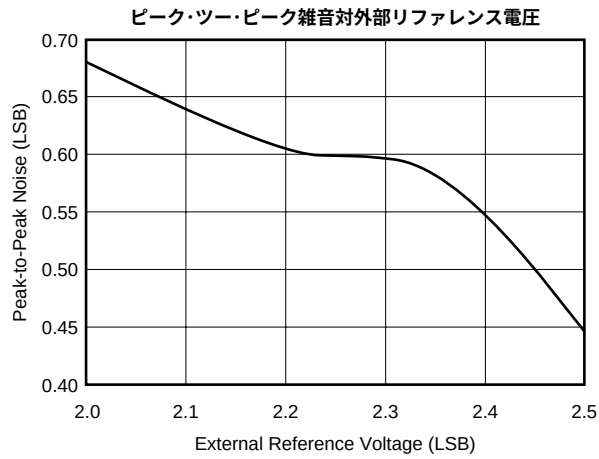
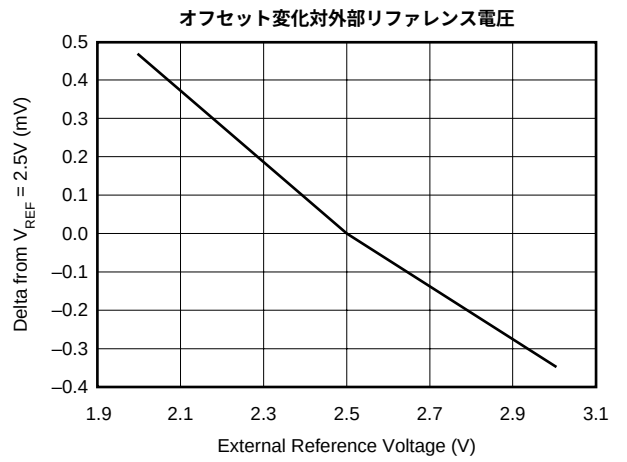
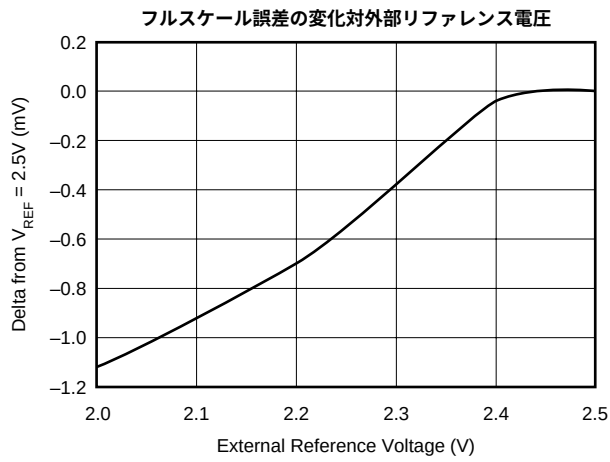
代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 500\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}}$ 、+2.5V内部リファレンスを使用します。



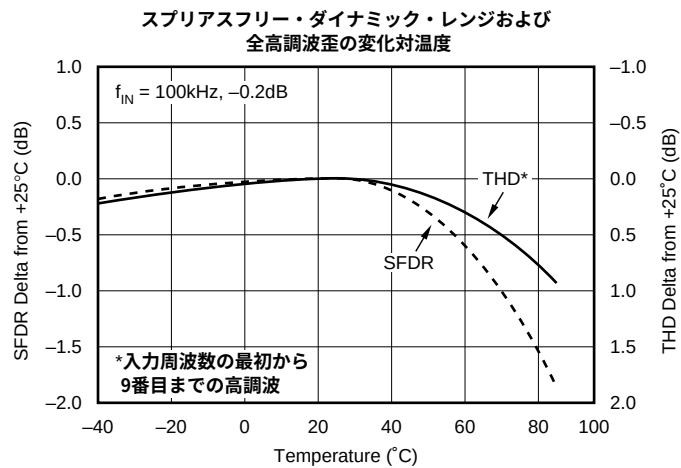
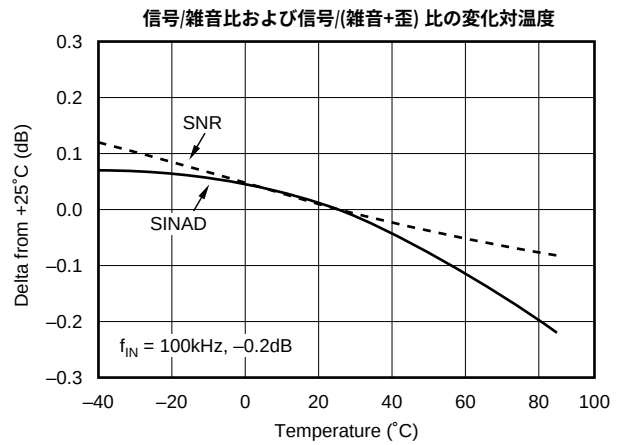
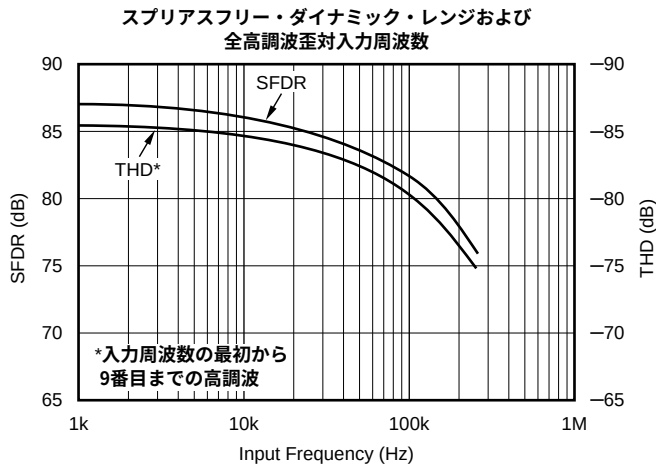
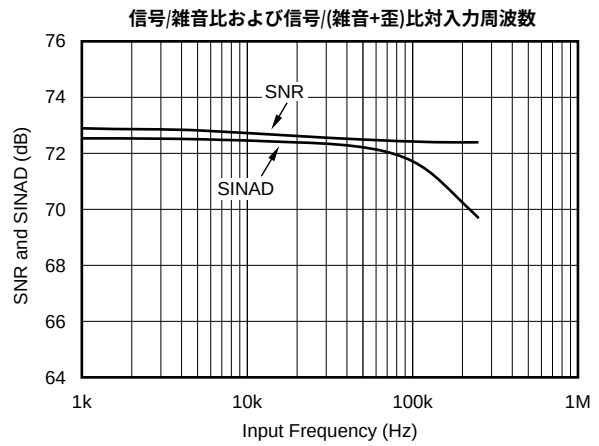
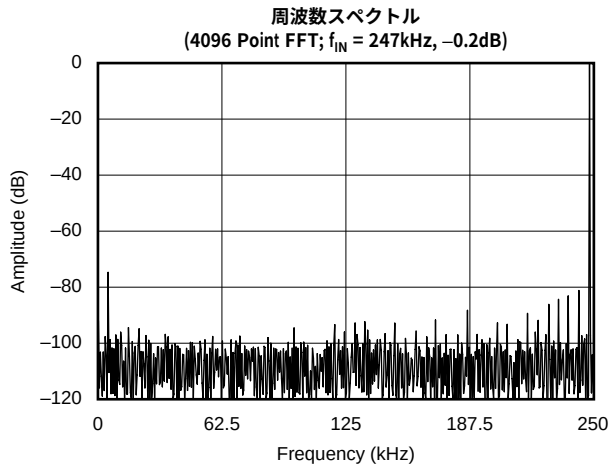
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 500\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}}$ 、+2.5V内部リファレンスを使用します。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 500\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}}$ 、+2.5V内部リファレンスを使用します。



動作原理

ADS7818は、2.5Vの内部バンドギャップ・リファレンスを備えた、高速の逐次比較型レジスタ(SAR)を使用したアナログ/デジタル(A/D)コンバータです。このコンバータは、本質的にサンプル/ホールド機能をもつ電荷再配分に基づくアーキテクチャを採用し、0.6 μ mのCMOSプロセスで製造されています。ADS7818の基本動作回路については、図1を参照して下さい。

ADS7818には、変換プロセスを実行するための外部クロックが必要です。このクロックには、200kHz(スループット12.5Hz)から8MHz(スループット500kHz)の範囲のものが使用できます。“ハイ”および“ロー”の時間が50ns以上、クロック周期が125ns以上であれば、クロックのデューティ・サイクルは重要ではありません。最小クロック周波数は、ADS7818内部のコンデンサのリークによって設定されます。

アナログ入力は、2本の入力ピン+INおよび-INに供給されます。変換が開始されると、2本のピンの差動入力が入部キャパシタ・アレイにサンプリングされます。変換中は、どちらの入力も内部の機能から完全に遮断されます。

アナログ入力レンジは、 V_{REF} ピンの電圧によって設定されます。2.5V内部リファレンスを使用したときの入力レンジは0から5Vです。外部リファレンス電圧を V_{REF} に印加して内部電圧をオーバードライブすることもできます。外部電圧のレンジは2.0Vから2.55Vまでで、入力電圧レンジは4.0Vから5.1Vになります。

デジタル化された変換結果は、CLK入力と同期してシリアルに出力されます。データは、MSBファーストで出力され、現在進行中の変換の結果を表します。パイプライン遅延はありません。CONVおよびCLK入力を適切に制御することにより、デジタル化された結果をLSBファーストで出力させることもできます。

アナログ入力

+INおよび-IN入力ピンの差動入力信号は、コンバータがホールド・モードになったときに内部ホールド・キャパシタにキャプチャされます。-IN入力の電圧レンジは、-0.2Vから0.2Vまでに制限されています。このため、差動入力を使用して、両方の入力に共通の小信号だけを除去することができます。したがって、-IN入力は、+IN信号のソース付近のリモート・グランド・ポイントのセンスに適しています。+IN信号をドライブするソースが近接している場合は、-INを直接グランドに接続して下さい。

アナログ入力の入力電流は、入力電圧およびサンプリング・レートに依存します。デバイスに流れ込む電流は、サンプリング周期の間に内部ホールド・キャパシタを充電させます。このキャパシタンスが完全に充電された後は、入力電流は流れなくなります。アナログ入力電圧のソースは、サンプリング周期以内に(動作モードによっては350nsという短時間で)入力キャパシタンスを12ビットのセトリング・レベルまで充電しなくてはなりません。コンバータがホールド・モードにある間、またはサンプリング・キャパシタが完全に充電された後では、アナログ入力の入力インピーダンスは1G Ω より大きくなります。

+INおよび-INピンの入力電圧には注意が必要です。コンバータの直線性を維持するため、+IN入力はGND-200mVから $+V_{CC}+200$ mVの範囲に保持します。-IN入力は、GND-200mVからGND+200mVの範囲に保持します。これ以外の範囲では、コンバータの直線性が仕様に適合しないことがあります。

リファレンス

V_{REF} ピンのリファレンス電圧は、アナログ入力のフルスケール・レンジを直接設定します。ADS7818は、2.0Vから2.55Vのリファレンスで動作し、フルスケール・レンジは4.0Vから5.1Vになります。

V_{REF} ピンの電圧は内部でバッファリングされ、このバッファがコンバータのキャパシタDAC部をドライブします。このバッファは、リファレンス・ソースの動的負荷を大幅に低減する点で重要です。ただし、 V_{REF} の電圧には、まだSARの変換プロセスで発生する雑音およびグリッチがいくらか含まれています。これらは、以下のセクションの説明に従って V_{REF} ピンを慎重にグランドにバイパスすることにより低減することができます。

内部リファレンス

ADS7818には、オンボードの2.5Vリファレンスがあり、このリファレンスを使用したときのアナログ入力の入力レンジは0Vから5Vになります。内部リファレンスの各種の特性については、仕様の表を参照して下さい。

このリファレンスは、外部負荷にわずかなソース電流を供給するために使用することができます。ただし、負荷は静的であることが必要です。動的負荷では、内部の10k Ω 抵抗のためにリファレンス電圧が変動し、変換結果に大きく影響します。静的負荷でもバッファ入力の内部リファレンス電圧が降下することに注意し

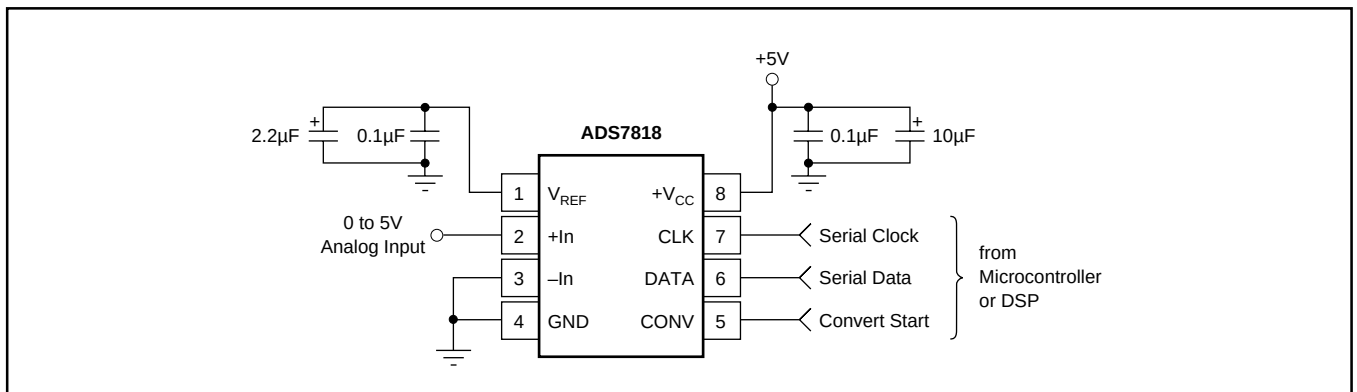


図1. ADS7818の基本動作

て下さい。降下の程度は、負荷および実際の内部“10k Ω ”抵抗の値に依存します。この抵抗の値は $\pm 30\%$ 変動します。

V_{REF} ピンは、0.1 μ Fのセラミック・コンデンサをADS7818パッケージのできるだけ近くに接続してバイパスすることが必要です。また、セラミック・コンデンサと並列に2.2 μ Fのタンタル・コンデンサも接続します。タンタル・コンデンサの位置は、セラミック・コンデンサほど重要ではありません。

外部リファレンス

内部リファレンスは、10k Ω の直列抵抗を介して V_{REF} ピンおよび内部バッファに接続されています。このため、リファレンス電圧を容易に外部リファレンス電圧によってオーバードライブすることができます。外部リファレンスの電圧レンジは2.0Vから2.55Vまでで、対応するアナログ入力レンジは4.0Vから5.1Vになります。

V_{REF} ピンには外部リファレンスから大きい電流が流れませんが、2.5V内部リファレンスに終端している10k Ω の直列抵抗をドライブする必要があります(実際の抵抗の値は部品間で最大 $\pm 30\%$ 変動します)。また、 V_{REF} ピンは、ADS7818のできるだけ近くに0.1 μ F以上のセラミック・コンデンサを接続してグラウンドにバイパスすることが必要です。リファレンスは、この容量性負荷に対して安定でなければなりません。リファレンスおよびコンバータの変換速度によっては、2.2 μ Fのタンタル・コンデンサなど、追加のバイパス・キャパシタンスが必要です(図1参照)。

外部リファレンスは、さまざまな理由によって内部リファレンスの代わりに選択されますが、主な理由は2つあります。第1は、特定の入力レンジを達成するためです。例えば、2.048Vのリファレンスでは、0Vから4.095Vの入力レンジ(すなわち1mV/LSB)が得られます。第2の理由は、温度安定性を高めるためです。内部リファレンスの標準的な温度安定性は20ppm/ $^{\circ}$ Cです。これは、他のフルスケール・ドリフトの要因を考慮しない場合、約12 $^{\circ}$ Cごとに1出力コードのフルスケール・ドリフトに相当します。これより高い温度安定性が必要な場合は、温度ドリフトの小さい外部リファレンスが必要になります。

デジタル・インターフェース

ADS7818のシリアルデータのタイミングを図2に、基本的な変換のタイミングを図3に示します。表1にタイミングの仕様を示します。図3には、通常の8ピン・コンバータにないADS7818の機能であるいくつかの重要な点が表示されています。第1は、サンプル・モードからホールド・モードへの遷移がCONVの立ち下がりエッジに同期しており、CLKに依存しないことです。第2に、サンプル・モードでCLK入力が続いている必要がないことです。変換の終了後、CLKは“ロー”または“ハイ”に保持することができます。

CONVとCLKが非同期であるという性質からは、興味ある可能性がいくつか考えられますが、設計上の考慮も必要になります。図3は、CONVのCLKに対するタイミングに制約があることを示しています(t_{CKCH} および t_{CKCS})。これらの時間に違反した場合(CONVとCLKが完全に非同期の場合に起こります)、コンバータは変換を正しく実行しますが、正確な変換のタイミングが不確定になります。この例では、CONVとCLK間のセットアップおよびホールド時間に違反しているため、変換の開始が1クロック・サ

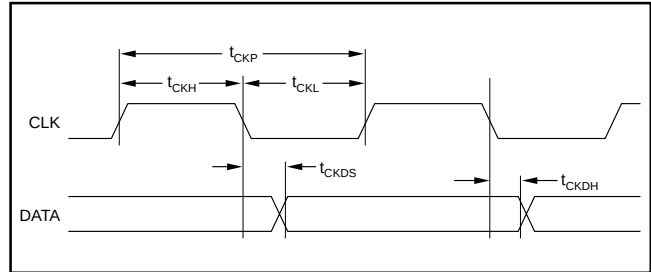


図2. シリアルデータおよびクロックのタイミング

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュイジション時間	350			ns
t_{CONV}	変換時間	1.5			μ s
t_{CKP}	クロック周期	125		5000	ns
t_{CKL}	クロック“ロー”	50			ns
t_{CKH}	クロック“ハイ”	50			ns
t_{CKDH}	クロックの立ち下がりから現時点のデータ・ビット無効まで	5	15		ns
t_{CKDS}	クロックの立ち下がりから次のデータ有効まで		30	50	ns
t_{CVL}	CONV“ロー”	40			ns
t_{CVH}	CONV“ハイ”	40			ns
t_{CKCH}	クロックの立ち下がり後のCONVホールド ⁽¹⁾	10			ns
t_{CKCS}	CONVのセットアップからクロックの立ち下がりまで ⁽¹⁾	10			ns
t_{CKDE}	クロックの立ち下がりからDATAイネーブルまで		20	50	ns
t_{CKDD}	クロックの立ち下がりからDATAハイ・インピーダンスまで		70	100	ns
t_{CKSP}	クロックの立ち下がりからサンプル・モードまで		5		ns
t_{CKPD}	クロックの立ち下がりからパワーダウン・モードまで		50		ns
t_{CVHD}	CONVの立ち下がりからホールド・モードまで(アパーチャ遅延)		5		ns
t_{CVSP}	CONVの立ち上がりからサンプル・モードまで		5		ns
t_{CVPU}	CONVの立ち上がりから完全なパワーアップまで		50		ns
t_{CVDD}	CONVの状態変化からDATAハイ・インピーダンスまで		70	100	ns
t_{CVPD}	CONVの状態変化からパワーダウン・モードまで		50		ns
t_{DRP}	CONVの立ち下がりからCLK開始まで(ホールド・ドループ<0.1LSB)			5	μ s

注：(1) このタイミングは特定の状況では不要です。詳細については、本文を参照して下さい。

表1. タイミング仕様($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $C_{LOAD} = 30\text{pF}$)

イクル変動する可能性があります。(変換の開始は、DATAのプルアップ抵抗を使用して検出することができます。DATAがハイ・インピーダンス状態から“ロー”になったときに変換が開始され、そのクロック・サイクルが変換の最初のクロック・サイクルになります。)

また、CONVとCLKが完全に非同期で、CLKが続いている場合、CONVが“ロー”になる直前にCLKが遷移する可能性があります。これが t_{CKCH} で示される10nsより速く発生した場合は、デジタル・フィードスルーがホールド・キャパシタに結合することがあり、その変換にわずかなオフセット誤差が生じる原因になります。

このように、ADS7818を動作させるには2つの基本的な方法があります。第1の方法は、CONVとCLKを同期させ、CLKを連続にします。これは、コンバータをデジタル信号プロセッサとインターフェースするときの標準的な方法です。第2の方法は、CONVをCLKと非同期にし、CLKの動作をゲートします(不連続なクロック)。これは、マイクロコントローラのSPIなどのインターフェースで標準的に使用される方法です。この方法では、トリガ回路でCONVを発生させ、一定の遅延の後でCLKを開始させることもできます。これらの2つの方法については、DSPインターフェースおよびSPIインターフェースの項で説明します。

パワーダウンのタイミング

図3の変換のタイミングの場合、ADS7818はパワーダウン・モードになりません。デバイスの変換レートが高い場合(500kHz付近)、パワーダウン・モードを使用して節減できる電力はごくわずかです。しかし、パワーダウン・モードには変換のパナルティーがないため(最初の変換から有効)、低いサンプリング・レートでは、変換の間にデバイスをパワーダウン・モードにすることにより、電力を大きく節減することができます。

図4に、コンバータをパワーダウン・モードにする標準的な方法を示します。変換中にCONVを“ロー”に保ち、13番目のクロック・サイクルの最初でも“ロー”にしている場合、デバイスがパワーダウン・モードになります。パワーダウン・モードは、CONVの立ち上がりエッジまで継続します。内部ノードをパワーアップし、信号を正しくサンプリングするためには、CONVを少なくとも t_{ACQ} の間“ハイ”にする必要があることに注意して下さい。

ADS7818にクロックを供給する方法には、2種類あります。第1の方法では、CLK入力と変換レートが一定の割合で増減します。例えば、図3のタイミングの場合、8MHzの入力クロックでは変換レートが500kHzになります。同様に、1.6MHzのクロックでは、変換レートが100kHzになります。第2の方法では、クロック入力をできるだけ最大クロック・レート近くに保ち、必要に応じて変換を開始します。このタイミングは、図4に似たものになります。例えば、50kHzの変換レートでは、変換1回当たりのクロック周期は160になります(500kHzでは16のクロック周期が使用されます)。

2つの方法の主な相違は、ADS7818がパワーダウン・モードになっている時間です。第1の方法では、コンバータがパワーダウン・モードになっている時間は、わずかなクロック周期に限られます(変換1回当たりのクロック周期の数に依存します)。変換レートと同じ割合で増減するため、コンバータがパワーダウン・モードになる時間の割合は常に一定です。デジタル・ロジックの電力が減少するため、消費電力は多少低減しますが、ごくわずかです。この効果は、代表的性能曲線の“電源電流対サンプリング・レート”で見ることができます。

これに対して、第2の方法(固定レートのクロック)では、変換1回当たりのクロック・サイクル数が変化します。変換の間隔が長くなるにつれて、コンバータがパワーダウン・モードになる時間の割合が高くなるため、合計消費電力が大幅に低減されます。例えば、50kHzの変換レートで消費される電力は、500kHzの変換レートの約1/10になります(リファレンスを除外)。表IIに、2種類の動作モードと消費電力の差を示します。

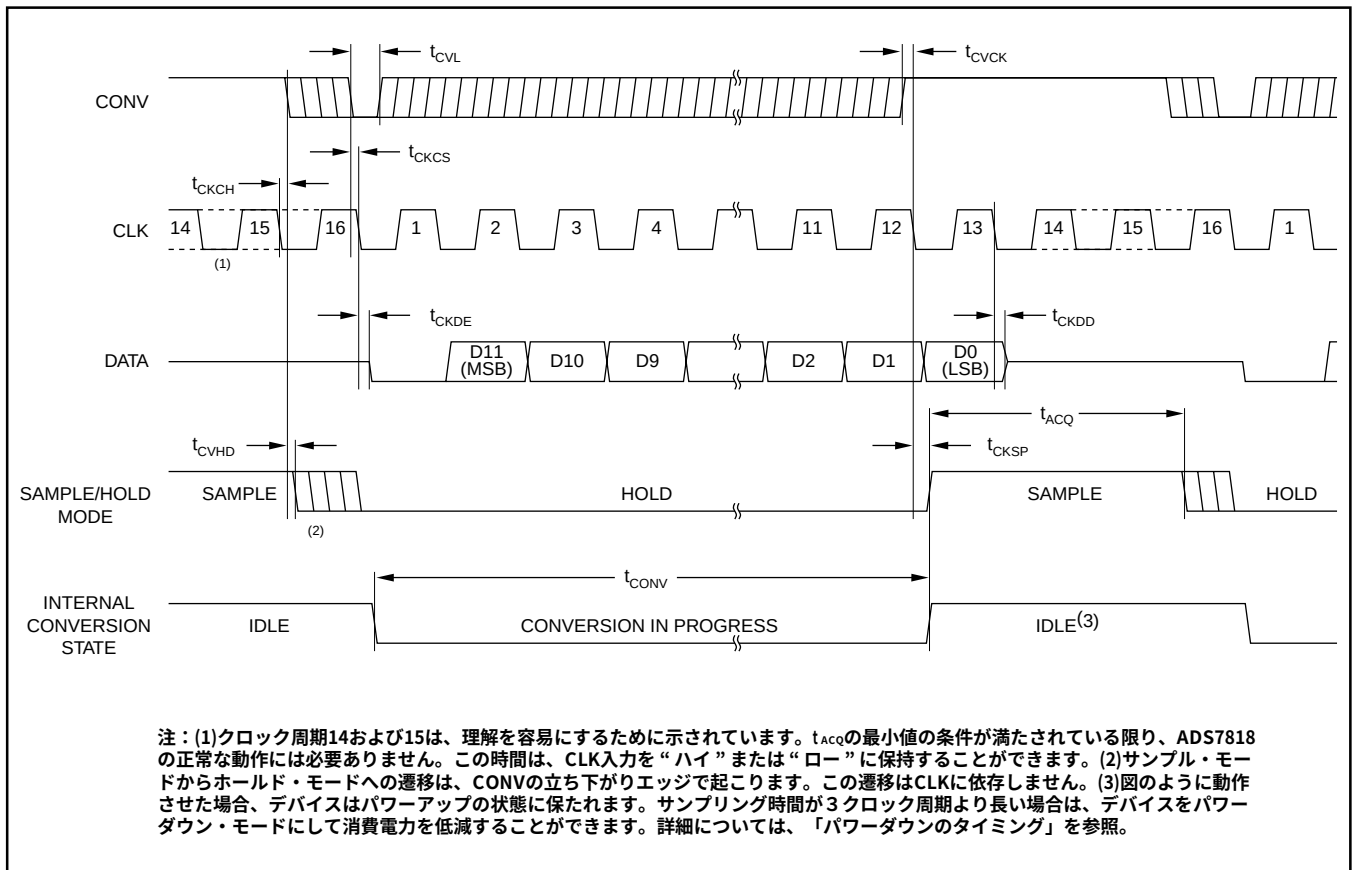


図3. 基本的な変換のタイミング

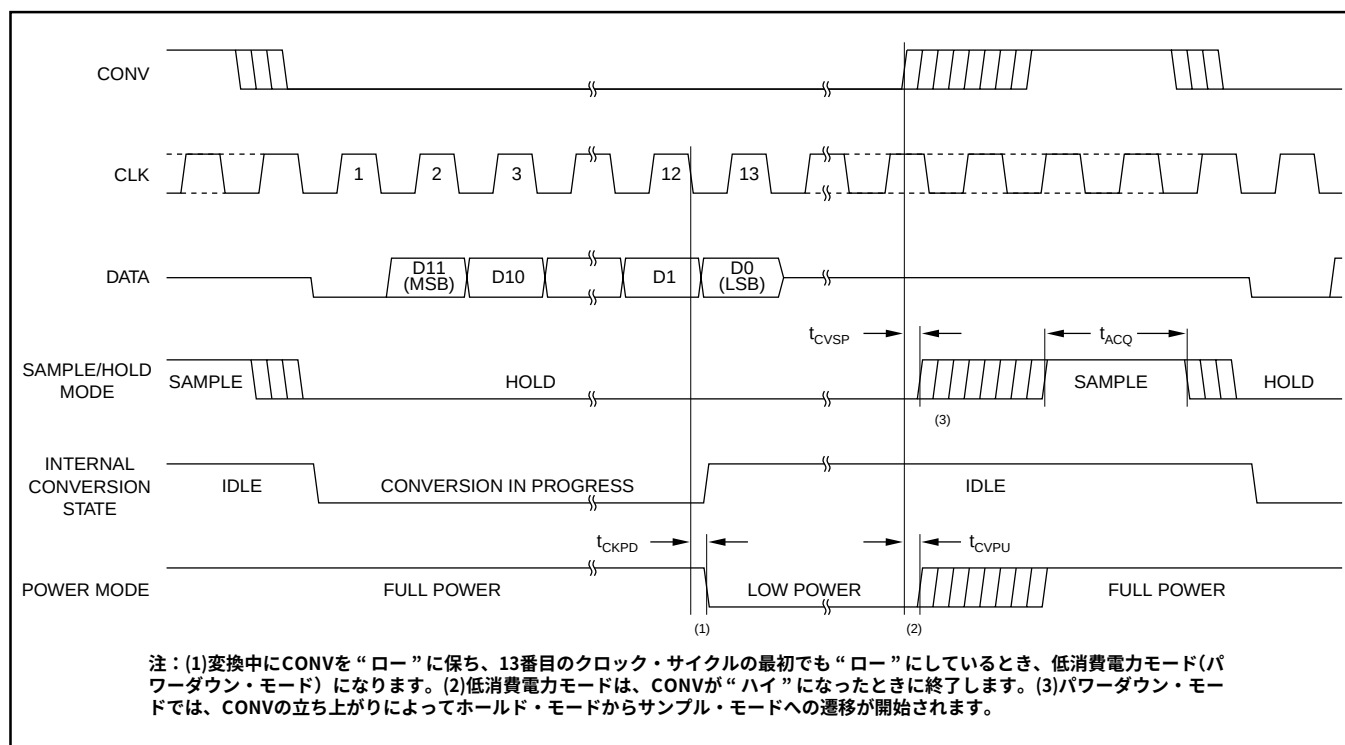


図4. パワーダウンのタイミング

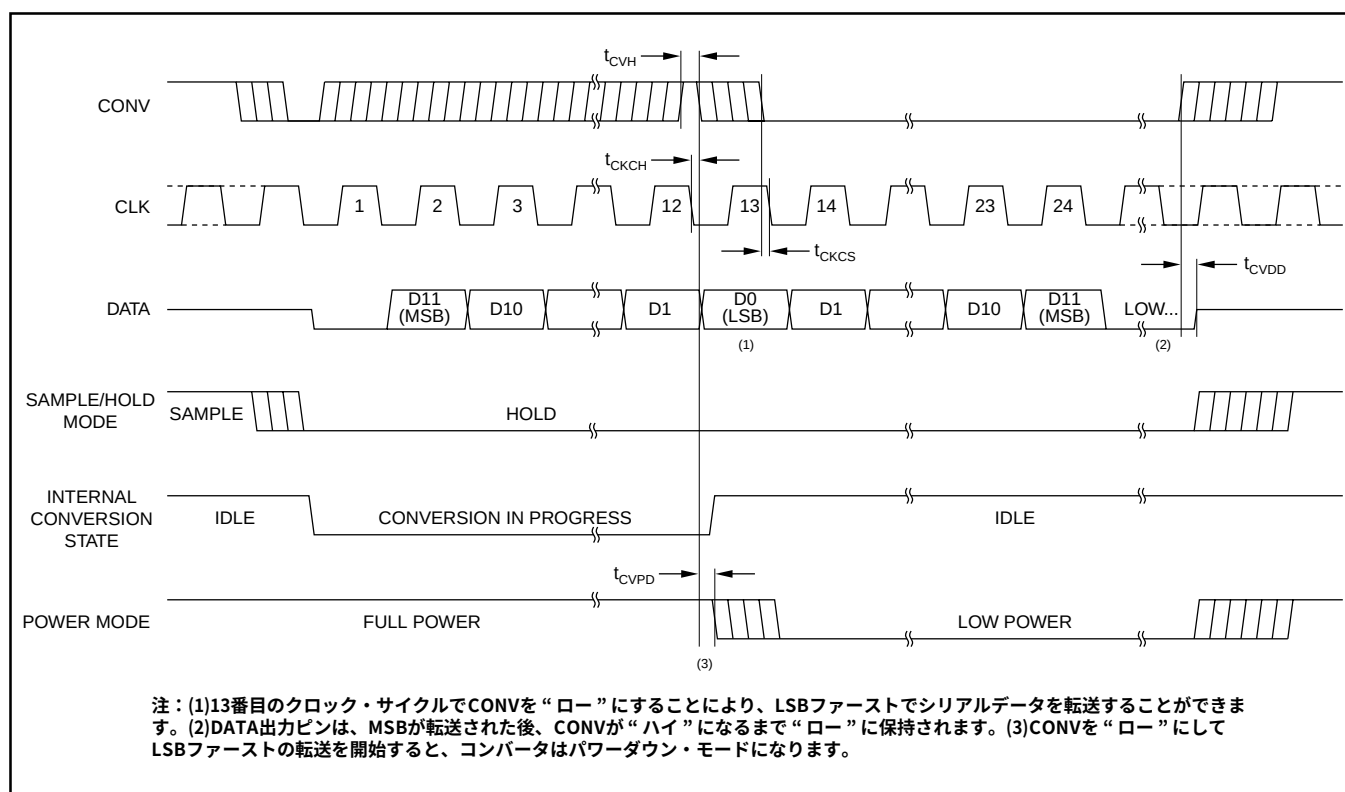


図5. シリアルデータのLSBファーストのタイミング

f_{SAMPLE}	CLK=16・ f_{SAMPLE} のときの電力	CLK = 8MHz のときの電力
500kHz	11mW	11mW
250kHz	10mW	7mW
100kHz	9mW	4mW

表 II . 消費電力対CLK入力

LSBファーストのデータのタイミング

図5に、デジタルの結果を最下位ビット (LSB) ファースト・フォーマットで転送する方法を示します。変換中(12番目のクロックの最後より前)にCONVを“ハイ”にし、13番目のクロック (LSBのD0を転送中)で“ロー”にすると、このモードに入ります。次の11のクロックでは、LSBファーストのフォーマットでシリアル・データが繰り返されます。コンバータは、13番目のクロックでパワーダウン・モードになり、CONVが“ハイ”になったときに通常動作を再開します。

ショート・サイクルのタイミング

図6の手法を使用して、現在進行中の変換の「ショート・サイクル」を実行することができます。「ショート・サイクル」とは、12ビットすべてを判定する前に、変換を直ちに終了することを意味します。これは、12ビットの分解能が必要ない場合に非常に便利な機能です。例えば、特定の条件が満たされるまで入力電圧を監視し、条件が満たされてからコンバータの全分解能を使用するよ

うな場合です。変換のショート・サイクルを実行することにより、変換レートが増加するか、または消費電力が低減します。

図6にはいくつか重要な点が表示されています。現在進行中の変換は、変換中にCONVを“ハイ”にし、13番目のクロック・サイクルの最初より t_{CKCH} 前に“ロー”にすることによって終了します。CONVが13番目のクロック・サイクルの間に“ロー”になった場合は、LSBファースト・モードに入ることに注意して下さい(図5)。また、CONVが“ロー”になると、DATA出力は直ちにハイ・インピーダンスになります。このクロック周期で出力されるビットが必要な場合は、受け側ロジックにビットが正しくラッチされるまで、CONVを“ロー”にしないことが必要です。

データ・フォーマット

ADS7818の出力データは、図7に示すようにストレート・バイナリ・フォーマットです。この図は、各入力電圧に対応する理想的な出力コードを表し、オフセット誤差、ゲイン誤差、雑音などの影響は含みません。

DSPインターフェース

図8に、代表的なデジタル信号プロセッサ(TI DSPなど)で使用されるタイミング図を示します。TMS320C54Xファミリーのパッファ付きシリアル・ポート(BSP)の場合は、CONVをBFSXに、CLKをBCLKXに、DATAをBDRに接続します。

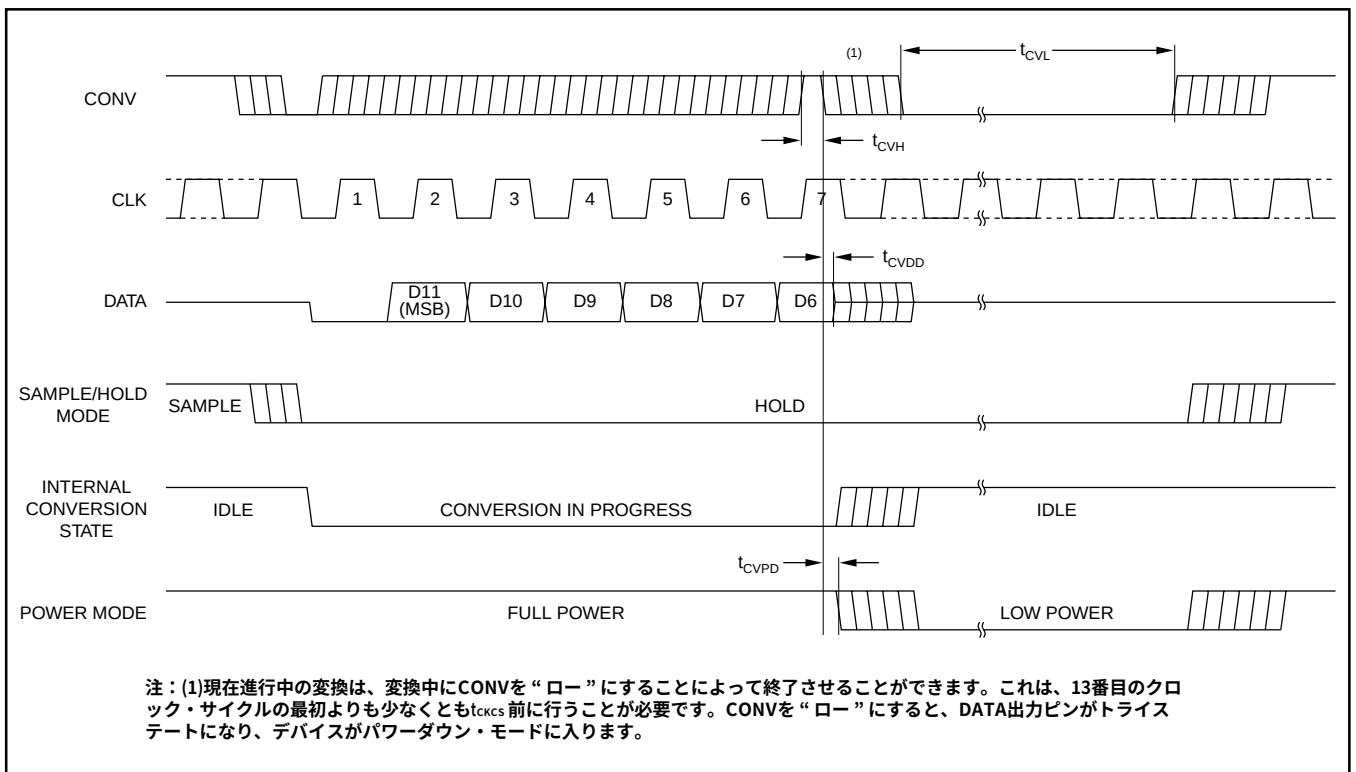


図6. ショート・サイクルのタイミング

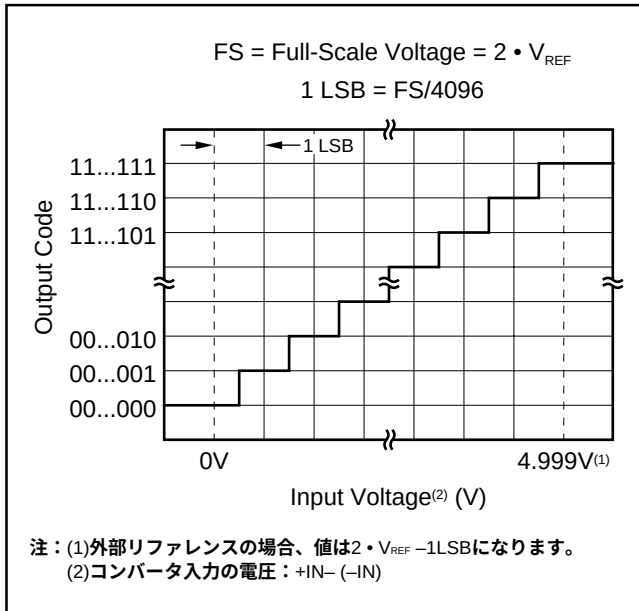


図7. 理想的な入力電圧と出力コード

SPI/QSPIインターフェース

図9に、代表的なSPI(Serial Peripheral Interface)またはQSPI(Queued Serial Peripheral Interface)のタイミング図を示します。これらのインターフェースは、各メーカーから供給されている多数のマイクロコントローラに見られます。CONVを汎用I/Oピン(SPI)またはPCXピン(QSPI)に、CLKをシリアル・クロックに、DATAをMISO(マスター・イン、スレーブ・アウト)などのシリアル入力データ・ピンに接続します。

図9に示す時間 t_{DRP} に注意して下さい。これは、CONVが「ロー」になってから変換クロックが開始されるまでの最大時間を表します。

す。CONVが「ロー」になるとサンプル/ホールドがホールド・モードになり、ホールド・キャパシタが徐々に電荷を放出するため、最大クロック周期(t_{CKP})とともに時間 t_{DRP} の条件も満たすことが必要になります。

レイアウト

最良な性能を得るためには、ADS7818の回路レイアウトに注意することが必要です。CLK入力が最大入力レートに近い場合には特に重要です。

基本的なSARアーキテクチャは、電源、リファレンス、グランド、およびデジタル入力の各端子でアナログ・コンパレータ出力をラッチする直前に発生するグリッチに敏感です。nビットのSARコンバータでは必ず1回の変換にn個の「窓」があり、変換結果が容易に大きな外部過渡電圧の影響を受けます。このようなグリッチは、スイッチング電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および正確な外部イベントのタイミングに依存します。外部イベントとCLK入力のタイミングが変化する場合、誤差が変動します。

このことを考慮して、ADS7818の電源は十分にバイパスしたクリーンなものを使用することが必要です。ADS7818には、パッケージのできるだけ近くに0.1 μ Fのセラミック・バイパス・コンデンサを配置して下さい。また、1 μ Fから10 μ Fのコンデンサも推奨します。必要な場合には、雑音の多い電源のローパスフィルタとして、さらに容量の大きいコンデンサと5 Ω または10 Ω の直列抵抗を使用することができます。

ADS7818は、リファレンス電圧が内部でバッファリングされるため、通常は外部リファレンスから電流をほとんど引き込みません。ただし、 V_{REF} 入力には変換プロセスからのグリッチが発生

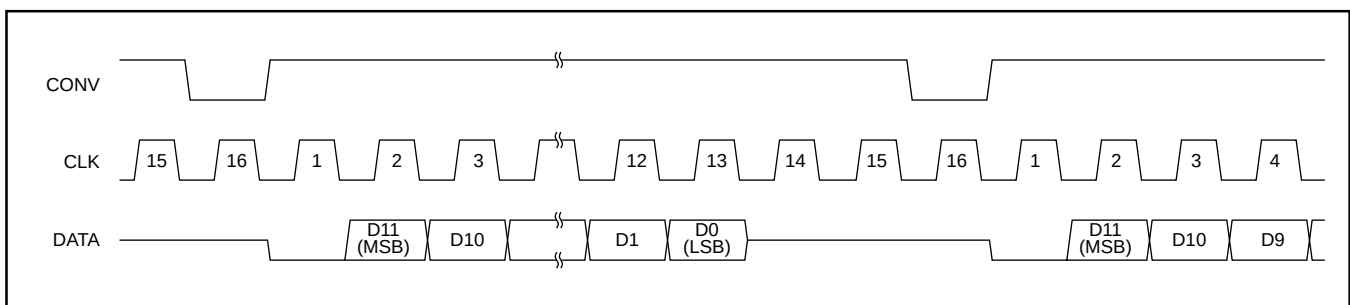


図8. 代表的なDSPインターフェースのタイミング

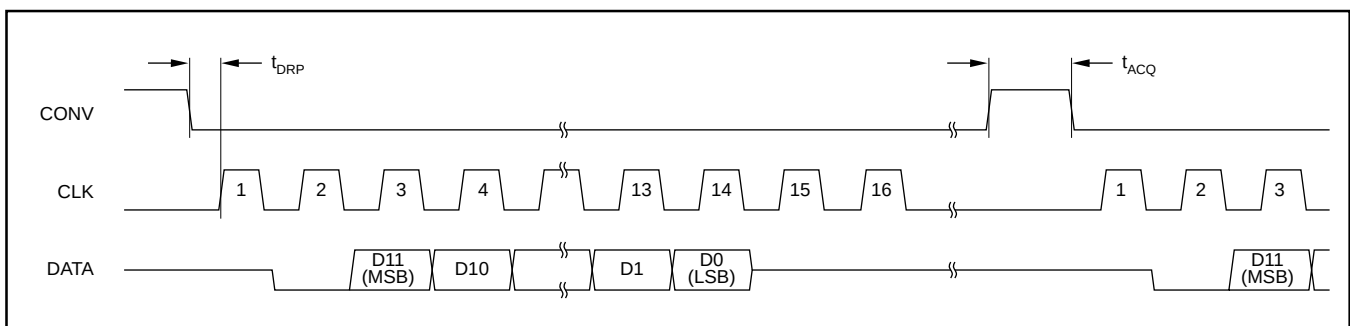


図9. 代表的なSPI/QSPIインターフェースのタイミング

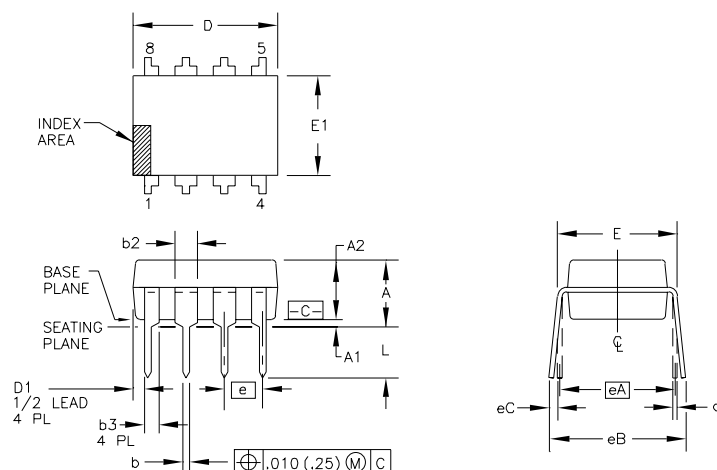
るため、リファレンス・ソースにその対策が必要になります。内部リファレンスを使用するか外部リファレンスを使用するかにかかわらず、 V_{REF} ピンを $0.1\mu F$ のコンデンサでバイパスして下さい。必要な場合は、さらに容量の大きい追加のコンデンサを使用することができます。オペアンプから外部リファレンス電圧を供給する場合は、オペアンプが発振なしにバイパス・コンデンサまたはその他のコンデンサをドライブできることを確認して下さい。

GNDピンは、クリーンなグランド・ポイントに接続して下さい。

い。多くの場合、これには「アナログ」グランドが使用されます。マイクロコントローラまたはデジタル信号プロセッサのグランド・ポイントと接近しすぎた位置に接続しないで下さい。必要な場合は、直接コンバータから電源のエントリ・ポイントまでグランド・トレースを配置します。コンバータおよび関連するアナログ回路に専用のアナログ・グランド・プレーンを設けたレイアウトが理想的です。

外観

パッケージ番号006—8ピン・プラスチック・シングル幅DIP



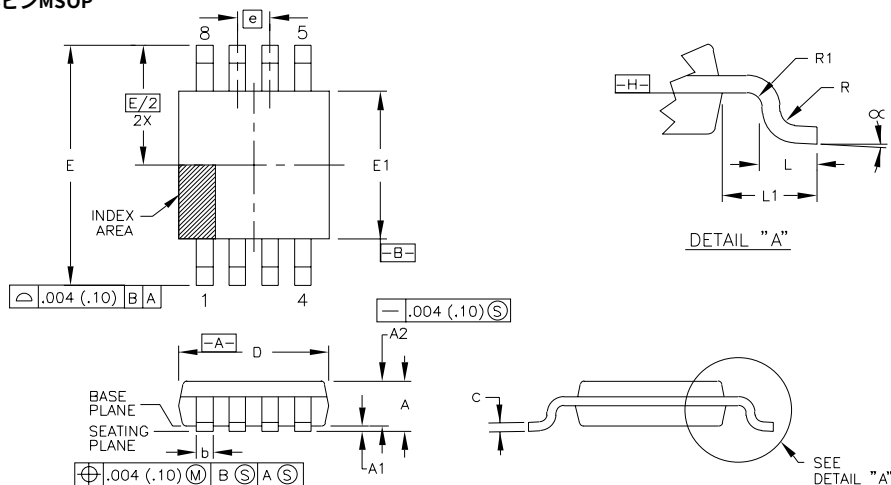
DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	NOTE	DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	NOTE
A	— .210	— 5.33	3	eC	.000 .060	0.00 1.52	6
A1	.015 —	0.38 —	3	L	.115 .150	2.92 3.81	3
A2	.115 .195	2.92 4.95		N	8	8	7
b	.014 .022	0.36 0.56					
b2	.045 .070	1.14 1.78	9				
b3	.030 .045	0.76 1.14	9				
c	.008 .014	0.20 0.36					
D	.355 .400	9.02 10.16	4				
D1	.005 —	0.13 —	4				
E	.300 .325	7.62 8.26	5				
E1	.240 .280	6.10 7.11	4				
e	.100 BASIC	2.54 BASIC					
eA	.300 BASIC	7.63 BASIC	5				
eB	— .430	— 10.92	6				

NOTES:

1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM $\overline{C}$.
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.
8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ006 REV.: E
JEDEC NUMBER: MS-001-BA

パッケージ番号337—8ピンMSOP



DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	NOTE	DIM	INCHES MIN. MAX.	MILLIMETERS MIN. MAX.	NOTE
A	.032 .043	0.81 1.10		alpha	0° 6°	0° 6°	
A1	.002 .006	0.05 0.15					
A2	.030 .038	0.76 0.97					
b	.011 .015	0.28 0.38	4				
c	.005 .009	0.13 0.23					
D	.114 .122	2.90 3.10	2,8				
E	.193 REF	4.90 REF					
E1	.114 .122	2.90 3.10	3,8				
e	.0256 BASIC	0.65 BASIC					
L	.0175 .0255	0.45 0.65					
L1	.037 REF	0.94 REF					
N	8	8	6				
R	.003 .009	0.08 0.23					
R1	.003 .009	0.08 0.23					

NOTES:

1. ALL DIMENSIONS ARE IN INCHES (ANGLES IN DEGREES), UNLESS OTHERWISE SPECIFIED.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .004 IN. (0.10 mm) TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. NO INTRUSION IS ALLOWED. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
5. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. DATUMS $\overline{A}$ AND $\overline{B}$ TO BE DETERMINED AT DATUM PLANE $\overline{H}$.
8. DIMENSIONS D AND E1 ARE TO BE DETERMINED AT DATUM PLANE $\overline{H}$.
9. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

PACKAGE NUMBER: ZZ337 REV.: D
JEDEC NUMBER: NONE