

ローパワー、シリアル12ビット、サンプリング A/Dコンバータ

特 長

- 変換時間：20 μ s(最大)
- +5V単一電源動作
- 16ビットのADS7813とピン・コンパチブル
- 使いやすいシリアル・インターフェース
- パッケージ：16ピン0.3インチ幅プラスチックDIPおよびSOP
- INLおよびDNL： ± 0.5 LSB(最大)
- SINAD：72dB(最小)
- 内部または外部リファレンスを使用可能
- 複数の入力レンジ
- 消費電力：35mW(最大)
- ノー・ミッシング・コード
- パワーダウン・モード：50 μ W

アプリケーション

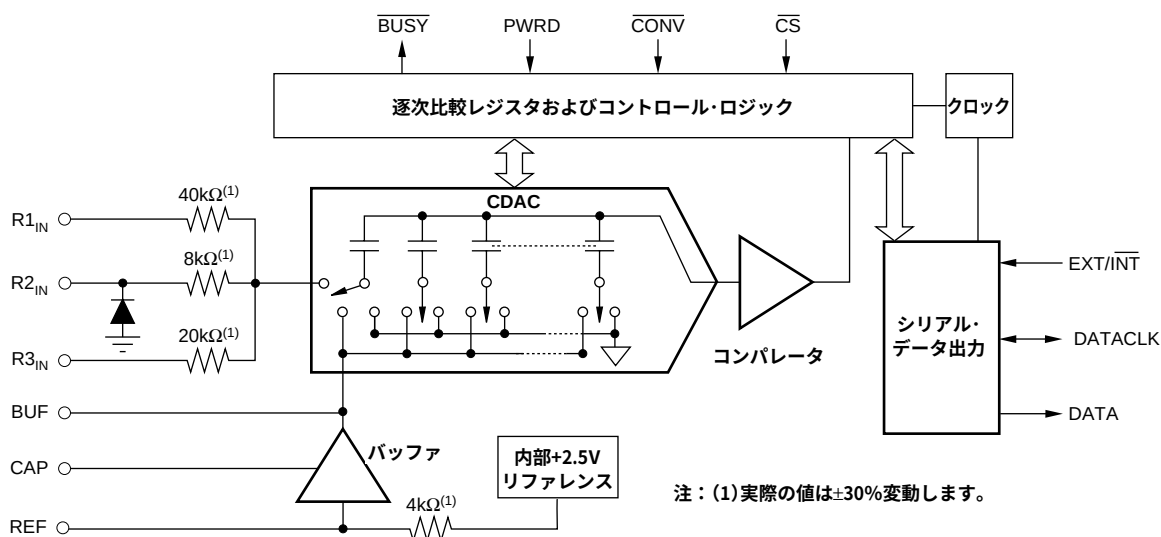
- データ・アキュイジション・システム
- 工業用コントロール
- テスト装置
- デジタル信号処理

概 要

ADS7812は、ローパワー、+5V単一電源の12ビット・サンプリングA/Dコンバータです。このコンバータはキャパシタ・ベースの逐次比較型12ビットA/Dコンバータで、この方式が本質的に持つ電荷再配分機能を利用したサンプル/ホールドと、クロック、リファレンスおよびシリアル・インターフェース等のA/Dコンバータに必要な全機能を内蔵しています。

ADS7812は、 ± 10 V、 ± 5 V、0Vから10V、0.5Vから4.5Vなど、各種入力レンジに合わせて構成できます。ハイ・インピーダンスの0.3Vから2.8Vの入力レンジも使用できます(入力インピーダンス > 10 M Ω)。ほとんどの入力レンジで、コンバータを損傷せずに入力電圧を+16.5Vまたは-16.5Vまでスイングすることが可能です。データは、フレキシブルなSPIコンパチブルのシリアル・インターフェースにより内部または外部クロックと同期させることができます。

ADS7812は、40kHzのサンプリング・レートおよび-40 $^{\circ}$ Cから+85 $^{\circ}$ Cの温度範囲で仕様が規定されています。パッケージは、16ピン0.3インチ幅プラスチックDIPまたは16ピンSOPで供給されます。



仕様

特に記述のない限り、T_A = -40°C~+85°C、f_s = 40kHz、V_S = +5V ±5%、内部リファレンスを使用します。

パラメータ	条件	ADS7812P、U			ADS7812PB、UB			単位
		最小	標準	最大	最小	標準	最大	
分解能				12			*	Bits
アナログ入力 電圧範囲 インピーダンス キャパシタンス			表I参照 表I参照 35			*	*	pF
スループット速度 変換時間 完全サイクル スループット・レート	アキュイジションおよび変換	40		20 25	*		*	μs μs kHz
DC精度 積分直線性誤差 微分直線性誤差 ノー・ミッシング・コード トランジション・ノイズ ⁽²⁾ フルスケール誤差 ⁽³⁾ フルスケール誤差ドリフト フルスケール誤差 ⁽³⁾ フルスケール誤差ドリフト バイポーラ・ゼロ誤差 バイポーラ・ゼロ誤差ドリフト ユニポーラ・ゼロ誤差 ユニポーラ・ゼロ誤差ドリフト パワーダウンから定格精度への復帰時間 ⁽⁴⁾ 電源感度	外部2.5000Vリファレンス 外部2.5000Vリファレンス バイポーラ・レンジ バイポーラ・レンジ ユニポーラ・レンジ ユニポーラ・レンジ CAPに1.0μFコンデンサ +4.75V < (V _S = +5V) < +5.25		0.1 0.1 保証 0.05 ±14 ±5 ±3 ±3 300	±1 ±1 ±0.5 ±0.5 ±10 ±6 ±0.75		*	±0.5 ±0.5 ±0.25 ±0.25 * * *	LSB ⁽¹⁾ LSB LSB % ppm/°C % ppm/°C mV ppm/°C mV ppm/°C μs LSB
AC精度 スプリアスフリー・ダイナミック・レンジ 全高調波歪 信号/(雑音 + 歪)比 信号/雑音比 有効帯域幅 ⁽⁶⁾ フルパワー-3dBバンド幅	f _{IN} = 1kHz f _{IN} = 1kHz f _{IN} = 1kHz f _{IN} = 1kHz	80 70 70	98 -96 74 74 130 600	-80	*	*	*	dB ⁽⁵⁾ dB dB dB kHz kHz
サンプリングのダイナミック特性 アパーチャ遅延 アパーチャ・ジッタ 過渡応答 過電圧復帰 ⁽⁷⁾	FSステップ		40 20 5 750			*	*	ns ps μs ns
リファレンス 内部リファレンス電圧 内部リファレンス・ソース電流 内部リファレンス・ドリフト 外部リファレンス電圧範囲 外部リファレンス電流ドレイン	V _{REF} = +2.5V	2.48 2.3	2.5 100 8 2.5	2.52 2.7 100	*	*	*	V μA ppm/°C V μA
デジタル入力 ロジック・レベル V _{IL} V _{IH} I _{IL} I _{IH}		-0.3 +2.0		+0.8 V _S +0.3V ±10 ±10	*	*	*	V V μA μA
デジタル出力 データ・フォーマット データ・コーディング V _{OL} V _{OH} リーケージ電流 出力キャパシタンス	I _{SINK} = 1.6mA I _{SOURCE} = 500μA ハイ・インピーダンス状態、 V _{OUT} = 0V~V _S ハイ・インピーダンス状態	+4		シリアル バイナリ2の補数 +0.4 ±1 15	*	*	*	V V μA pF

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様

特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $f_s = 40\text{kHz}$ 、 $V_s = +5\text{V} \pm 5\%$ 、内部リファレンスを使用します。

パラメータ	条件	ADS7812P、U			ADS7812PB、UB			単位
		最小	標準	最大	最小	標準	最大	
電源 V_s 消費電力	$f_s = 40\text{kHz}$	+4.75	+5	+5.25 35	*	*	*	V mW
温度範囲 仕様に規定された性能 ディレーティングした性能		-40 -55		+85 +125	*		*	$^{\circ}\text{C}$ $^{\circ}\text{C}$

*印は、ADS7812P、Uのグレードと同じ値であることを示します。

注：(1)LSBは最下位ビットを意味します。入力レンジが $\pm 10\text{V}$ の場合、1LSBは4.88mVです。(2)ワーストケースの遷移および温度における標準的なrmsノイズ。(3)フルスケール誤差は、トリムされないフルスケールまたは+フルスケールのワーストケース値と、理想的な最初および最後のコード・トランジションとの偏差を、遷移電圧で除算(フルスケール・レンジで除算しない)した値で、オフセット誤差の影響が含まれます。(4)最初にADS7812の電源をオンにして完全に安定させた後、パワーダウン・モードを終了させてから、すべての内部のセトリングが完了し、アナログ入力定格精度に戻り、通常の変換が再開できるようになるまでの遅延時間。(5)単位がdBのすべての仕様はフルスケール入力を基準にしています。(6)有効帯域幅は信号対(雑音+歪)比が60dB、すなわち10ビット精度に低下したときのフルスケール入力周波数で定義されます。(7)フルスケールの2倍の過電圧が印加された後、仕様に規定された性能に復帰するまでの回復時間。

絶対最大定格

アナログ入力：R1 _{IN}	$\pm 16.5\text{V}$
R2 _{IN}	$\text{GND} - 0.3\text{V} \sim +16.5\text{V}$
R3 _{IN}	$\pm 16.5\text{V}$
REF	$\text{GND} - 0.3\text{V} \sim V_s + 0.3\text{V}$
CAP	GND への無制限の短絡 V_s への瞬時短絡
V_s	7V
デジタル入力	$\text{GND} - 0.3\text{V} \sim V_s + 0.3\text{V}$
最大接合部温度	+165 $^{\circ}\text{C}$
内部消費電力	825mW
リード温度(10秒間の半田付け)	+300 $^{\circ}\text{C}$



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

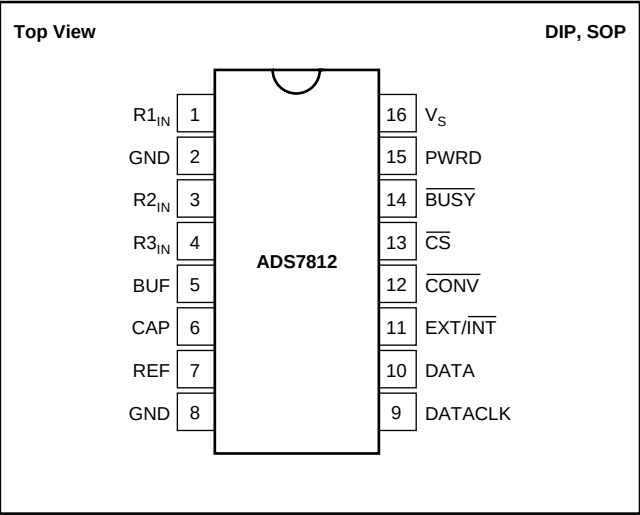
モデル	最大積分直線性誤差 (LSB)	ノー・ミッシング・コードの保証レベル (Bits)	最小信号(雑音+歪)比 (dB)	仕様温度範囲	パッケージ	パッケージ図番号 ⁽¹⁾
ADS7812P	± 1	12	70	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	プラスチックDIP	180
ADS7812PB	± 0.5	12	72	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	プラスチックDIP	180
ADS7812U	± 1	12	70	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	SOP	211
ADS7812UB	± 0.5	12	72	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	SOP	211

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。

ピン構成

ピン番号	名称	説明
1	R1 _{IN}	アナログ入力。表IおよびIVを参照。
2	GND	グラウンド
3	R2 _{IN}	アナログ入力。表IおよびIVを参照。
4	R3 _{IN}	アナログ入力。表IおよびIVを参照。
5	BUF	リファレンス・バッファ出力。必要に応じてR1 _{IN} 、R2 _{IN} 、R3 _{IN} に接続する。
6	CAP	リファレンス・バッファ補償ノード。並列の0.01μFセラミック・コンデンサと1μFタンタル・コンデンサでグラウンドにデカップリングする。
7	REF	リファレンス入力/出力。4kΩの直列抵抗を介して内部の+2.5Vリファレンスを出力する。この電圧は、1μFから2.2μFのタンタル・コンデンサでグラウンドにデカップリングする。このピンに外部リファレンス電圧を印加する場合は、内部リファレンスは無効になる。
8	GND	グラウンド
9	DATACLK	データ・クロック・ピン。EXT/INTがローの場合は出力になり、シリアルデータの同期クロックを供給する。CSがハイの場合は出力がトライステートになる。EXT/INTがハイの場合は入力になり、外部からシリアルデータ・クロックを供給する必要がある。
10	DATA	シリアルデータ出力。シリアルデータは、常に最後に完了した変換の結果で、DATACLKと同期して出力される。DATACLKに内部クロック (EXT/INTがロー) を使用する場合、シリアルデータはDATACLKの立ち上がりエッジおよび立ち下がりエッジの両方で有効になる。CSがハイの場合、DATAはトライステートになる。
11	EXT/INT	外部または内部データ・クロック・ピン。シリアルデータの同期クロック・ソースを選択する。ハイの場合は、外部からクロックを供給する必要がある。ローの場合は内部変換クロックからクロックが供給される。変換のタイミングに使用されるクロックは、EXT/INTの状態にかかわらず常に内部クロックであることに注意。
12	CONV	変換入力。この入力の立ち下がりエッジで内部サンプル/ホールドがホールド・モードになり、CSの状態にかかわらず変換が開始される。すでに変換中の場合は、立ち下がりエッジは無視される。EXT/INTがローの場合、前の変換からのデータは現在の変換中にシリアル転送される。
13	CS	チップ・セレクト。このピンがハイの場合はすべての出力がトライステートになり、ローの場合はすべての出力がイネーブルされる。これには、DATA、BUSYおよびDATACLK (EXT/INTがローの場合) が含まれる。CSがハイの場合でも、CONVの立ち下がりエッジで変換が開始されることに注意。
14	BUSY	ビジー出力。変換が開始されるとローになり、変換が完了するまでローに保持される。EXT/INTがローの場合、BUSYがローのときデータがシリアル転送される。CSがハイの場合、BUSYはトライステートになる。
15	PWRD	パワーダウン入力。ハイの場合、ADS7812のほとんどの部分がローパワー・モードになり、消費電力が大幅に低減する。消費電力を最小限にするためには、PWRDがローになる前にCONVをローにする必要がある。ADS7812がパワーダウン後に通常動作に戻るまでに必要な時間は多くの要素に依存する。詳細については、パワーダウンの項を参照。
16	V _S	+5V電源入力。最高の性能を得るためには、並列の0.1μFセラミック・コンデンサと10μFタンタル・コンデンサでグラウンドにデカップリングする。

ピン配置

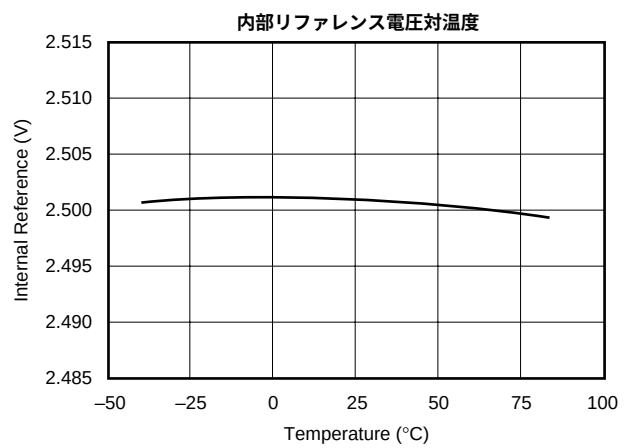
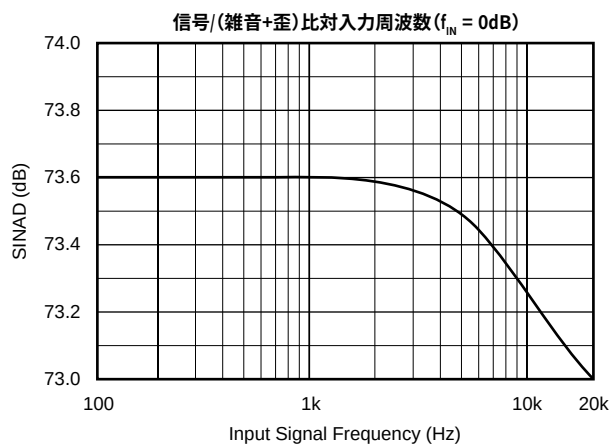
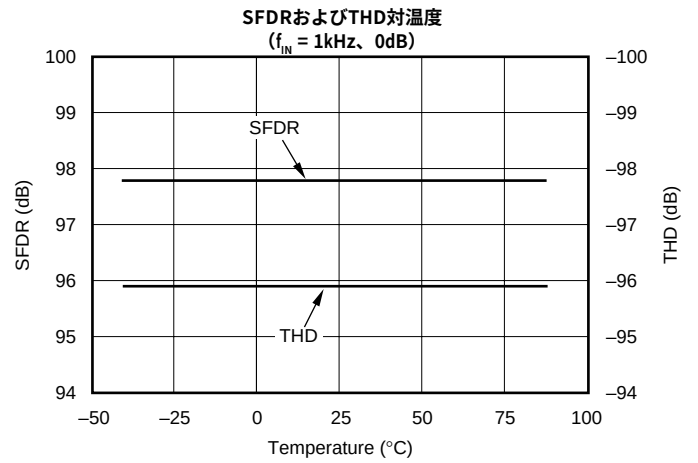
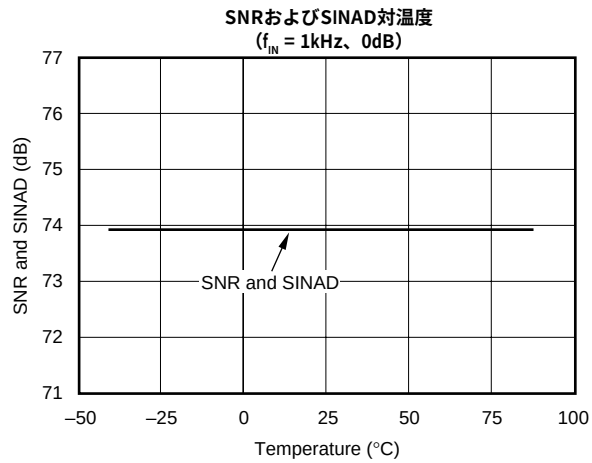
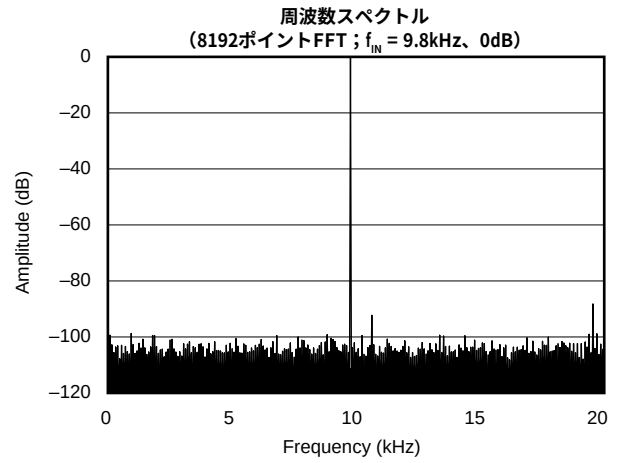
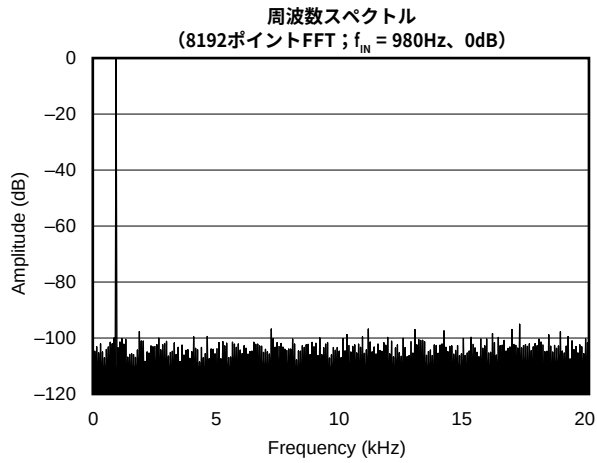


アナログ入力レンジ (V)	R1 _{IN} を下記に接続	R2 _{IN} を下記に接続	R3 _{IN} を下記に接続	入力インピーダンス (kΩ)
±10V	V _{IN}	BUF	GND	45.7
0.3125V～2.8125V	V _{IN}	V _{IN}	V _{IN}	>10,000
±5V	GND	BUF	V _{IN}	26.7
0V～10V	BUF	GND	V _{IN}	26.7
0V～4V	BUF	V _{IN}	GND	21.3
±3.33V	V _{IN}	BUF	V _{IN}	21.3
0.5V～4.5V	GND	V _{IN}	GND	21.3

表I. ADS7812の入力レンジ

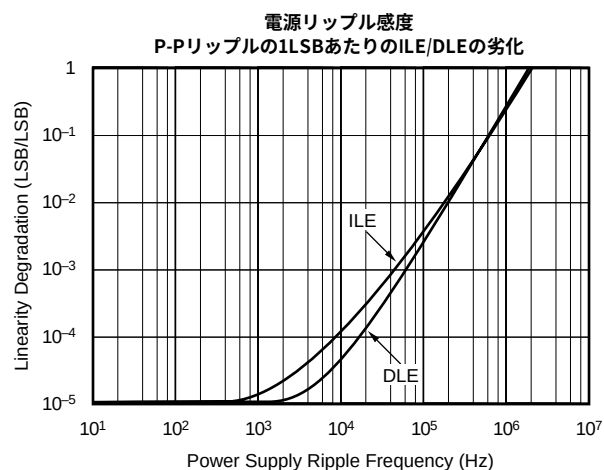
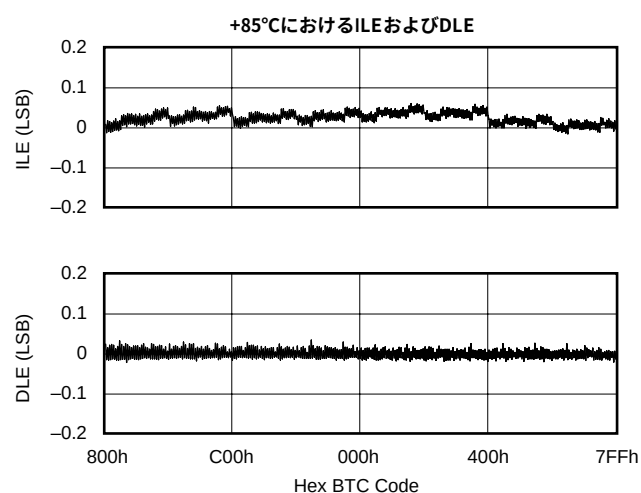
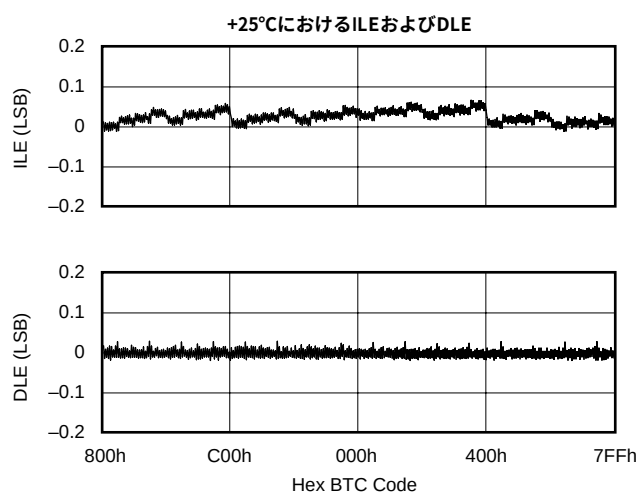
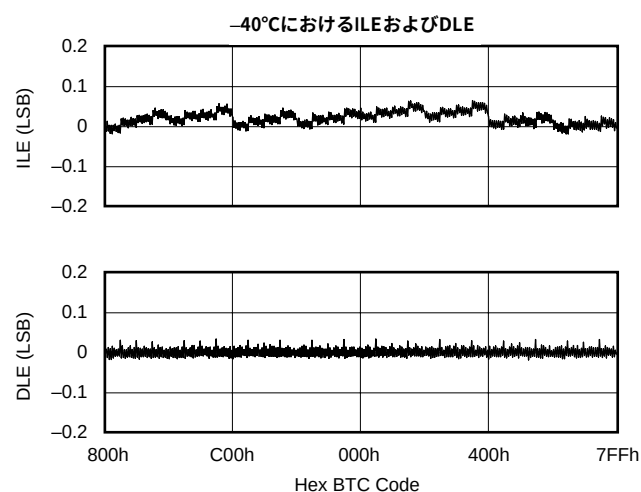
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_s = 40\text{kHz}$ 、 $V_s = +5\text{V}$ 、 $\pm 10\text{V}$ 入力レンジ、内部リファレンスを使用します。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_s = 40\text{kHz}$ 、 $V_s = +5\text{V}$ 、 $\pm 10\text{V}$ 入力レンジ、内部リファレンスを使用します。



基本動作

内部データ・クロック

図1aに、ADS7812を $\pm 10\text{V}$ の入力レンジで動作させる基本回路を示します。変換を開始して前の変換結果をシリアル転送するには、 $\overline{\text{CONV}}$ 入力に立ち下がりエッジを供給することが必要です。 $\overline{\text{BUSY}}$ は、変換が開始されたことを示す“ロー”になり、変換が完了するまで“ロー”に保持されます。変換中、 DATACLK からのシリアル・データ同期クロックに合わせて前の変換結果が DATA から転送されます。データ・フォーマットは、12ビット、バイナリ2の補数、MSBファーストです。各データ・ビットは、 DATACLK の立ち上がりエッジおよび立ち下がりエッジの両方で有効です。 $\overline{\text{BUSY}}$ は、シリアル転送中常に“ロー”に保持され、フレーム同期信号として使用することができます。

外部データ・クロック

図1bに、ADS7812を $\pm 10\text{V}$ の入力レンジで動作させる基本回路を示します。変換を開始するには、 $\overline{\text{CONV}}$ 入力に立ち下がりエッジを供給することが必要です。 $\overline{\text{BUSY}}$ は、変換が開始されたことを示す“ロー”になり、変換が完了するまで“ロー”に保持されます。変換の最後で $\overline{\text{BUSY}}$ が“ハイ”になる直前に、内部の動作中レジスタに保存された変換結果が内部シフト・レジスタに転送されます。

内部シフト・レジスタには、 DATACLK 入力からクロックが供給されます。変換結果の読み取りには、変換完了後にシリアル・クロックを供給する方法を推奨します。詳細については、このデータシートの「データの読み取り」の項を参照して下さい。

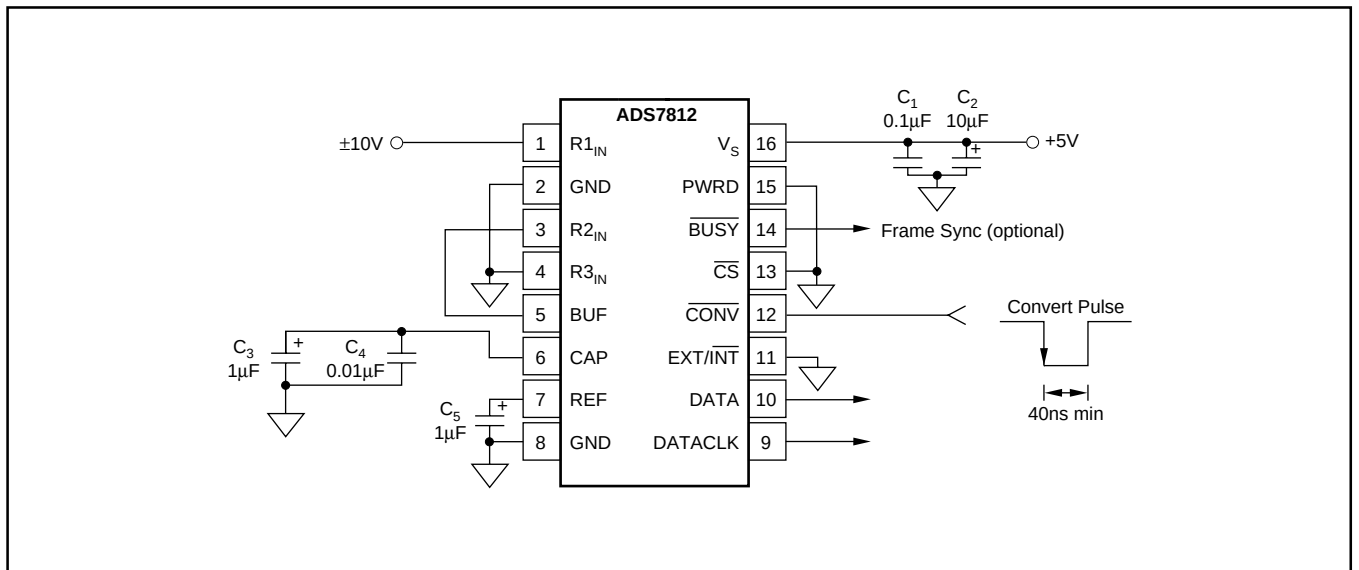
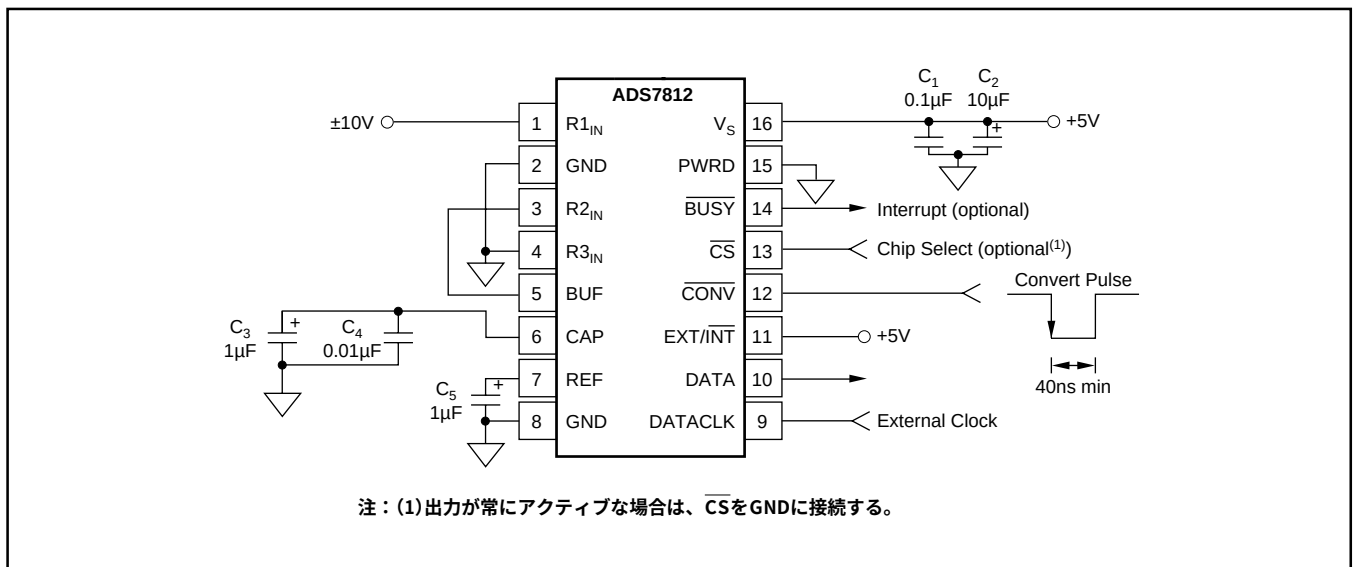


図1a. $\pm 10\text{V}$ の入力レンジ、内部DATACLKの基本動作



注：(1) 出力が常にアクティブな場合は、 $\overline{\text{CS}}$ をGNDに接続する。

図1b. $\pm 10\text{V}$ の入力レンジ、外部DATACLKの基本動作

変換の開始

変換が進行中でない場合、 $\overline{\text{CONV}}$ 入力立ち下がりエッジでサンプル/ホールドがホールド・モードになり、変換が開始されます(図2および表IIのタイミングを参照)。変換中、 $\overline{\text{CONV}}$ 入力は無視されます。変換の開始は、 $\overline{\text{CS}}$ の状態に依存しません。変換は、 $25\mu\text{s}$ ごとに1回開始することができます(最大変換レート 40kHz)。最小変換レートはありません。

変換中、 $\overline{\text{CONV}}$ 入力は無視されますが、それでも変換中は安定に保持する必要があります。このデジタル入力の遷移は、コンバータの敏感なアナログ部と容易にカップリングし、変換結果に悪影響を及ぼします(詳細については、このデータシートの「外部デジタル信号に対する感度」の項を参照してください)。

理想的には、 $\overline{\text{CONV}}$ 入力を「ロー」にし、変換中「ロー」に保持します。また、 $\overline{\text{BUSY}}$ が「ハイ」になった後、いくらか時間をおいてから「ハイ」に戻します。 $\overline{\text{CONV}}$ 入力は、次の変換が開始される前に、少なくとも時間 t_5 の間「ハイ」にすることが必要です。これにより、次の変換でアキュイジションされる信号が $\overline{\text{CONV}}$ 入力のデジタルの遷移の影響を受けないことが保証されます。

別の方法として、変換開始後できるだけ早く $\overline{\text{CONV}}$ 入力を「ハイ」に戻すこともできます。例えば、 100ns 幅の負のパルスは良好な $\overline{\text{CONV}}$ 入力信号になります。変換開始後の時間 t_2 から $\overline{\text{BUSY}}$ の立ち上がりまでは、特にコンバータが外部ノイズに敏感になるため、 $\overline{\text{CONV}}$ 入力を安定(「ハイ」または「ロー」)に保持することを強く推奨します。

記号	説明	最小	標準	最大	単位
t_1	変換+アキュイジション時間			25	μs
t_2	$\overline{\text{CONV}}$ 「ロー」から全デジタル入力安定まで			8	μs
t_3	$\overline{\text{CONV}}$ 「ロー」から変換開始まで	40			ns
t_4	$\overline{\text{BUSY}}$ の立ち上がりからデジタル入力アクティブまで	0			ns
t_5	変換開始までの $\overline{\text{CONV}}$ 「ハイ」	2			μs
t_6	$\overline{\text{BUSY}}$ 「ロー」		15	20	μs
t_7	$\overline{\text{CONV}}$ 「ロー」から $\overline{\text{BUSY}}$ 「ロー」まで	85	120		ns
t_8	アパーチャ遅延	40			ns
t_9	変換時間	14	20		μs
t_{10}	変換完了から $\overline{\text{BUSY}}$ の立ち上がりまで	1.1	2		μs
t_{11}	アキュイジション時間		5		μs
t_{12}	$\overline{\text{CONV}}$ 「ロー」から最初の DATACLK の立ち上がりエッジまで		1.4		μs
t_{13}	内部 DATACLK 「ハイ」	250	350	500	ns
t_{14}	内部 DATACLK 「ロー」	600	760	875	ns
t_{15}	内部 DATACLK 周期		1.1		μs
t_{16}	データ有効から内部 DATACLK の立ち上がりまで	20			ns
t_{17}	内部 DATACLK の立ち下がりからデータ無効まで	400			ns
t_{18}	最後の DATACLK の立ち下がりエッジから $\overline{\text{BUSY}}$ の立ち上がりまで		800		ns
t_{19}	外部 DATACLK の立ち上がりからデータ無効まで	15			ns
t_{20}	外部 DATACLK の立ち上がりからデータ有効まで		55	85	ns
t_{21}	外部 DATACLK 「ハイ」	50			ns
t_{22}	外部 DATACLK 「ロー」	50			ns
t_{23}	外部 DATACLK 周期	100			ns
t_{24}	$\overline{\text{CONV}}$ 「ロー」から外部 DATACLK アクティブまで	120			ns
t_{25}	外部 DATACLK 「ロー」または $\overline{\text{CS}}$ 「ハイ」から $\overline{\text{BUSY}}$ の立ち上がりまで	2			μs
t_{26}	$\overline{\text{CS}}$ 「ロー」からデジタル出力イネーブルまで	85			ns
t_{27}	$\overline{\text{CS}}$ 「ハイ」からデジタル出力ディセーブルまで	85			ns

表II. ADS7812のタイミング($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

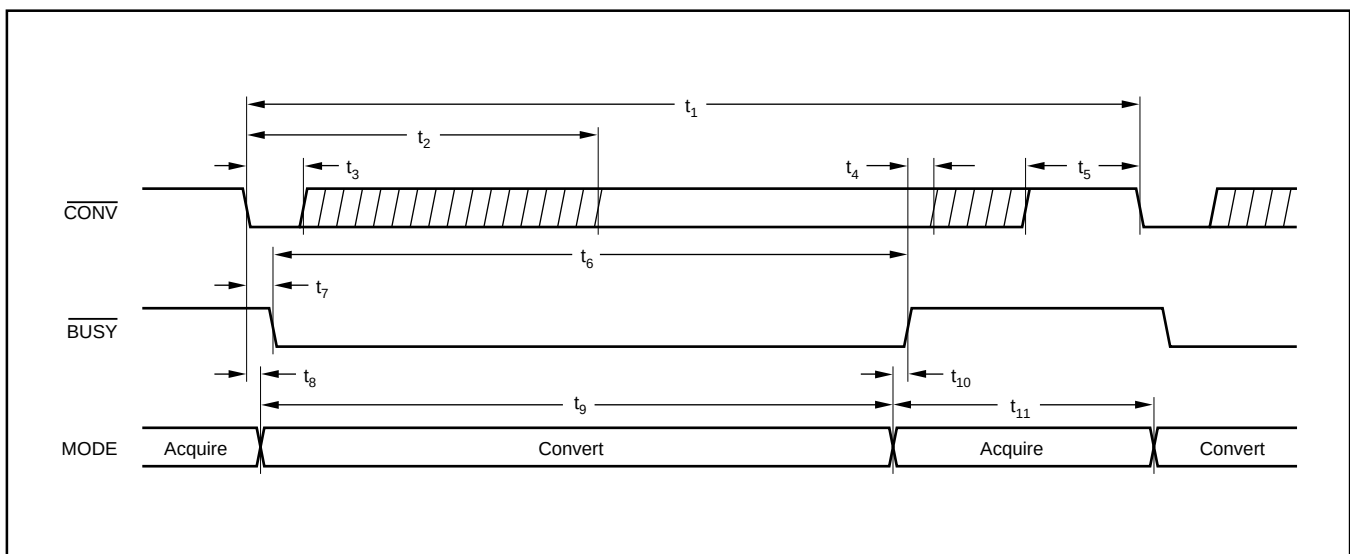


図2. 基本的な変換のタイミング

説明	アナログ入力		デジタル出力	
フルスケール・レンジ 最下位ビット (LSB)	$\pm 10V$ 4.88mV	0.5V~4.5V 0.98mV	バイナリ2の補数	
			バイナリ・コード	12進コード
+フルスケール -1LSB	9.99512V	4.49902V	0111 1111 1111	7FF
ミッドスケール	0V	2.5V	0000 0000 0000	000
ミッドスケール -1LSB	-4.88mV	2.49902V	1111 1111 1111	FFF
-フルスケール	-10V	0.5V	1000 0000 0000	800

表III. 2つの一般的な入力レンジの理想入力電圧およびデジタル出力

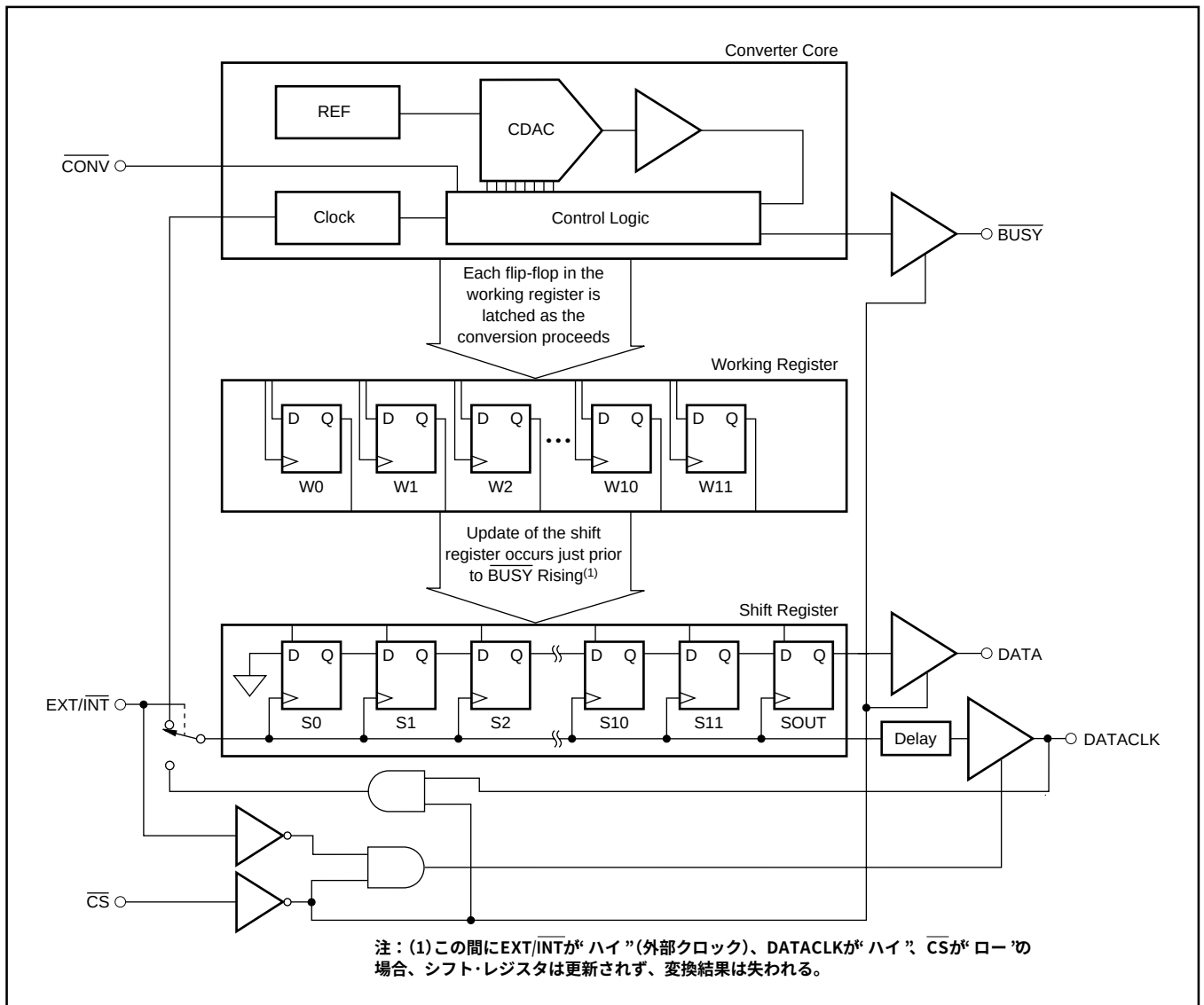


図3. ADS7812のデジタル入出力ブロック図

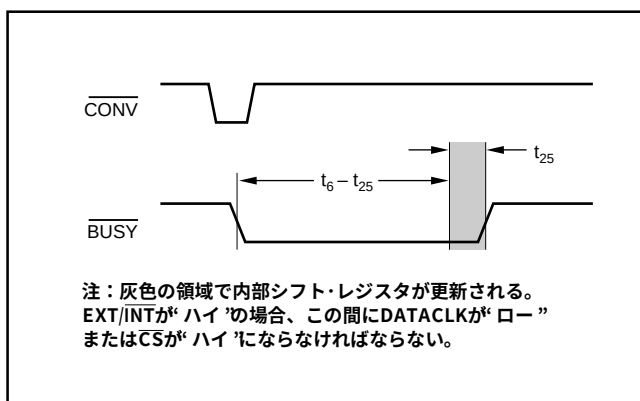


図4. シフトレジスタ更新のタイミング

データの読み取り

ADS7812のデジタル出力は、バイナリ2の補数(BTC)フォーマットです。表IIIに、理想的な条件におけるデジタル出力のワードとアナログ入力電圧の関係を示します。

図3に、ADS7812の各種デジタル入力、デジタル出力、および内部ロジックの関係を示します。図4に、ADS7812の内部シフトレジスタの更新のタイミングと変換サイクルとの関係を示します。2つの図は、「変換が完了するまで変換結果を利用できない」ADS7812のきわめて重要な特性を示しています。この意味については、次の項で説明します。

内部データ・クロック

EXT/INTを“ロー”に結線した場合、変換 n の結果は変換 $n+1$ の間にシリアル転送されます(図5および表IIのタイミングを参照)。データのシリアル転送は変換中のみ行われます。転送中ではないとき、DATAおよびDATACLKは“ロー”になります。

変換中、前の変換結果がDATAから転送されます。DATACLKはシリアルデータの同期クロックを供給します。データ・フォーマットは、12ビット、バイナリ2の補数、MSBファーストです。各データ・ビットは、DATACLKの立ち上がりエッジおよび立ち下がりエッジの両方で有効です。BUSYは、シリアル転送中常に“ロー”に保持され、フレーム同期信号として使用することができます。

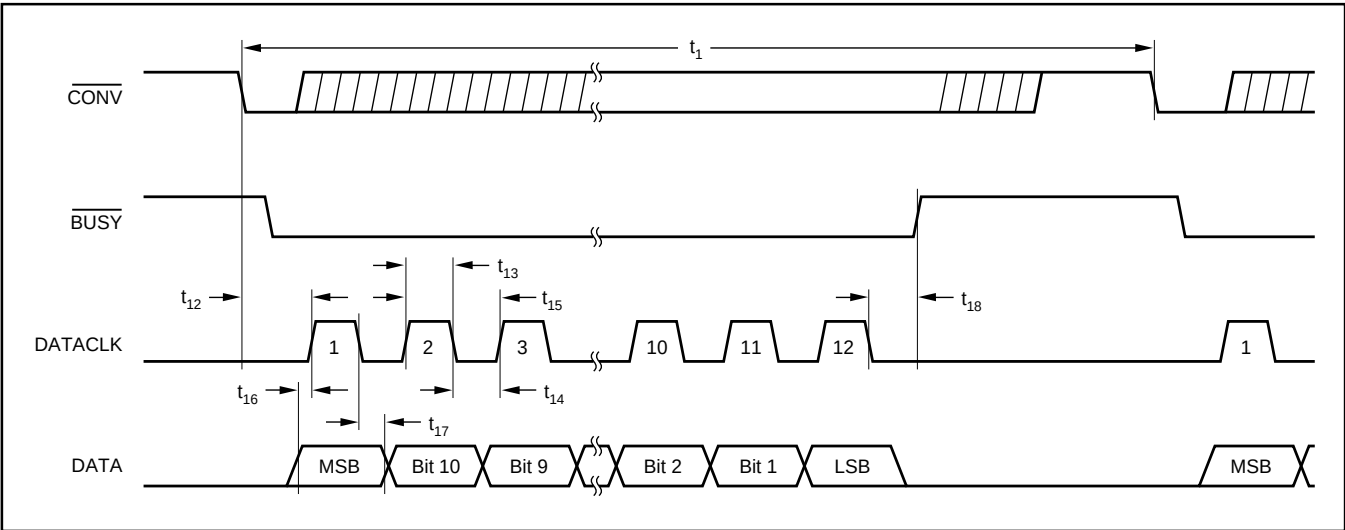


図5. 内部クロックのシリアルデータのタイミング(EXT/INT“ロー”およびCS“ロー”)

外部データ・クロック

EXT/INTを“ハイ”に結線した場合、変換 n の結果は、変換完了後、次の変換 $n+1$ の間、またはその両方でクロック・アウトされます。

図6に、変換完了後に変換結果を読み取る場合を示します。図7に、次の変換中に結果を読み取る場合を示します。図8に、変換完了後に結果の一部を読み取り、次の変換中に残りの部分を読み取る場合について、図6および図7の要点を合わせて示します。

変換結果のシリアル転送はDATACLKの立ち上がりエッジで開始されます。データ・フォーマットは、12ビット、バイナリ2の補数、MSBファーストです。各データ・ビットは、DATACLKの立ち下がりエッジで有効です。DATACLK信号の立ち上がりエッジを使用できる場合がありますが、最後のビットに余分の1クロック周期(図6、7、8には示されていない)が必要になります。

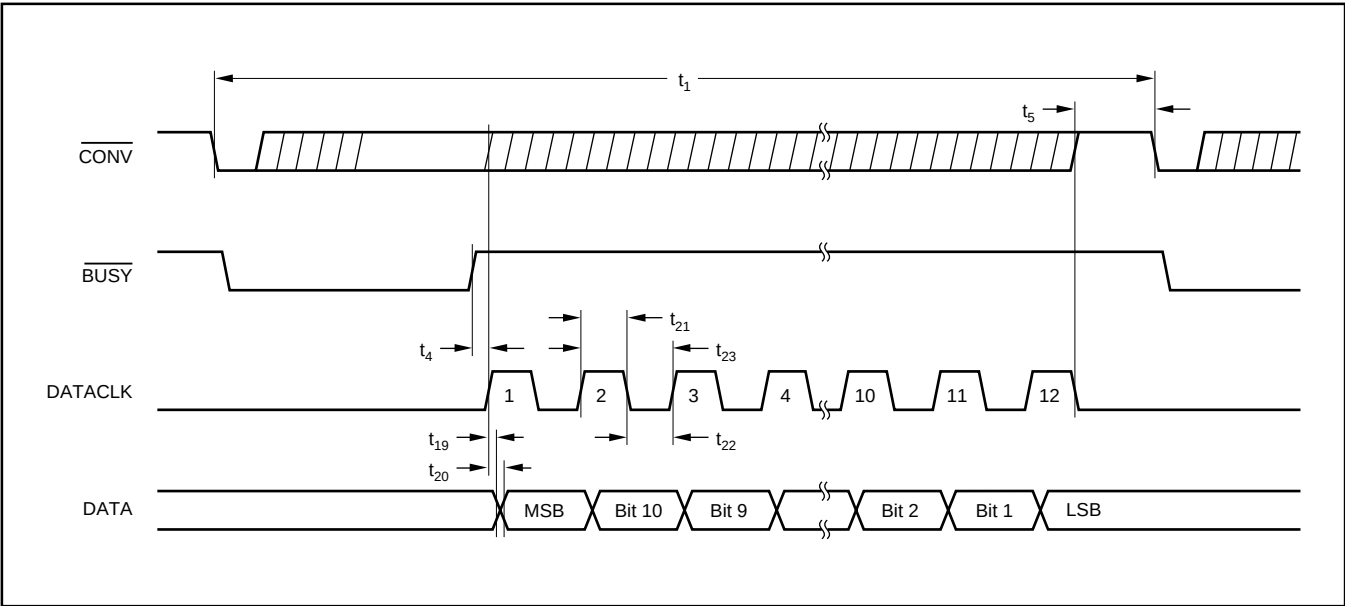


図6. 外部クロックのシリアルデータのタイミング、変換完了後のクロック供給(EXT/INT“ハイ”およびCS“ロー”)

BUSYの立ち上がりの前に、外部DATACLK信号を“ロー”またはCSを“ハイ”にする必要があります(図7および8の時間 t_{25} を参照)。この条件が守られない場合は、ADS7812の出力シフト・レジスタが変換結果で更新されません。前のシフト・レジスタの内容が残り、新しい結果は失われます。

もしDATACLKに12クロック・サイクル以上供給されると、DATA出力が13番目のクロック期間の立ち上がりエッジの後に“ロー”になります。ADS7812の動作は、タイミング仕様に適合している限り影響を受けることはありません。

次の3つのパラグラフを読む前に、このデータシートの「外部デジタル信号に対する感度」の項を参照して下さい。外部データ・クロック信号を使用する方法や条件に関する多くの問題点が説明されています。

変換後の外部データ・クロック・アクティブ

変換結果を得る望ましい方法は、変換が完了してから次の変換の開始前にDATACLK信号を供給することです(図6参照)。DATACLK信号は次の変換の開始前に安定していることが必要です。これが守られない場合は、アキュイジションした電圧がDATACLK信号の影響を受けるおそれがあります。

次の変換中の外部データ・クロック・アクティブ

図7に、変換結果を得る別の方法を示します。変換の最後まで出力シフト・レジスタが更新されないため、次の変換の間は前の結果が引き続き有効になります。ADS7812に高速のクロック(2MHz以上)を供給できる場合は、時間 t_2 の間に結果を読み取ることができます。この間は、変換結果がDATACLK信号の雑音による影響を受ける可能性が低くなります。

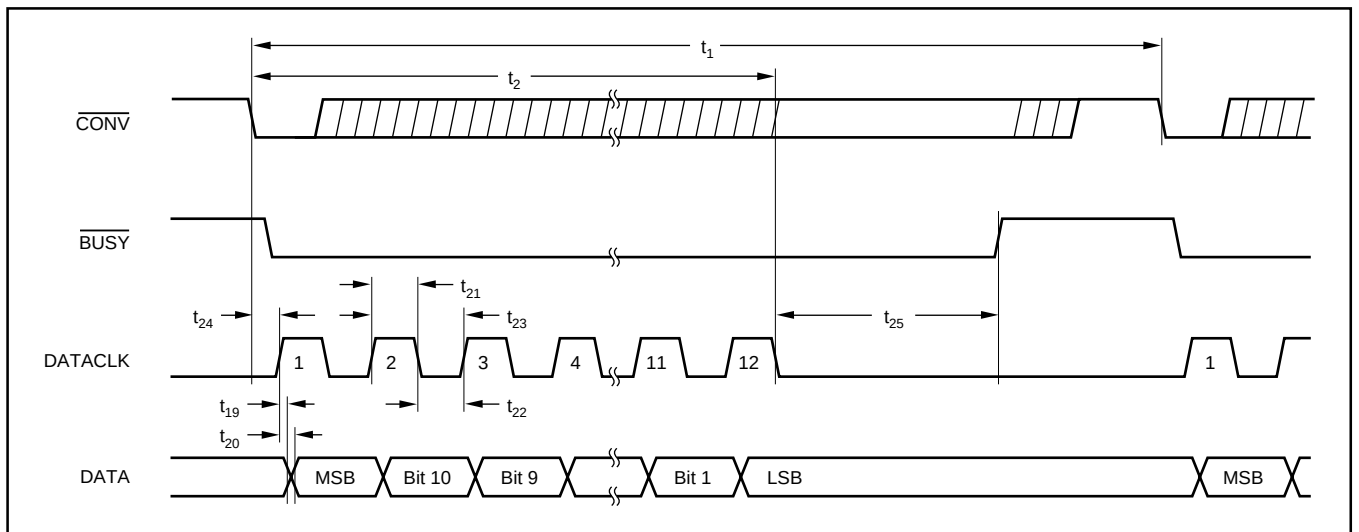


図7. 外部クロックのシリアルデータのタイミング、次の変換中のクロック供給(EXT/INT“ハイ”およびCS“ロー”)

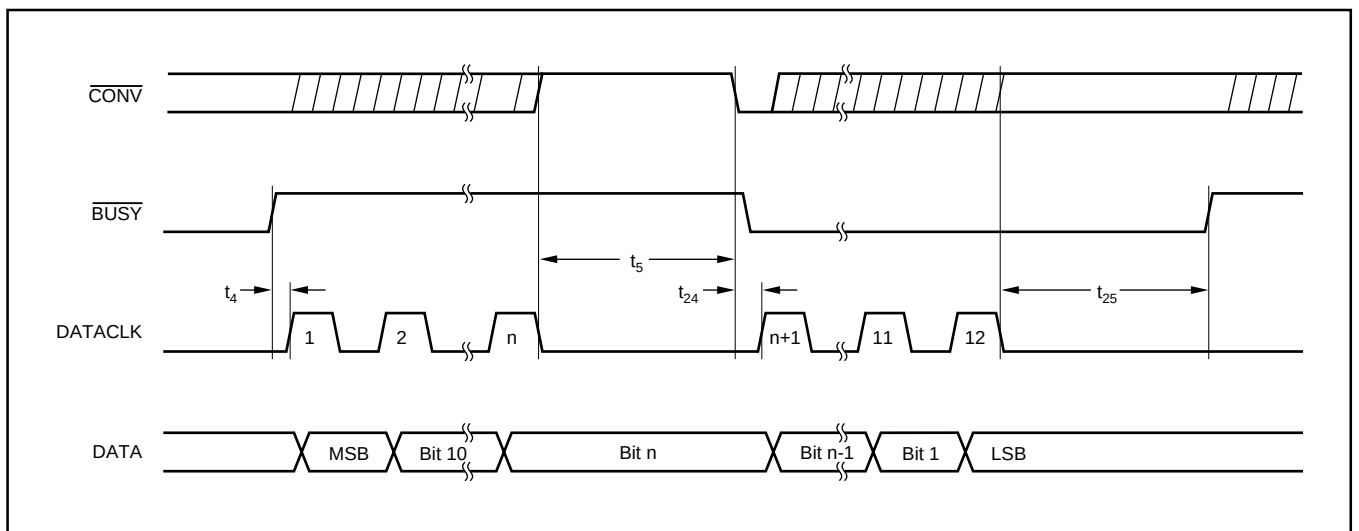


図8. 外部クロックのシリアルデータのタイミング、変換完了後および次の変換中のクロック供給(EXT/INT“ハイ”およびCS“ロー”)

変換後および次の変換中の外部データ・クロック・アクティフ

図8に、前の2つのアプローチを組み合わせた方法を示します。この方法は、一度に8ビットずつシリアル転送を行うマイクロコントローラや、低速のマイクロコントローラに適しています。例えば、マイクロコントローラが発生できる最も高速のシリアル・クロックが1μsである場合と8ビットの転送用としてシリアル・データを使用する場合は、図6のアプローチではスループットが低下します(最大変換レート26kHz)。図7の方法では、時間t₂₅に影響を及ぼすおそれがあります。図8のアプローチでは、スループット・レートが改善され(1μsクロックで最大33kHz)、DATACLKは時間t₂₅の間“ロー”になります。

ADS7813との互換性

ADS7812とADS7813との違いは、内部コントロール・ロジックおよびデジタル・インターフェースだけです。ADS7813は16ビット・コンバータであるため、内部シフト・レジスタは16ビット幅です。また、変換中に16ビットの判定のみ実行します。したがって、ADS7813の変換時間は、ADS7812の約133%になります。このデータシート上に記載されているタイミングはADS7813とほとんど同じで、主な違いはシリアル・クロックの数のみです。設計にADS7812とADS7813のどちらにも互換性を必要する場合には、ADS7813を最初に検討することを推奨します。ADS7813で設計されたものは、ADS7812に置き換えても確実に動作します。このことは、レイアウトに関しても同様です(レイアウトの項を参照して下さい)。

チップ・セレクト(CS)

CS入力は、ADS7812のデジタル出力をディスエーブルし、EXT/INTが“ハイ”の場合に外部DATACLK信号をゲートします。CSのイネーブルおよびディスエーブル時間については図9を、ADS7812のロジックのブロック図については図3を参照して下さい。デジタル出力はいつでもディスエーブルすることができます。CSが“ハイ”の場合でも、CONVの立ち下がりエッジで変換が開始されることに注意して下さい。変換中にEXT/INT入力が“ロー”(内部データ・クロック)でCSが“ハイ”の場合、シリアル転送は実行されますがDATAおよびDATACLKがディスエーブルされるため、前の変換結果は失われます。

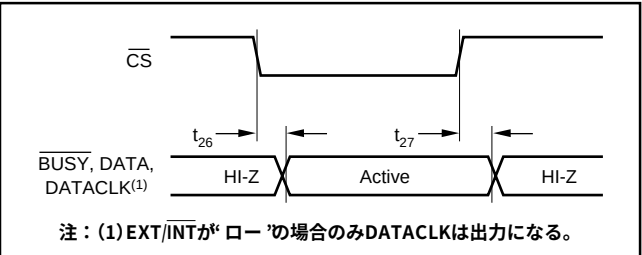


図9. デジタル出力のイネーブルおよびディスエーブルのタイミング

アナログ入力

ADS7812では各種の入力レンジを利用できます。これは、3つの入力抵抗をアナログ入力(V_{IN})、グランド(GND)または2.5Vリファレンス・バッファ出力(BUF)のいずれかに接続することにより選択します。表Iに、多くのデータ・アキュイジション・アプリケーションで一般に使用される入力レンジを示します。これらのレンジは、すべて「仕様」の表に記載された数値に適合することが保証されています。表IVに、理想的な入力レンジの完全なリスト、入力の接続および備考を示します。

アナログ入力レンジ(V)	R1 _{IN} を下記に接続	R2 _{IN} を下記に接続	R3 _{IN} を下記に接続	入力インピーダンス(kΩ)	備考
0.3125~2.8125	V _{IN}	V _{IN}	V _{IN}	>10,000	オフセットおよびゲインが保証されている
-0.417~2.916	V _{IN}	V _{IN}	BUF	26.7	V _{IN} はGND -0.3V以下にできない
0.417~3.750	V _{IN}	V _{IN}	GND	26.7	オフセットおよびゲインが保証されていない
±3.333	V _{IN}	BUF	V _{IN}	21.3	オフセットおよびゲインが保証されている
-15~5	V _{IN}	BUF	BUF	45.7	オフセットおよびゲインが保証されていない
±10	V _{IN}	BUF	GND	45.7	オフセットおよびゲインが保証されている
0.833~7.5	V _{IN}	GND	V _{IN}	21.3	オフセットおよびゲインが保証されていない
-2.5~17.5	V _{IN}	GND	BUF	45.7	V _{IN} の絶対最大値を超えている
2.5~22.5	V _{IN}	GND	GND	45.7	V _{IN} の絶対最大値を超えている
0~2.857	BUF	V _{IN}	V _{IN}	45.7	オフセットおよびゲインが保証されていない
-1~3	BUF	V _{IN}	BUF	21.3	V _{IN} はGND -0.3V以下にできない
0~4	BUF	V _{IN}	GND	21.3	オフセットおよびゲインが保証されている
-6.25~3.75	BUF	BUF	V _{IN}	26.7	オフセットおよびゲインが保証されていない
0~10	BUF	GND	V _{IN}	26.7	オフセットおよびゲインが保証されている
0.357~3.214	GND	V _{IN}	V _{IN}	45.7	オフセットおよびゲインが保証されていない
-0.5~3.5	GND	V _{IN}	BUF	21.3	V _{IN} はGND -0.3V以下にできない
0.5~4.5	GND	V _{IN}	GND	21.3	オフセットおよびゲインが保証されている
±5	GND	BUF	V _{IN}	26.7	オフセットおよびゲインが保証されている
1.25~11.25	GND	GND	V _{IN}	26.7	オフセットおよびゲインが保証されていない

表IV. 理想的な入力レンジの完全なリスト

各接続および内部抵抗の値から入力インピーダンスが決まります(このデータシートの表紙のブロック図を参照)。内部抵抗の値は標準的なもので、プロセスのばらつきにより $\pm 30\%$ 変動します。ただし、抵抗比のマッチング精度はこれよりずっと高く、入力レンジのデバイス間の変動は1/10のオーダーに過ぎません。入力インピーダンスは最大 $\pm 30\%$ 変動します。

「仕様」の表にはアナログ入力レンジの変動の最大値が記載されていますが、これらのレンジは備考欄に「オフセットおよびゲインが保証されている」と記載されているものに限られます(表1のすべてのレンジはこれに含まれます)。他のレンジのオフセットおよびゲインはテストされておらず、保証されません。

表IVの5つの入力レンジは、一般的な使用には推奨されません。このうちの2つの入力レンジは、アナログ入力電圧の絶対最大値を超えています。これらのレンジは、入力電圧が絶対最大値以下であれば使用できますが、コンバータのフルスケール・レンジが多少あるいは大幅に制限されます。

同様に、3つの入力レンジでは、 R_{2_IN} の接続がGND -0.3V以下にドライブされます。この入力とグラウンド間には逆バイアスをかけたESD保護ダイオードが接続されています。 R_{2_IN} がGND以下になった場合、このダイオードに順バイアスがかかり、負入力温度に応じて-0.4Vから-0.7Vにクランプされます。これらの入力レンジは、コンバータのフルスケール・レンジの犠牲において、使用が可能です。

表IVではREFピンの電圧を2.5Vと仮定していることに注意して下さい。これが成立するのは、内部リファレンスを使用しているか、または外部リファレンスが2.5Vである場合です。他のリファレンス電圧の場合、表IVの値は変化します。

ハイ・インピーダンス・モード

R_{1_IN} 、 R_{2_IN} 、 R_{3_IN} をアナログ入力に接続した場合、ADS7812の入力レンジは0.3125Vから2.8125Vに、入力インピーダンスは10M Ω 以上になります。この入力レンジは、ADS7812を各種センサに直接接続する場合に使用することができます。図10に、センサのインピーダンス対ADS7812のILEおよびDLEの変化を示します。これよりインピーダンスが高いセンサについては、アクイジションの時間に余裕をもたせることにより、ADS7812のパフォーマンスを向上することができます。例えば、アクイジション時間を10 μ sにすると、インピーダンスがほぼ2倍のセンサに対して、同じILE/DLEのパフォーマンスが得られます。

ADS7812のインピーダンスおよびキャパシタンスは、温度に対してきわめて安定です。センサも同様であると仮定した場合、図10のグラフの変動は、ADS7812の保証温度範囲にわたり数パーセント以下になります。センサのインピーダンスが温度によって大きく変動する場合は、ワーストケースのインピーダンスを使用する必要があります。

ADS7812のアナログ入力のドライブ

一般に、ADS7812の入力をドライブするにば「妥当な高速性」と高品質を備えた任意のオペアンプまたは計測アンプを使用することができます。コンバータがアクイジション・モードに入るとき、コンバータの入力からアンプの出力へはいくらかのチャージ・インジェクションが発生します。低速アンプでは、このためにセトリングタイムが不十分になることがあります。単一電源アンプで電源レールの直近まで出力をスイングさせる必要がある場合は、特に注意が必要です。

アンプの直線性にも注意が必要です。単一電源および「レール・ツー・レール」のアンプの出力は、電源レールに近づくにつれて飽和します。アンプの伝達関数は、直線ではなくS字型に変形することがあります。また、アンプが電流ソースから電流シンクに切り替わる点にも注意して下さい。一部のアンプの伝達関数には、この点に著しい不連続性があり、入力のわずかな変化に対して出力電圧が大きく変化することがあります。

ADS7812の入力のドライブには、OPA627、OPA134、OPA132、INA110など、パー・ブラウンの各種オペアンプおよび計測アンプを使用することができます。

リファレンス

ADS7812は、内部の2.5Vリファレンスまたは外部リファレンスで動作することができます。REFピンに外部リファレンス電圧を印加することによって内部リファレンス電圧が無効になります。REF入力の電圧は、ユニティ・ゲイン・バッファにより内部でバッファリングされます。このバッファの出力は、BUFおよびCAPピンに出力されます。

REF

REFピンは、2.5Vの内部リファレンスの出力または外部リファレンスの入力です。このピンとグラウンド間に1 μ Fから2.2 μ Fのタンタル・コンデンサを接続することが必要です。コンデンサはできるだけADS7812の近くに配置します。

内部リファレンスを使用する場合は、REFピンをどのような種類の負荷にも接続しないで下さい。外部負荷があると、内部リファレンスと直列に接続された内部の4k Ω 抵抗の両端に電圧降下が発生します。グラウンド間の外部負荷が4M Ω でも、コンバータのフルスケール・レンジは4LSB低下します。

外部リファレンスのレンジは2.3Vから2.7Vです。REFの電圧によってコンバータのフルスケール・レンジおよび対応するLSBサイズが設定されます。リファレンス電圧を高くすると、内部の雑音源に比較してLSBサイズが大きくなり、信号/雑音比が向上します。逆にリファレンス電圧を低くすると、LSBサイズが小さくなり、信号/雑音比が低下します。

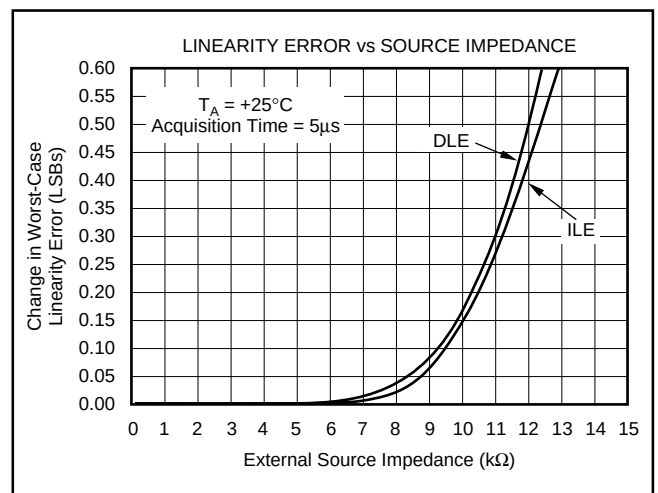


図10. ハイ・インピーダンス・モードの直線性誤差対ソース・インピーダンス($R_{1_IN} = R_{2_IN} = R_{3_IN} = V_{IN}$)

CAP

CAPピンは、内部リファレンス・バッファの補償に使用します。このピンとグランド間に、並列の0.01 μ Fセラミック・コンデンサと1 μ Fタンタル・コンデンサを接続することが必要です。セラミック・コンデンサは、できるだけADS7812の近くに接続します。ADS7812から最高の性能を引き出すには、CAPピンの合計キャパシタンスの値が重要です。この値が2.0 μ F以上だとバッファの過補償になり、0.5 μ F以下だと補償不足になります。

BUF

BUFピンの電圧は、内部リファレンス・バッファの出力です。このピンは、アナログ入力に+2.5Vを供給し、各種入力レンジを構成するために使用します。BUF出力は、外部負荷に最大1mAの電流を供給することができます。負荷は一定であることが必要です。負荷が変動する場合はBUFの電圧が変動され、変換結果に影響するおそれがあります。変換中に各ビットを判定するとき、BUF出力に大きなグリッチが発生することにも注意が必要です。変換から次の変換までの間は、BUF出力は安定しています。

パワーダウン

ADS7812には、 $\overline{\text{CONV}}$ を“ロー”にしてからPWRDを“ハイ”にすることによって起動するパワーダウン・モードがあります。これによってリファレンスを含むすべてのアナログ回路がパワーダウンし、消費電力が50 μ W以下に低減します。パワーダウン・モードを終了するには、 $\overline{\text{CONV}}$ を“ハイ”にしてからPWRDを“ロー”にします。 $\overline{\text{CONV}}$ が“ロー”のときにPWRDを“ハイ”にした場合、変換が開始されることに注意して下さい。

パワーダウン・モードの間、CAPおよびREFに接続されているコンデンサの電圧はリークを開始します。CAPのコンデンサの電圧は、REFのコンデンサよりずっと速くリークします(ADS7812

のREF入力はPWRDが“ハイ”のときハイ・インピーダンスになりますが、これはCAP入力には当てはまりません)。パワーダウン・モードを終了すると、これらのコンデンサは再充電され、12ビットのレベルで安定します。図11に、有効な12ビットの結果が得られるまでに必要な標準的な時間(室温)とパワーダウン時間の関係を示します。この図では、CAPピンの合計キャパシタンスが1.01 μ Fであると仮定しています。

パワーダウン時間がきわめて短い(数秒以下)場合にパワーアップ時間を大幅に短縮できる回路を図12に示します。オン抵抗の小さいMOSFETを使用してCAPピンのキャパシタンスをADS7812内部のリーケージ・パスから切断しています。これにより、コンデンサの電荷が長時間保持されるようになり、パワーアップ時の再充電に必要な時間が短縮されます。この回路では、数十ミリ秒から数百ミリ秒のパワーダウン時間でも、ほぼ瞬間的にパワーアップすることができます。

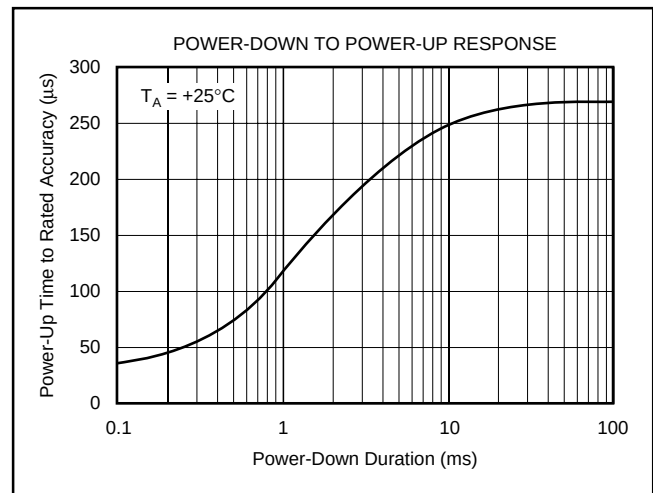


図11. パワーダウンからパワーアップまでの応答

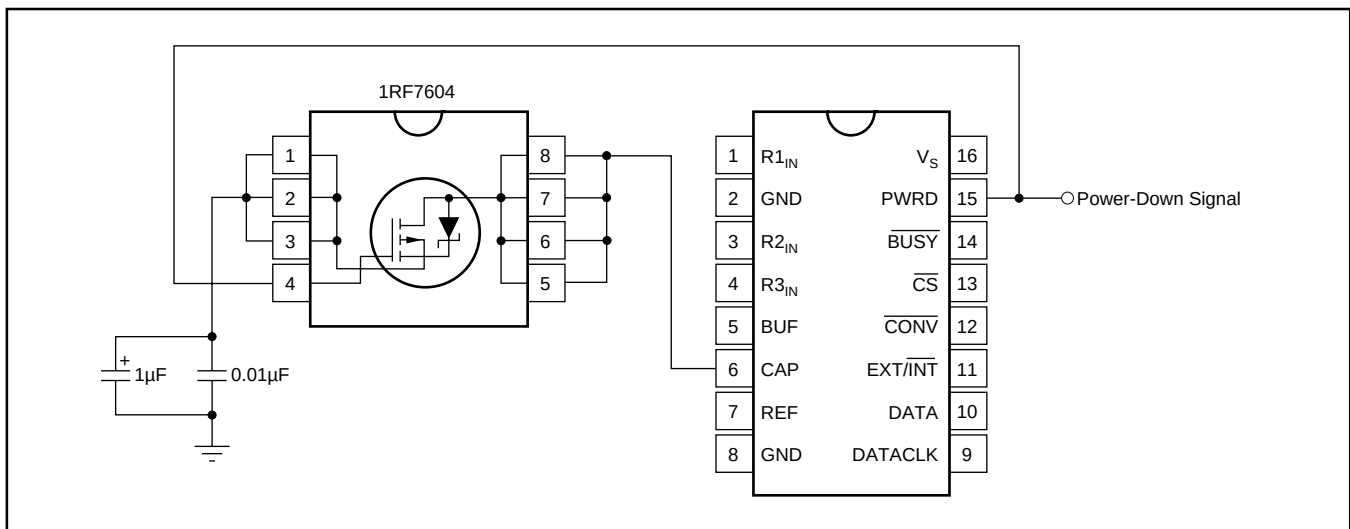


図12. パワーアップの応答を改善する回路

レイアウト

ADS7812は、高精度なアナログ・コンポーネントとして扱い、完全にプリント基板の「アナログ部」に配置することが必要です。ADS7812および他のすべてのアナログ・コンポーネントの下側にグランド・プレーンを設けることが理想的です。このプレーンは、電源部で接続されるまではデジタル・グランドから分離することが必要です。これにより、動的なデジタル・グランド電流が電源グランドまでの共通インピーダンスを通じてアナログ・グランドを変調することを防止できます。

+5V電源は、デジタル部の+5V電源から分離したクリーンな安定したものが 필요합니다。ADS7812の近くのリニア・レギュレータから+5V電源をとることが考えられます。デジタルの+5V電源を使用する場合は、デジタル電源の接続部と直列に5Ωから10Ωの抵抗を接続することが必要です。 V_S ピン付近のバイパス・キャパシタンスを大きくすること(10μFおよび0.1μFのコンデンサと並列に100μF以上のコンデンサを追加)が必要なこともあります。多数のデジタル・コンポーネントや超高速デジタル・ロジックを使用する設計では、このような簡単な電源のフィルタリングでは不十分なことがあります。

外部デジタル信号に対する感度

逐次比較型レジスタを使用したA/Dコンバータは、すべて外部の雑音源に敏感です。次の段落からその理由を説明します。ADS7812のようなA/Dコンバータの場合、この雑音はほとんどが外部デジタル信号の遷移によるものです。コンバータの近くを通るデジタル信号が雑音源になることもあります。最も問題になるのはコンバータ自体のデジタル入力です。

多くの場合、システムの設計者は、問題の存在や可能性を認識していません。12ビット・システムの場合、この問題は通常最下位ビットおよびコンバータの伝達関数の特定の場所でのみ発生し

ます。16ビット・コンバータの場合、問題はずっと容易に特定することができます。

例えば、図2のタイミング図は、 $\overline{\text{CONV}}$ 信号を時間 t_2 の間に「ハイ」に戻さなければならないことを示しています。実は、 $\overline{\text{CONV}}$ 信号は変換中いつでも「ハイ」に戻すことができます。しかし、時間 t_2 後は $\overline{\text{CONV}}$ 信号の遷移によってADS7812のダイに多量の雑音が発生する可能性があり、この遷移のタイミングが悪い場合は変換結果に影響するおそれがあります。同様に、 DATACLK 入力の遷移も変換結果に影響するおそれがあります。

ADS7812の場合、変換中に12のビット判定を行います。最初に最上位ビットから判定し、変換の最後に最下位ビットを判定します。各ビット判定では、対象ビットをセットするものと仮定し、それまでの結果と組み合わせて実際の入力電圧と比較します。組み合わせた結果の方が大きい場合は、ビットをクリアします。結果が実際の入力電圧と等しいか小さい場合は、ビットを「ハイ」のままにします。「逐次比較型レジスタ」という基本アーキテクチャの名前はこれに由来しています。

それまでの結果が実際の入力電圧ときわめて接近してきた場合は、相互に接近した2つの電圧の比較を行います。ADS7812は、コンパレータの結果がラッチされる直前に内部雑音源が最小になるように設計されています。しかし、このときに外部デジタル信号の遷移があった場合は、多量の雑音が敏感なADS7812のアナログ部にカップリングされます。この雑音によって2つの電圧間に生じた差がわずか2mVであっても、変換結果は3LSB(最下位ビット)違ってしまう(ADS7812の内部LSBサイズは、入力レンジにかかわらず610μVです)。

デジタル信号の遷移によってコンパレータが誤ったビット判定をした場合、なんらかの誤り訂正を採用していない限り、この判定は訂正できません。以後のビット判定はすべて誤ったものになります。図13に、誤った逐次比較プロセスを示します。点線は正しいビット判定を、実線は実際の変換結果を表しています。

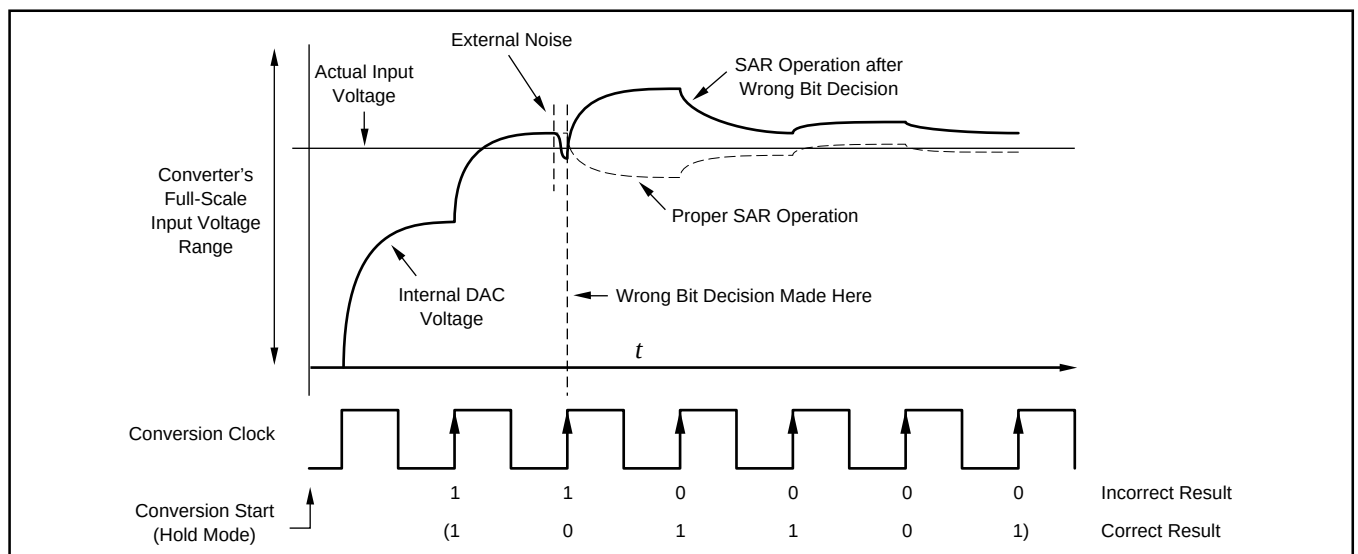


図13. 外部雑音が変換に影響した場合の逐次比較レジスタの動作

コンパレータが雑音に対して最も敏感になる時間はきわめて短いことに注意して下さい。また、ほとんどのデジタル信号の遷移は数ナノ秒の間に起こるため、それによって発生する雑音「イベント」のピーク部分もきわめて短いものになります。これより長い雑音が続く、長いセトリングタイムを必要とする効果を誘導することもあります。しかし、一般に、イベントは数十ナノ秒以内に終了します。

ADS7812では、第10ビットを判定するときに誤り訂正を行います。このビットの判定時に、それまでのビット判定で発生した誤りを訂正することができます。しかし、第10ビットの後でこのような訂正を行うことはできません。図2、5、6、7および8のタイミング図で、すべての外部デジタル信号は変換開始後8 μ sからBUSYの立ち上がりまで安定でなければならないことに注意して下さい。第10ビットの判定は、変換の約10 μ sから11 μ sに行われます。

使用上の注意

QSPIインターフェース

図14に、ADS7812とQSPI(Queued Serial Peripheral Interface)を装備したマイクロコントローラ(モトローラ社の一部のデバイスで使用可能)の簡単なインターフェースを示します。このインターフェースでは、マイクロコントローラからは変換パルスが発生せず、またADS7812が唯一のシリアル周辺装置であると仮定しています。

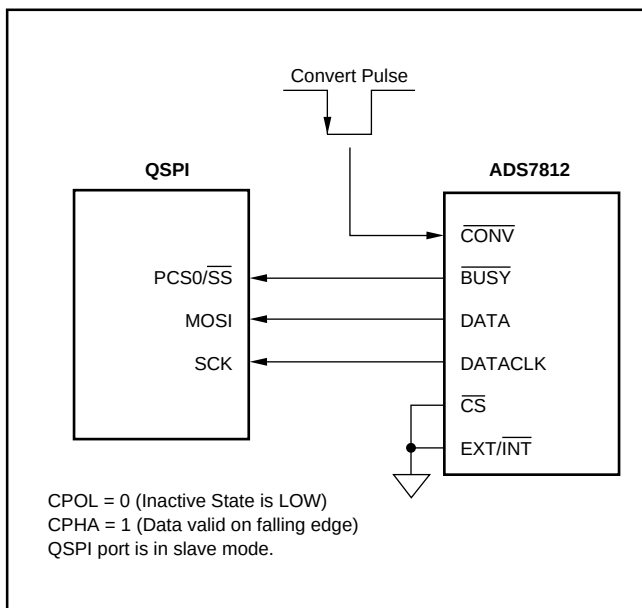


図14. ADS7812とのQSPIインターフェース

QSPIインターフェースを動作させる前に、スLEEP・SELECT(SS)ラインをモニタするようにマイクロコントローラを構成する必要があります。変換の終了を示す「ロー」から「ハイ」への遷移があったとき、ポートをイネーブルすることができます。これを行わない場合は、マイクロコントローラとA/Dが正しく同期しないことがあります(スLEEP・SELECT・ラインは単に通信をイネーブルするだけで、シリアル転送の開始または終了は示しません)。

図15に、3つのADS7812とQSPIを装備したマイクロコントローラのインターフェースを示します。このインターフェースには各種のバリエーションが考えられます。図のように、QSPIポートが共通のCONV信号を発生し、これにより3つのコンバータすべての変換が開始されます。変換の完了後、各結果が順に転送されます。QSPIポートは、完全にプログラマブルでプロセッサの介入なしにタイミングの処理と転送を行います。この方法でCONV信号を発生する場合は、CONV信号が低ジッタであるため、ADS7812でACとDCの両方の測定を行うことが可能です。ソフトウェアのコマンドでCONV信号を発生する場合は、高ジッタであるため、低周波(DC)の測定のみ可能なことに注意して下さい。

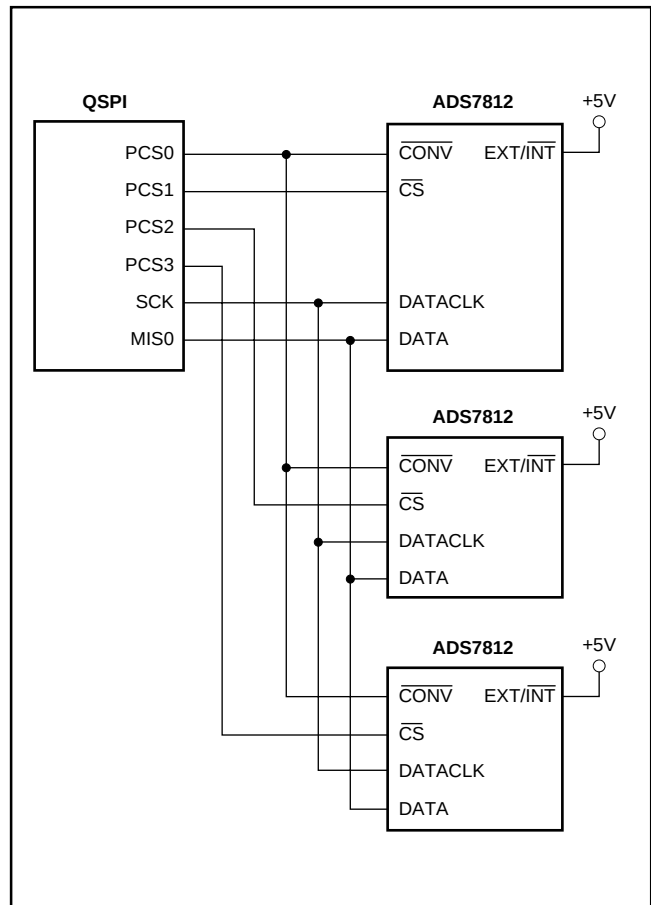


図15. 3つのADS7812とのQSPIインターフェース

DSP56002インターフェース

DSP56002シリアル・インターフェースには、いくつかの点が拡張されたSPI互換モードがあります。図16に、ADS7812とDSP56002とのインターフェースを示します。図14のQSPIインターフェースと同様、DSP56002は、SCIの「ロー」から「ハイ」への遷移があったときにシリアル・インターフェースをイネーブルするようにプログラムすることが必要です。

DSP56002は、図17に示すようにCONV信号も供給することができます。インターフェースの送信部と受信部は分離されており(非同期モード)、送信部は1送信フレームおきにワード長のフレーム同期を発生するように設定されています(フレーム・レート・デバイダを2に設定)。プリスケール係数は、必要な変換レートの2倍の速度で送信フレームを発生するように設定します。

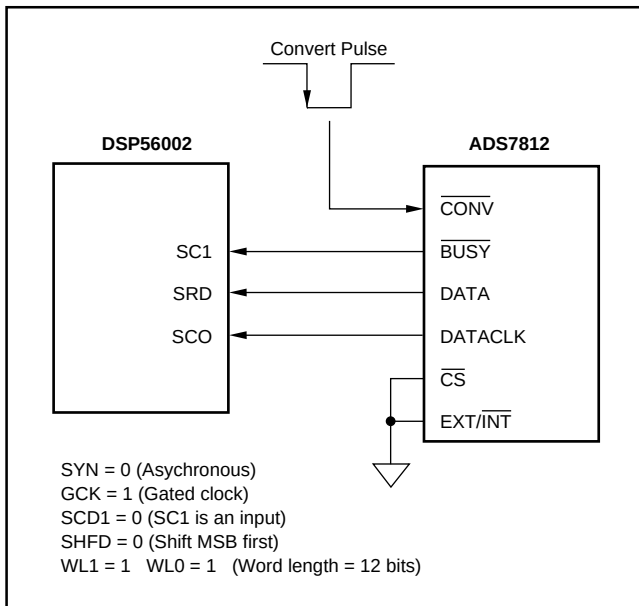


図16. ADS7812とのDSP56002インターフェース

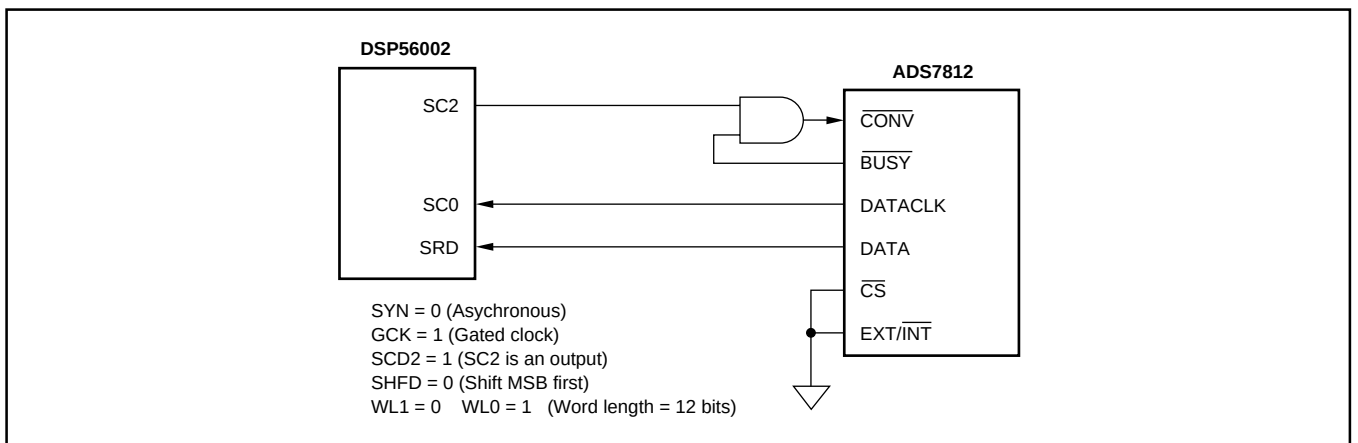


図17. ADS7812とのDSP56002インターフェース。プロセッサが変換を開始。

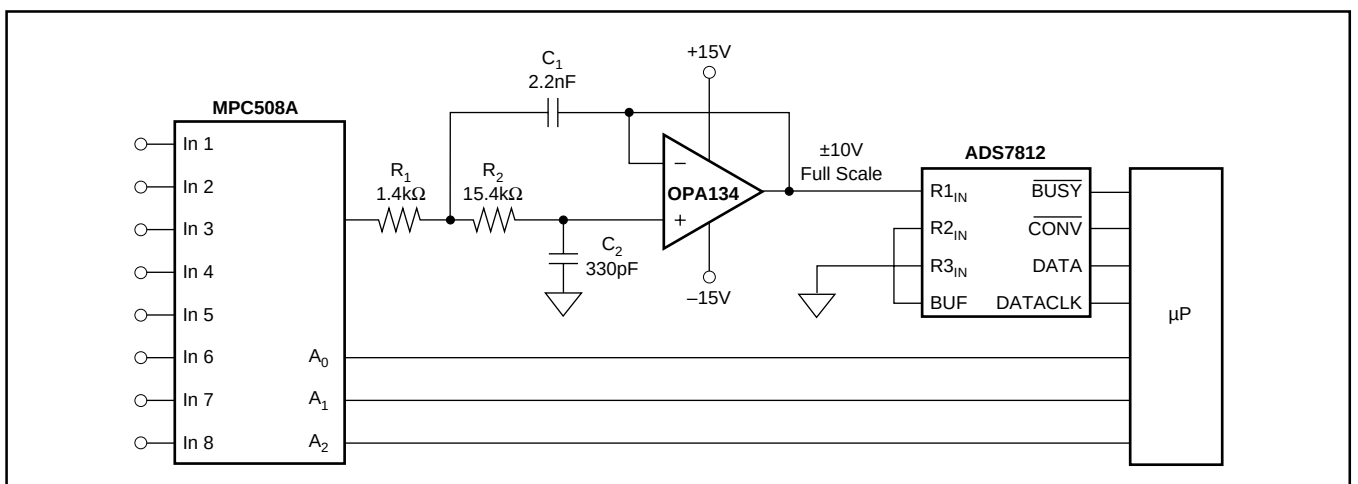


図18. マルチプレクサ・データ・アキュイジション回路

外観

