

12ビット10 μ sシリアルCMOSサンプリング A/Dコンバータ

特 長

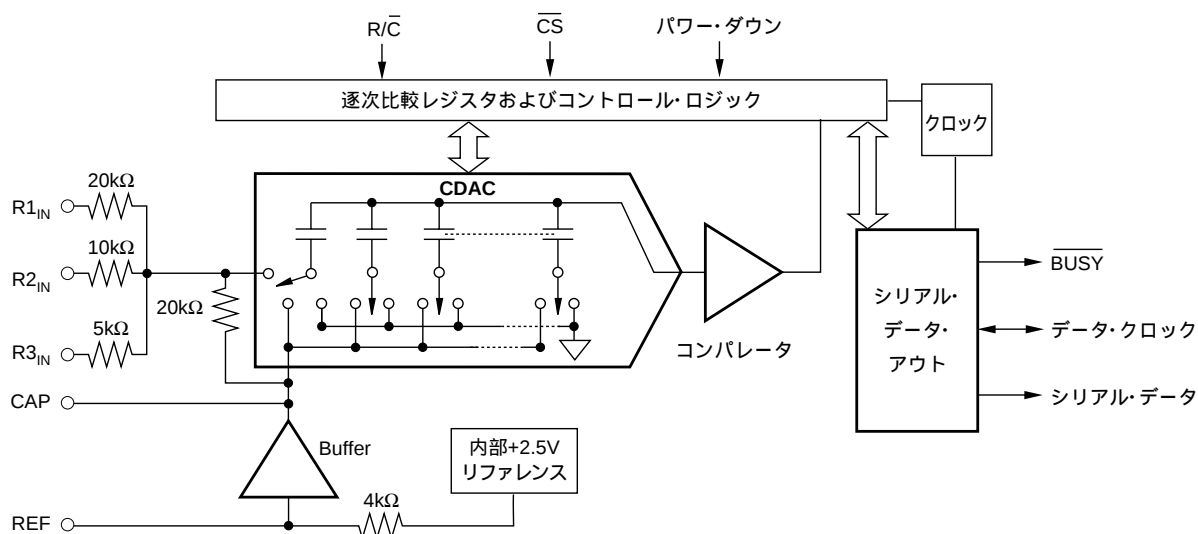
- サンプルング・レート：100kHz
- SINAD：45kHz入力で72dB
- 積分直線性誤差および
微分直線性誤差： $\pm 1/2$ LSB
- 6つの入力レンジ
- シリアル出力
- +5V単一電源動作
- 16ビットのADS7809とピン・コンパチブル
- 内部または外部のリファレンスを使用可能
- 消費電力：100mW(最大)
- 20ピン0.3インチ幅プラスチックDIPおよびSOP
- 単純なDSPインターフェース

概 要

ADS7808は、最新のCMOS構造を使用した完全な12ビット・サンプルングA/Dコンバータです。このコンバータはキャパシタ・ベースの逐次比較型12ビットA/Dコンバータで、S/H、リファレンス、クロック、およびシリアル・データ・インターフェースを内蔵しています。データは内部クロックを使用して出力するか、外部データ・クロックに同期させることができます。ADS7808は、標準DSPプロセッサと組み合わせた場合に使いやすいように、出力同期パルスも供給します。

ADS7808の仕様は100kHzのサンプルング・レートで規定されており、全温度範囲で保証されています。斬新な設計により、+5V単一電源で100mW以下の消費電力で動作し、レーザ・トリムされたスケーリング抵抗により、 $\pm 10V$ 、0Vから5Vなどさまざまな入力範囲を実現しています。

ADS7808は、20ピンのプラスチック0.3インチ幅DIPおよびSOPで供給され、どちらも -40 から $+85$ の工業温度範囲で仕様が完全に規定されています。



電氣的仕様

特に記述がない限り、T_A=−40 から+85 、f_S=100kHz、V_{DIG}=V_{ANA}=+5V、内部リファレンスおよび図4に示す固定抵抗を使用。

パラメータ	条件	ADS7808P/U			ADS7808PB/UB			単位
		最小	標準	最大	最小	標準	最大	
分解能				12			*	Bits
アナログ入力 電圧範囲 インピーダンス 容量			±10、0から5Vなど(表 I 参照) 表 I 参照				*	pF
スループット速度 変換時間 完全サイクル スループット・レート	アキュイジションおよび変換	100	5.7	8 10	*	*	*	μs μs kHz
DC精度 積分直線性誤差 微分直線性誤差 ノーマissinging・コード トランジション・ノイズ ⁽²⁾ フルスケール誤差 ^(3,4) フルスケール誤差ドリフト フルスケール誤差 ^(3,4) フルスケール誤差ドリフト バイポーラ・ゼロ誤差 ⁽³⁾ バイポーラ・ゼロ誤差ドリフト ユニポーラ・ゼロ誤差 ⁽³⁾ ユニポーラ・ゼロ誤差ドリフト パワー・ダウンから定格精度までの 回復時間 電源感度 (V _{DIG} = V _{ANA} = V _D)	Ext. 2.5000V Ref Ext. 2.5000V Ref バイポーラ・レンジ バイポーラ・レンジ 0V ~ 10Vレンジ 0V ~ 4Vレンジ 0V ~ 5Vレンジ ユニポーラ・レンジ 1μFコンデンサをCAPに接続 +4.75V < V _D < +5.25V		保証 0.1 ±7 ±2 ±2 ±2 1	±0.9 ±0.9 ±0.5 ±0.5 ±10 ±5 ±3 ±3 ±0.5		*	±0.45 ±0.45 ±0.25 ±0.25 * * * * * * * *	LSB ⁽¹⁾ LSB % ppm/ % ppm/ mV ppm/ mV mV mV ppm/ ms LSB
AC精度 スプリアスフリー・ダイナミック・レンジ(SFDR) 全高調波歪(THD) 信号/(雑音+歪)比(SINAD) 信号/雑音比(SNR) フルパワー・バンド幅 ⁽⁶⁾	f _{IN} = 45kHz f _{IN} = 45kHz f _{IN} = 45kHz f _{IN} = 45kHz	80 70 70	90 −90 73 73 250	−80	*	*	*	dB ⁽⁵⁾ dB dB dB kHz
サンプリングのダイナミック特性 アパーチャ遅延 アパーチャ・ジッタ 過渡応答 過電圧復帰 ⁽⁷⁾	FSステップ		40 AC仕様に適合 150	2		*	*	ns ns μs ns
リファレンス 内部リファレンス電圧 内部リファレンス・ソース電流 (外部にバッファを使用してください) 直線性仕様を満たす 外部リファレンス電圧範囲 外部リファレンス電流ドレイン	無負荷 Ext. 2.5000V Ref	2.48 2.3	2.5 1 2.5	2.52 2.7 100	*	*	*	V μA V μA
デジタル入力 ロジック・レベル V _{IL} V _{IH} I _{IL} I _{IH}	V _{IL} = 0V V _{IH} = 5V	−0.3 +2.0		+0.8 V _D +0.3V ±10 ±10	*	*	*	V V μA μA

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

電氣的仕様 (続き)

特に記述がない限り、 $T_A = -40 \sim +85$ 、 $f_s = 100\text{kHz}$ 、 $V_{DIG} = V_{ANA} = +5\text{V}$ 、内部リファレンスおよび図4に示す固定抵抗を使用します。

パラメータ	条件	ADS7808P/U			ADS7808PB/UB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
デジタル出力 データ・フォーマット データ・コーディング パイプライン遅延 データ・クロック 内部 (データ送信時のみ出力) 外部 (連続動作可能) V_{OL} V_{OH} リーケージ電流 出力容量	EXT/INT “ロー” EXT/INT “ハイ” $I_{SINK} = 1.6\text{mA}$ $I_{SOURCE} = 500\mu\text{A}$ High-Z State $V_{OUT} = 0\text{V}$ to V_{DIG} High-Z State	0.1		10	*	*	*	MHz MHz V V μA pF
電源 仕様に規定された性能 V_{DIG} V_{ANA} I_{DIG} I_{ANA} 消費電力: PWRD “ロー” PWRD “ハイ”	V_{ANA} と同じか、それ以下でなければならない。 +4.75 $V_{DIG} = V_{ANA} = 5\text{V}$, $f_s = 100\text{kHz}$	+4.75 +5 0.3 16	+5 +5.25 50	+5.25 100	*	*	*	V V mA mA mW μW
温度範囲 仕様に規定された性能 ディレーティングした性能 保存 熱抵抗(θ_{JA}) プラスチックDIP SOP		-40 -55 -65		+85 +125 +150	*	*	*	 /W /W

注: (1) LSBは最下位ビットを意味します。 $\pm 10\text{V}$ 入力範囲の場合、1 LSBは4.88mVです。(2) ワーストケースの遷移および温度における標準的なrmsノイズ。(3) 図4に示す固定抵抗で測定されます。外付けポテンショメータでゼロに調整可能です。(4) バイポーラ入力レンジの場合、フルスケール誤差はトリムされないフルスケールまたは+フルスケールのワーストケース値と、理想的な最初および最後のコード・トランジションとの偏差を、遷移電圧で除算(フルスケール・レンジで除算しない)した値で、オフセット誤差の影響が含まれます。ユニポーラ入力レンジの場合、フルスケール誤差は最後のコード・トランジションの偏差を遷移電圧で除算した値です。これにもオフセット誤差の影響が含まれます。(5) 単位がdBのすべての仕様はフルスケール $\pm 10\text{V}$ 入力を基準にしています。(6) フルパワー・バンドは信号/(雑音 + 歪)比が60dBに低下したときのフルスケール入力周波数で定義されます。(7) フルスケールの2倍の過電圧が印加された後、仕様に規定される性能に復帰するまでの回復時間。



静電気放電感度

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報⁽¹⁾

モデル	パッケージ	パッケージ図番号
ADS7808P	20ピン・プラスチックDIP	222
ADS7808PB	20ピン・プラスチックDIP	222
ADS7808U	20ピンSOP	221
ADS7808UB	20ピンSOP	221

注: (1) 詳細図および寸法表については、データシートの巻末を参照してください。

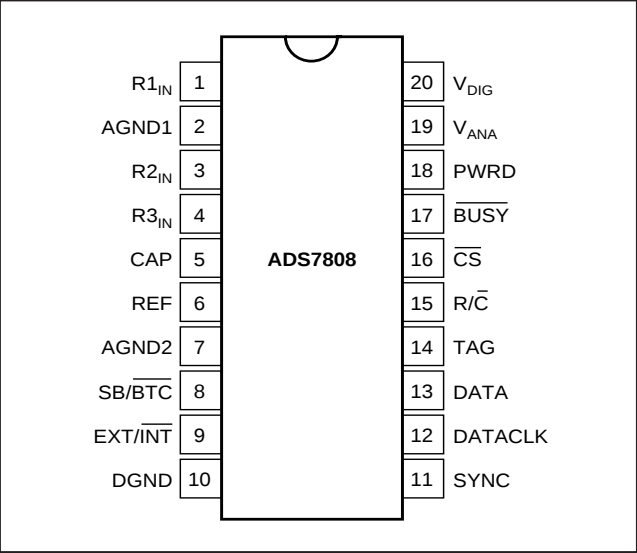
ご発注の手引き

モデル	最大直線性誤差(LSB)	最小信号/ (雑音 + 歪) 比(dB)	仕様温度範囲	パッケージ
ADS7808P	± 0.9	70	-40 ~ +85	20ピン・プラスチックDIP
ADS7808PB	± 0.45	72	-40 ~ +85	20ピン・プラスチックDIP
ADS7808U	± 0.9	70	-40 ~ +85	20ピンSOP
ADS7808UB	± 0.45	72	-40 ~ +85	20ピンSOP

ピン構成

ピン番号	ピン名	説明
1	R1 _{IN}	アナログ入力。入力範囲の接続は表 と図4を参照。
2	AGND1	アナログ・グランド。グランド基準点として内部で使用。電流フローを最小にしてください。
3	R2 _{IN}	アナログ入力。入力範囲の接続は表 と図4を参照。
4	R3 _{IN}	アナログ入力。入力範囲の接続は表 と図4を参照。
5	CAP	リファレンス・バッファ・コンデンサ。2.2μFタンタルをグランドとの間に接続する。
6	REF	リファレンス入出力。+2.5Vの内部リファレンスを出力する。外部システム・リファレンスによってもドライブ可能。いずれの場合も2.2μFのタンタル・コンデンサでグランドにバイパスする。
7	AGND2	アナログ・グランド。
8	SB/BTC	ストレート・バイナリまたは2の補数バイナリのデータ出力フォーマットを選択する。“ハイ”の場合、データはストレート・バイナリ・フォーマットで出力される。“ロー”であれば、データは2の補数バイナリ・フォーマットで出力される。
9	EXT/INT	データ転送用の外部または内部クロックを選択する。“ハイ”の場合、データはクロック入力と同期してDATACLKに出力される。“ロー”の場合、変換コマンドにより前の変換からのデータ転送が開始され、12個のクロック・パルスに同期してDATACLKに出力される。
10	DGND	デジタル・グランド。
11	SYNC	同期出力。EXT/INTが“ハイ”の場合、CS“ロー”のときにはR/Cの立ち上がりエッジで、R/Cが“ハイ”のときはCSの立ち下がりエッジで、外部DATACLKに同期してSYNCにパルスが出力される。
12	DATACLK	EXT/INTレベルによって入力または出力になる。出力データはこのクロックに同期化される。EXT/INTが“ロー”の場合、DATACLKは各変換の12クロック後に送信を行ない、変換と変換の間では“ロー”を保持する。
13	DATA	シリアル・データ出力。データはDATACLKに同期化され、フォーマットはSB/BTCレベルによって決定される。外部クロック・モードでは、12データ・ビット後に、ADS7808は、CSが“ロー”でR/Cが“ハイ”であればTAG入力のレベルを出力する(図3参照)。EXT/INTが“ロー”の場合、データはDATACLKの立ち上がりおよび立ち下りの両方のエッジで有効となり、変換と変換の間では、DATAは変換が開始されたときのTAG入力のレベルを保持する。
14	TAG	外部クロック・モードで使用するタグ入力。EXT/INTが“ハイ”の場合、CSが“ロー”でR/Cが“ハイ”であれば、TAGのデジタル・データ入力が12 DATACLKパルス後にDATAに出力される。図3参照。
15	R/C	リード/変換入力。CS“ロー”の場合、R/Cの立ち下がりエッジで内部サンプル/ホールドがホールド状態になり、変換が開始される。EXT/INTが“ロー”の場合にも、前の変換からのデータ結果の送信を開始する。EXT/INTが“ハイ”の場合、CS“ロー”のときR/Cの立ち上がりエッジ、またはR/Cが“ハイ”のときCSの立ち下がりエッジでSYNCにパルスを送信し、前の変換からのデータ送信を開始する。
16	CS	チップ・セレクト。内部でR/CとOR接続されている。
17	BUSY	ビジー出力。変換が開始されると“ロー”に立ち下がり、変換が完了しデータが出力シフト・レジスタにラッチされるまで“ロー”を保持する。BUSYが立ち上がったときは、CSまたはR/Cが“ハイ”でなければならない。“ハイ”でない場合は、信号アクイジションの時間なしで新しい変換が開始される。
18	PWRD	パワー・ダウン入力。“ハイ”のとき変換が抑止され、消費電力が大幅に低減される。前の変換からの結果は出力シフト・レジスタで維持される。
19	V _{ANA}	アナログ電源入力。公称+5V。ピン20に直接接続し、0.1μFセラミックおよび10μFタンタル・コンデンサでグランドにデカップリングする。
20	V _{DIG}	デジタル電源入力。公称+5V。ピン19に直接接続する。V _{ANA} と同じか、それ以下でなければならない。

ピン構成



アナログ 入力範囲	R1 _{IN} 接続先 (200Ωを通して)	R2 _{IN} 接続先 (100Ωを通して)	R3 _{IN} 接続先	インピーダンス
±10V	V _{IN}	AGND	CAP	22.9 kΩ
±5V	AGND	V _{IN}	CAP	13.3 kΩ
±3.33V	V _{IN}	V _{IN}	CAP	10.7 kΩ
0V ~ 10V	AGND	V _{IN}	AGND	13.3 kΩ
0V ~ 5V	AGND	AGND	V _{IN}	10.0 kΩ
0V ~ 4V	V _{IN}	AGND	V _{IN}	10.7 kΩ

表1. 入力範囲接続。図4参照。

記号	説明	最小	標準	最大	単位
t_1	変換パルス幅	40		4500	ns
t_2	$\overline{\text{BUSY}}$ 遅延			65	ns
t_3	$\overline{\text{BUSY}}$ “ロー”			8	μs
t_4	変換終了後の $\overline{\text{BUSY}}$ 遅延	220			ns
t_5	アパーチャ遅延	40			ns
t_6	変換時間	5.7	8		μs
t_7	アクイジション時間		2		μs
t_6+t_7	スループット時間	9	10		μs
t_8	$\text{R}/\overline{\text{C}}$ “ロー” から DATACLK 遅延	450			ns
t_9	DATACLK 周期	440			ns
t_{10}	データ有効から DATACLK “ハイ” 遅延	20	75		ns
t_{11}	DATACLK “ロー” 遅延後のデータ有効	100	125		ns
t_{12}	外部 DATACLK 周期	100			ns
t_{13}	外部 DATACLK 周期 “ハイ”	20			ns
t_{14}	外部 DATACLK 周期 “ロー”	30			ns
t_{15}	DATACLK “ハイ” セットアップ時間	20	$t_{12}+5$		ns
t_{16}	$\text{R}/\overline{\text{C}}$ から $\overline{\text{CS}}$ までの セットアップ時間	10			ns
t_{17}	DATACLK “ハイ” 後の SYNC 遅延	15	35		ns
t_{18}	データ有効遅延	25	55		ns
t_{19}	$\overline{\text{CS}}$ からの立ち上がりエッジ遅延	25			ns
t_{20}	$\overline{\text{CS}}$ “ロー” 後のデータ有効	4.5			μs

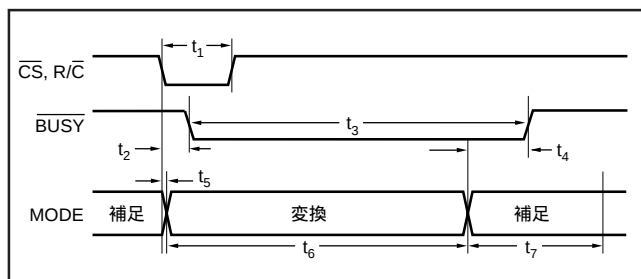


図1. 基本的な変換タイミング

表II. 変換およびデータ・タイミング。 $T_A = -40$ から $+85$ 。

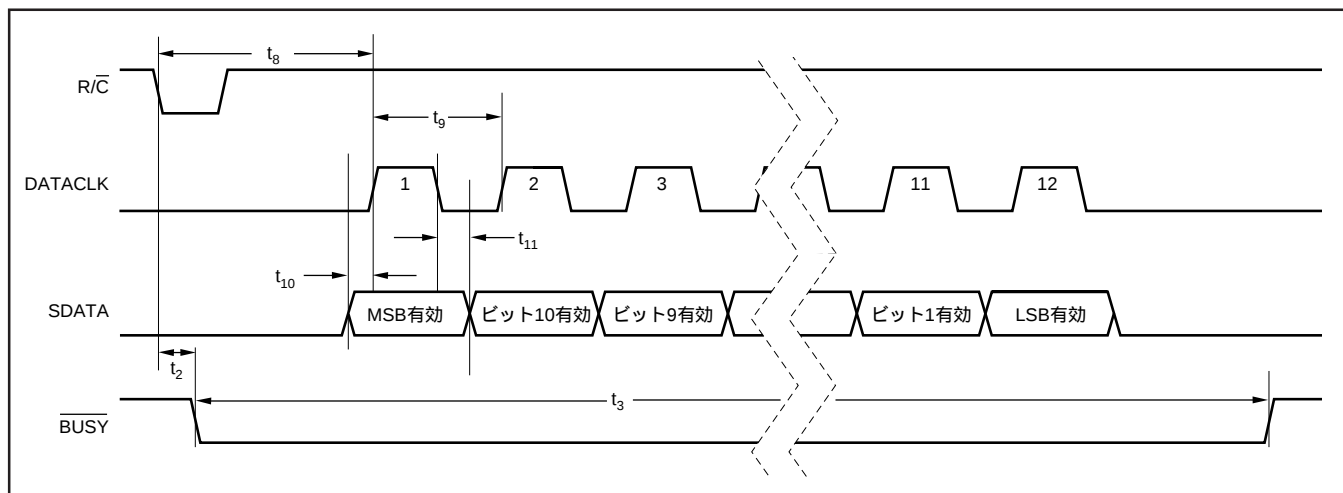


図2. 内部クロックを使用したシリアル・データ・タイミング。($\overline{\text{CS}}$ 、 $\overline{\text{EXT}}/\overline{\text{INT}}$ 、および $\overline{\text{TAG}}$ を “ロー” に接続)

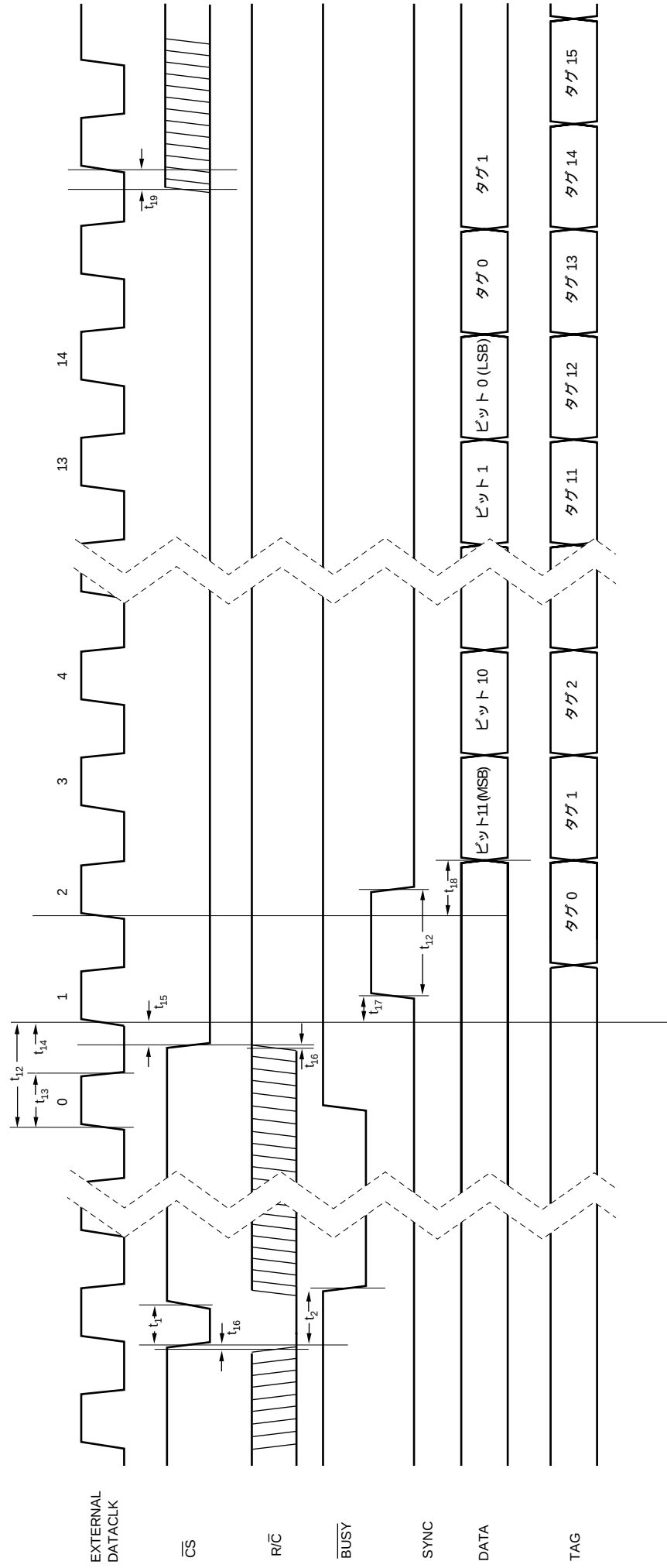
機能	$\overline{CS}$	$R/\overline{C}$	$\overline{BUSY}$	$\overline{EXT}/\overline{INT}$	DATACLK	PWRD	SB/BTC	動作
変換開始と内部クロックを使用したデータ出力	1>0	0	1	0	出力	0	x	変換“n”を開始する。変換“n-1”からのデータがDATACLKに出力される12個のクロック・パルスに同期してDATAにクロック・アウトされる。
	0	1>0	1	0	出力	0	x	変換“n”を開始する。変換“n-1”からのデータがDATACLKに出力される12個のクロック・パルスに同期してDATAにクロック・アウトされる。
変換開始と内部クロックを使用したデータ出力	1>0	0	1	1	入力	0	x	変換“n”を開始する。
	0	1>0	1	1	入力	0	x	変換“n”を開始する。
	1>0	1	1	1	入力	x	x	SYNCにパルスを出力する。続いて変換“n”からのデータが外部DATACLKに同期してクロック・アウトされる。
	1>0	1	0	1	入力	0	x	SYNCにパルスを出力する。続いて変換“n-1”からのデータが外部DATACLKに同期してクロック・アウトされる。 ⁽¹⁾ 変換“n”は実行中。
	0	0>1	0	1	入力	0	x	SYNCにパルスを出力する。続いて変換“n-1”からのデータが外部DATACLKに同期してクロック・アウトされる。 ⁽¹⁾ 変換“n”は実行中。
誤変換	0	0	0>1	x	x	0	x	$\overline{CS}$ または $R/\overline{C}$ が“ハイ”でないと、アクイジション時間をとらずに新しい変換が開始される。
パワー・ダウン	x	x	x	x	x	0	x	アナログ回路に給電する。変換は進行可能。
	x	x	x	x	x	1	x	アナログ回路をディスエーブルする。前の変換からのデータは出力レジスタに維持されている。
出力フォーマットの選択	x	x	x	x	x	x	0	シリアル・データが2の補数バイナリ・フォーマットで出力される。
	x	x	x	x	x	x	1	シリアル・データがストレート・バイナリ・フォーマットで出力される。

注：(1) 変換中に前データ有効に関する制約については図3bを参照して下さい。

表III. コントロール真理値表

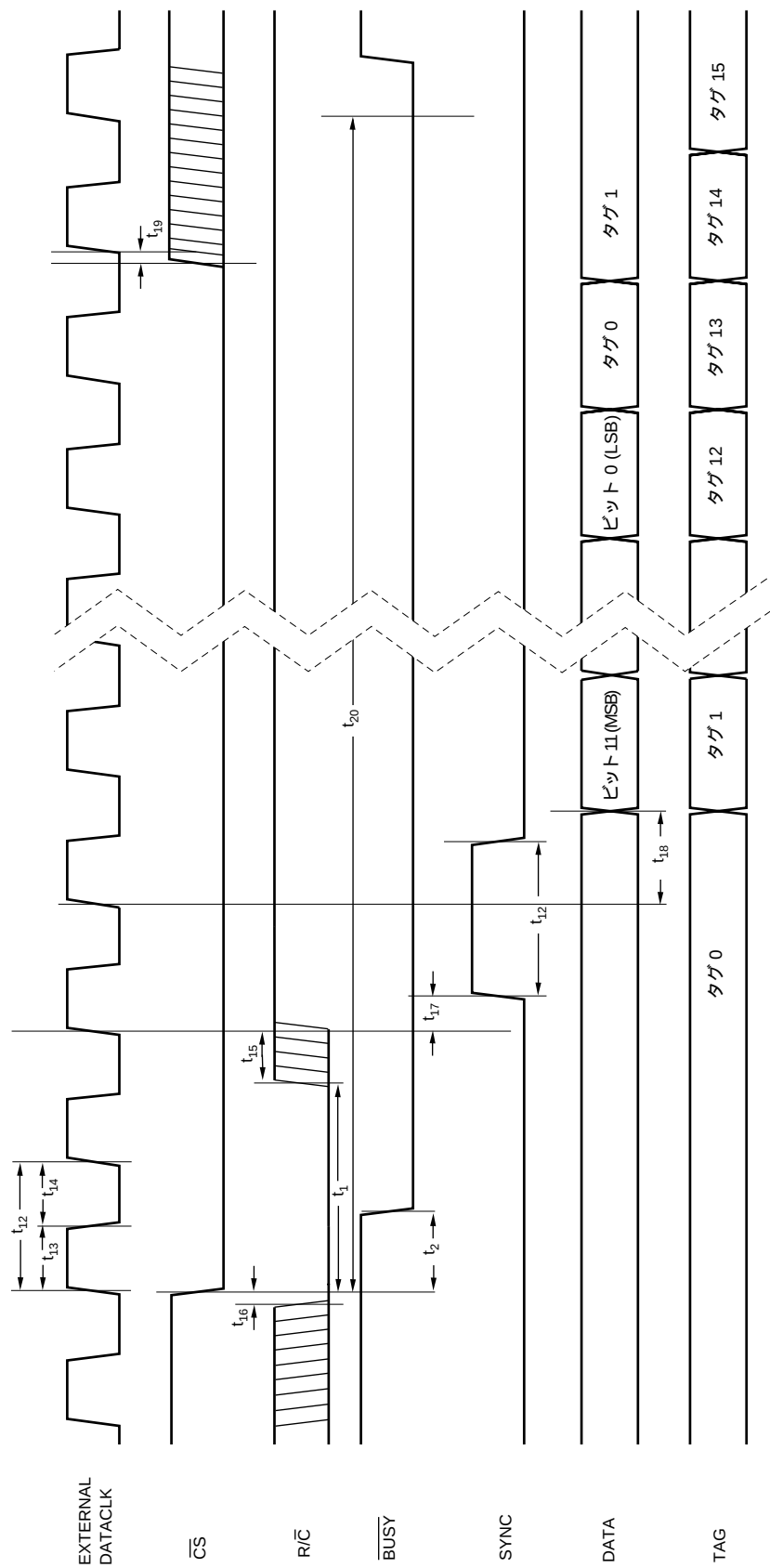
説明	アナログ入力						デジタル出力			
							2の補数バイナリ (SB/BTC “ロー”)		ストレート・バイナリ (SB/BTC “ハイ”)	
							バイナリ・コード	16進 コード	バイナリ・コード	16進 コード
フルスケール・レンジ	±10	±5	±3.33V	0V to 5V	0V to 10V	0V to 4V				
最下位ビット(LSB)	4.88mV	2.44mV	1.63mV	1.22mV	2.44mV	0.98mV				
+フルスケール(FS-1LSB)	9.99512V	4.99756V	3.33171V	4.99878V	9.99756V	3.99902V	0111 1111 1111	7FF	1111 1111 1111	FFF
ミッドスケール	0V	0V	0V	2.5V	5V	2V	0000 0000 0000	000	1000 0000 0000	800
ミッドスケールから1LSB以下	-4.88mV	-2.44mV	-1.63mV	2.49878V	4.99756V	1.99902V	1111 1111 1111	FFF	0111 1111 1111	7FF
-フルスケール	-10V	-5V	-3.33333V	0V	0V	0V	1000 0000 0000	800	0000 0000 0000	000

表IV. 理想入力電圧と出力コード



注：外部クロックを使用してデータを読み出す場合は、 $\overline{CS}$ の立ち下がりエッジが必要。

図3a. 外部クロックを使用した変換とリードのタイミング。(EXT/INTを"ハイ"に接続)変換後に読み出し



注：外部クロックを使用してデータを読み出す場合は、CSの立ち下がリエッジが必要。

図3b. 外部クロックを使用した変換とリードのタイミング。(EXT/INTを「ハイ」に接続)変換中に読み出し(前の変換結果)

入力範囲	トリムなし	トリム付き (0Vでオフセットを調整した後にゲインを調整する)
0V - 10V		
0V - 5V		
0V - 4V		

図4a. ユニポーラ入力範囲用オフセット/ゲイン回路

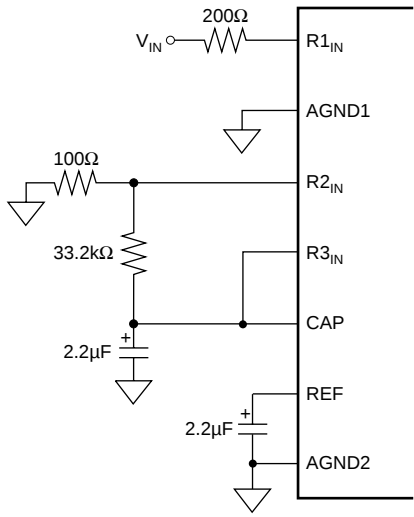
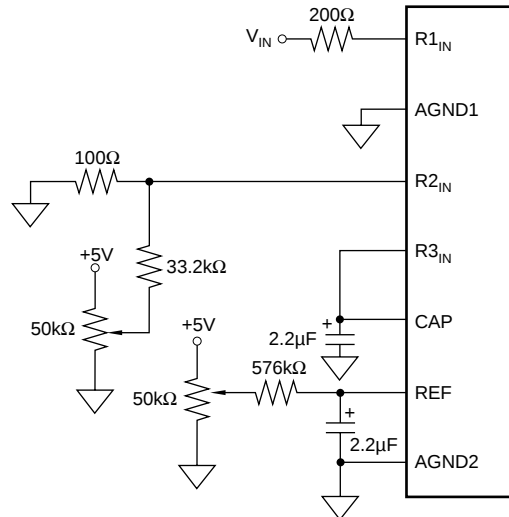
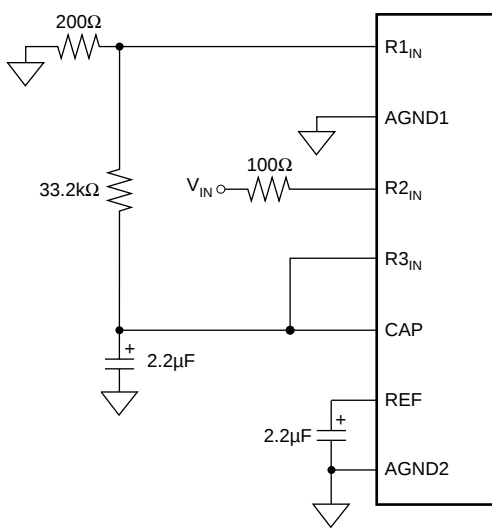
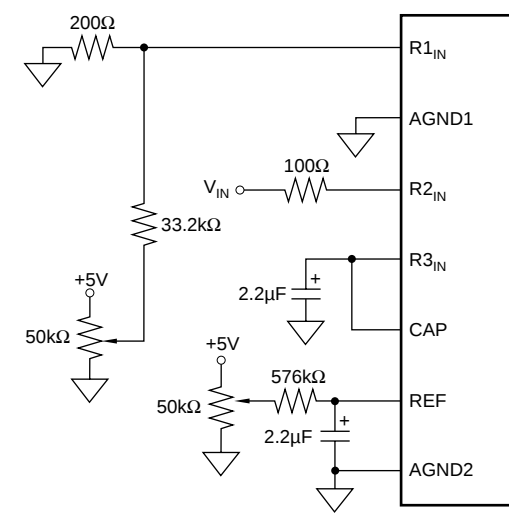
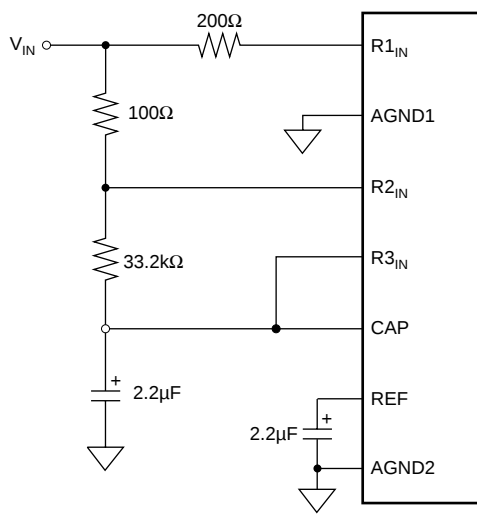
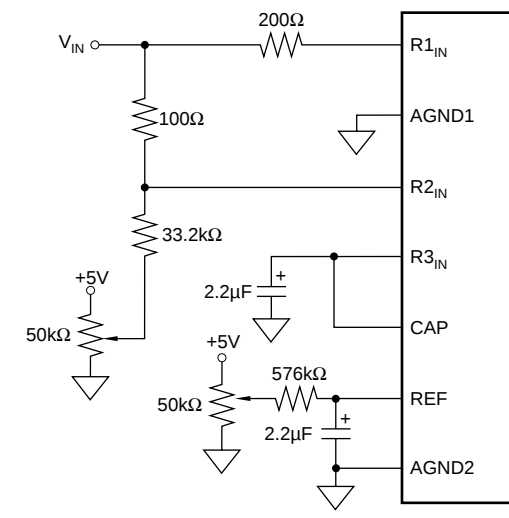
入力範囲	トリムなし	トリム付き (0Vでオフセットを調整した後にゲインを調整する)
$\pm 10V$		
$\pm 5V$		
$\pm 3.33V$		

図4b. バイポーラ入力範囲用オフセット/ゲイン回路

外觀

