

16ビット10 μ sサンプリングCMOS A/Dコンバータ

特長

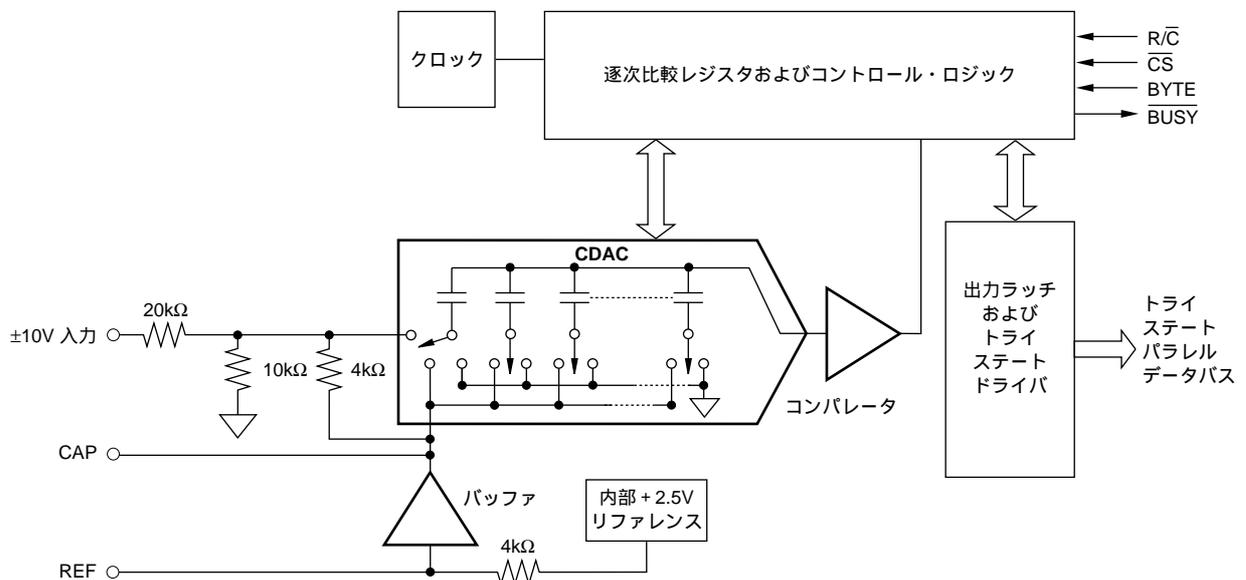
- サンプルング・レート：100kHz(最小)
- 工業標準入力範囲： ± 10 V
- SINAD：20kHz入力で86dB(最小)
- 積分直線性誤差： ± 3.0 LSB(最大)
- 微分直線性誤差：16ビットノーマissing・コード
- +5V単一電源動作
- 12ビットのADS7804とピン・コンパチブル
- 内部または外部リファレンスを使用可能
- フルパラレル・データの出力
- 消費電力：100mW(最大)
- 28ピン0.3インチ幅プラスチックDIPおよびSOP

概要

ADS7805は、最新のCMOS構造を使用した完全な16ビットのサンプリングのA/Dコンバータです。このコンバータは、キャパシタ・ベースの逐次比較型16ビットA/Dコンバータで、この方式が本質的に持つ電荷蓄積機能を利用したサンプル/ホールドと、リファレンス、クロック、マイクロプロセッサ用インターフェース、およびトリスレータ出力ドライバ等のA/Dコンバータに必要な全機能を内蔵しています。

ADS7805の仕様は、100kHzのサンプリング・レートで規定されており、全温度範囲で保証されています。斬新な設計により、+5Vの単一電源で動作し、100mW以下の低消費電力ながら、高精度にレーザ・トリミングされたスケール抵抗により、工業標準の ± 10 Vの入力範囲を実現しています。

ADS7805は28ピンのプラスチック0.3インチ幅DIPおよびSOPで供給され、どちらも-25 から+85 の工業温度範囲で仕様が完全に規定されています。



仕様

特に記述のない限り、 $T_A = -25^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $f_s = 100\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = +5\text{V}$ 、内部リファレンス使用です。

パラメータ	条件	ADS7805P, U			ADS7805PB, UB			単位
		最小	標準	最大	最小	標準	最大	
分解能				16			*	Bits
アナログ入力 電圧範囲 インピーダンス 容量			$\pm 10\text{V}$ 23 35			*	*	V k Ω pF
スループット速度 変換時間 スループット・レート	アキュジション + 変換	100		10	*		*	μs kHz
DC精度 積分直線性誤差 ノーミッシング・コード トランジション・ノイズ ⁽²⁾ フルスケール誤差 ^(3,4) フルスケール誤差ドリフト フルスケール誤差 ^(3,4) フルスケール誤差ドリフト バイポーラ・ゼロ誤差 ⁽³⁾ バイポーラ・ゼロ誤差ドリフト 電源感度 ($V_{\text{DIG}} = V_{\text{ANA}} = V_D$)	外部 2.5000V リファレンス使用 外部 2.5000V リファレンス使用 +4.75V < V_D < +5.25V	15	1.3	± 4 ± 0.5 ± 0.5 ± 10 ± 8	16	*	± 3 ± 0.25 ± 0.25 *	LSB ⁽¹⁾ Bits LSB % ppm/ % ppm/ mV ppm/ LSB
AC精度 スプリアスフリー・ダイナミック・レンジ (SFDR) 全高調波歪 (THD) 信号(雑音 + 歪)比 (SINAD) S/N比 (SNR) フルパワー帯域幅 ⁽⁶⁾	$f_{\text{IN}} = 20\text{kHz}$ $f_{\text{IN}} = 20\text{kHz}$ $f_{\text{IN}} = 20\text{kHz}$ -60dB Input $f_{\text{IN}} = 20\text{kHz}$	90 83 83	30	-90	94 86 86	32	-94	dB ⁽⁵⁾ dB dB dB dB kHz
サンプリングのダイナミック特性 アパーチャ遅延 過渡応答 過電圧復帰 ⁽⁷⁾	FSステップ		40 150	2		*	*	ns μs ns
リファレンス 内部リファレンス電圧 内部負荷に供給可能なソース電流 (外部バッファを使用してください) 内部リファレンス・ドリフト 直線性仕様を満たす 外部リファレンス電圧範囲 外部リファレンス電流ドレイン	外部 2.5000V リファレンス使用	2.48 2.3	2.5 1 8 2.5	2.52 2.7 100	*	*	*	V μA ppm/ V μA
デジタル入力 ロジック・レベル V_{IL} V_{IH} I_{IL} I_{IH}		-0.3 +2.0		+0.8 $V_D + 0.3\text{V}$ ± 10 ± 10	*	*	*	V V μA μA
デジタル出力 データ・フォーマット データ・コーディング V_{OL} V_{OH} リーク電流 出力容量	$I_{\text{SINK}} = 1.6\text{mA}$ $I_{\text{SOURCE}} = 500\mu\text{A}$ ハイ・インピーダンス状態 $V_{\text{OUT}} = 0\text{V}$ to V_{DIG} ハイ・インピーダンス状態	+4		15		*	*	V V μA pF
デジタル・タイミング バス・アクセス時間 バス解放時間				83 83			*	ns ns

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れに関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

仕様

特に記述のない限り、 $T_A = -25 \sim +85$ 、 $f_s = 100\text{kHz}$ 、 $V_{DIG} = V_{ANA} = +5\text{V}$ 、内部リファレンス使用です。

パラメータ	条件	ADS7805P, U			ADS7805PB, UB			単位	
		最小	標準	最大	最小	標準	最大		
電源 仕様に規定された性能	V_{ANA} 以下	V_{DIG}	+4.75	+5	+5.25	*	*	*	V
V_{ANA}		+4.75	+5	+5.25	*	*	*	V	
I_{DIG}				0.3		*	*	mA	
I_{ANA}				16		*	*	mA	
消費電力	$f_s = 100\text{kHz}$			100			*	mW	
温度範囲 仕様に規定された性能			-25		+85	*	*	*	°C
ディレーティングした性能			-55		+125	*	*	*	°C
保存			-65		+150	*	*	*	°C
熱抵抗(θ_{JA})							*	*	°C/W
プラスチックDIP SOP				75 75			*	*	°C/W °C/W

注：(1) 1LSBは最下位ビットを意味します。16ビット、 $\pm 10\text{V}$ 入力のADS7805の場合、1LSBは $305\mu\text{V}$ です。(2) フーストケースの遷移および温度における標準的なrmsノイズ。(3) 図1に示す固定抵抗で測定されます。外付けポテンショメータでゼロに調整できます。(4) フルスケール誤差は、トリムされないフルスケールまたは+フルスケールのワーストケース値と、理想的な最初および最後のコード・トランジションとの偏差を、遷移電圧で除算(フルスケール・レンジで除算しない)した値で、オフセット誤差の影響が含まれます。(5) 単位がdBのすべての仕様はフルスケール $\pm 10\text{V}$ 入力を基準にしています。(6) フルパワー帯域幅は信号(雑音+歪)比が60dB、すなわち10ビット精度に低下したときのフルスケール入力周波数で定義されます。(7) フルスケールの2倍の過電圧が印加された後、仕様に規定された性能に復帰するまでの回復時間。

絶対最大定格

アナログ入力: V_{IN}	$\pm 25\text{V}$
CAP	$+V_{ANA} + 0.3\text{V} \sim \text{AGND}2 - 0.3\text{V}$
REF	AGND2への無制限の短絡
	V_{ANA} への瞬時短絡
グランド電圧差: DGND、AGND1、AGND2	$\pm 0.3\text{V}$
V_{ANA}	7V
$V_{DIG} \sim V_{ANA}$	-0.3V
V_{DIG}	7V
デジタル入力	$-0.3\text{V} \sim +V_{DIG} + 0.3\text{V}$
最大接合部温度	$+165^\circ\text{C}$
内部消費電力	825mW
リード線の温度(10秒間の半田付け)	$+300^\circ\text{C}$



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

パッケージ情報

モデル	パッケージ	パッケージ図番号 ⁽¹⁾
ADS7805P	プラスチックDIP	246
ADS7805PB	プラスチックDIP	246
ADS7805U	SOP	217
ADS7805UB	SOP	217

注：(1) 詳細図および寸法表については、データシートの巻末を参照してください。

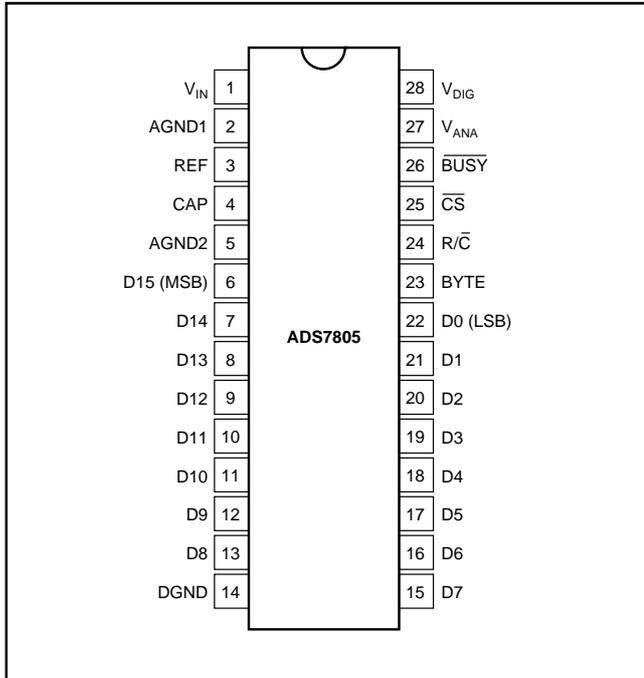
御発注の手引き

モデル	最大直線性誤差 (LSB)	最小信号 (雑音+歪) 比(dB)	仕様温度範囲	パッケージ
ADS7805P	± 4	83	$-25^\circ\text{C} \sim +85^\circ\text{C}$	プラスチックDIP
ADS7805PB	± 3	86	$-25^\circ\text{C} \sim +85^\circ\text{C}$	プラスチックDIP
ADS7805U	± 4	83	$-25^\circ\text{C} \sim +85^\circ\text{C}$	SOP
ADS7805UB	± 3	86	$-25^\circ\text{C} \sim +85^\circ\text{C}$	SOP

ピン番号	ピン名	デジタルI/O	説明
1	V _{IN}		アナログ入力。図7参照。
2	AGND1		アナログ・グラウンド。グラウンド基準点として内部で使用。
3	REF		リファレンス入出力。2.2μFのタンタル・コンデンサをピンとグラウンド間に接続する。
4	CAP		リファレンス・バッファ・コンデンサ。2.2μFタンタルをグラウンドとの間に接続する。
5	AGND2		アナログ・グラウンド。
6	D15 (MSB)	O	データ・ビット15。変換結果の最上位ビット (MSB)。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
7	D14	O	データ・ビット14。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
8	D13	O	データ・ビット13。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
9	D12	O	データ・ビット12。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
10	D11	O	データ・ビット11。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
11	D10	O	データ・ビット10。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
12	D9	O	データ・ビット9。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
13	D8	O	データ・ビット8。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
14	DGND		デジタル・グラウンド。
15	D7	O	データ・ビット7。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
16	D6	O	データ・ビット6。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
17	D5	O	データ・ビット5。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
18	D4	O	データ・ビット4。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
19	D3	O	データ・ビット3。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
20	D2	O	データ・ビット2。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
21	D1	O	データ・ビット1。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
22	D0 (LSB)	O	データ・ビット0。変換結果の最下位ビット (LSB)。CSがハイまたはR/Cがローのときハイ・インピーダンス状態になる。
23	BYTE	I	上位8ビット("ロー")または、下位8ビット("ハイ")のどちらかに切り替える。
24	R/C	I	CSがローでBUSYがハイのときR/Cの立ち下がりエッジで新しい変換が開始される。CSがローの場合、R/Cの立ち上がりエッジでパラレル出力がイネーブルされる。
25	CS	I	内部でR/CとOR接続されている。もしR/Cがローであれば、CSの立ち下がりエッジで新しい変換を開始する。
26	BUSY	O	変換の開始でBUSYはローになり、変換が完了しデジタル出力がアップデートされるまでローを保つ。
27	V _{ANA}		アナログ電源入力。標準+5V。0.1μFセラミックおよび10μFタンタル・コンデンサでグラウンドにデカップリングする。
28	V _{DIG}		デジタル電源入力。公称+5V。ピン27に直接接続する。V _{ANA} と同じか、それ以下でなければならない。

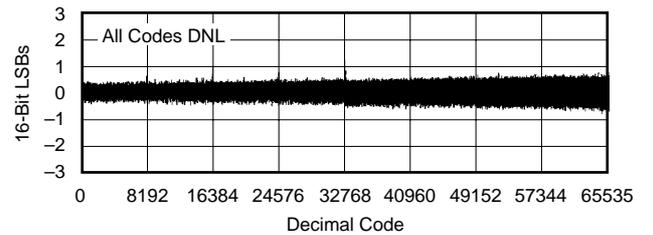
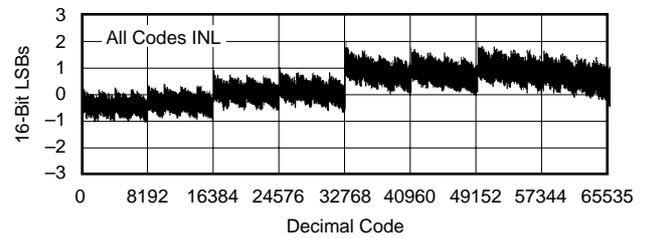
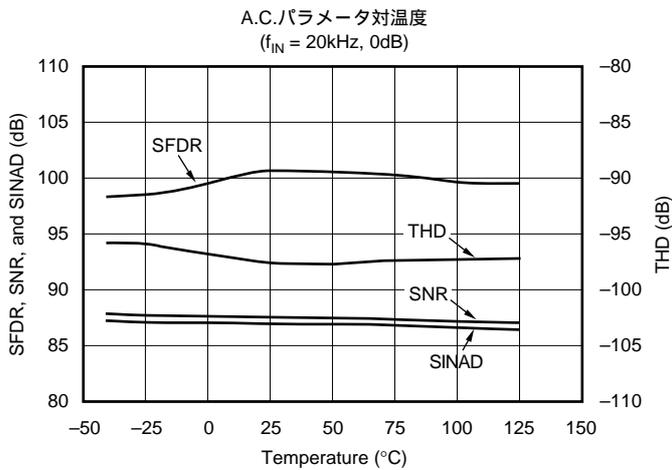
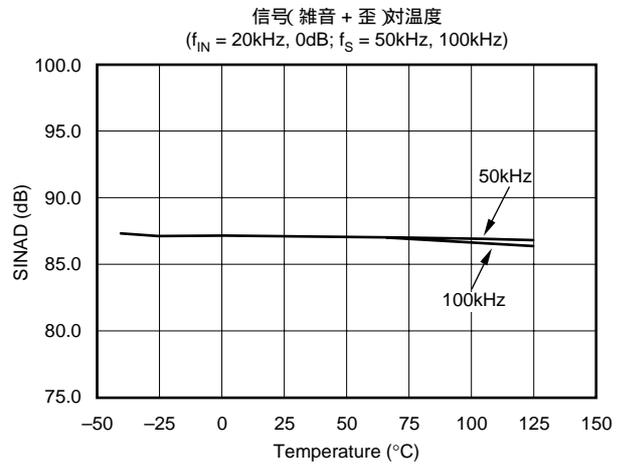
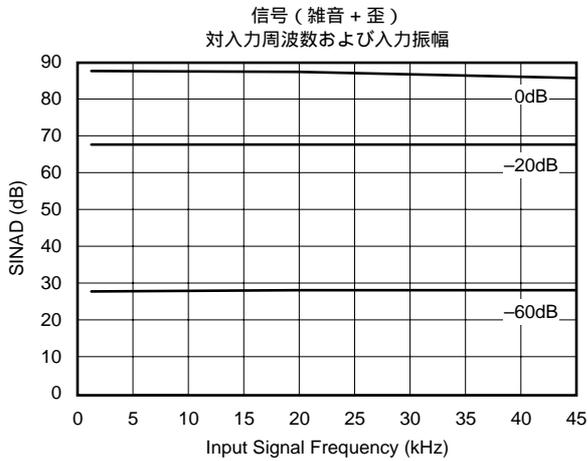
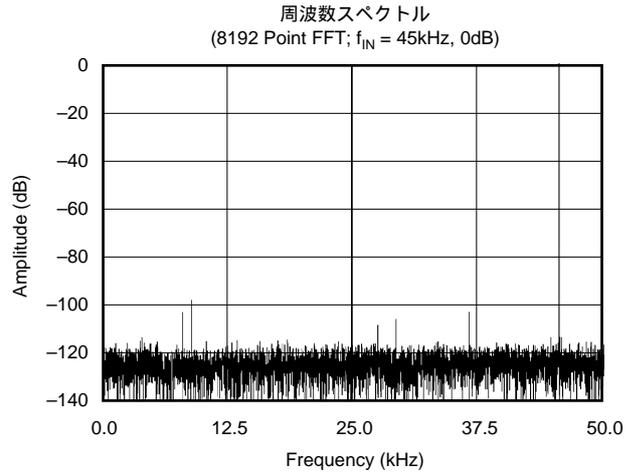
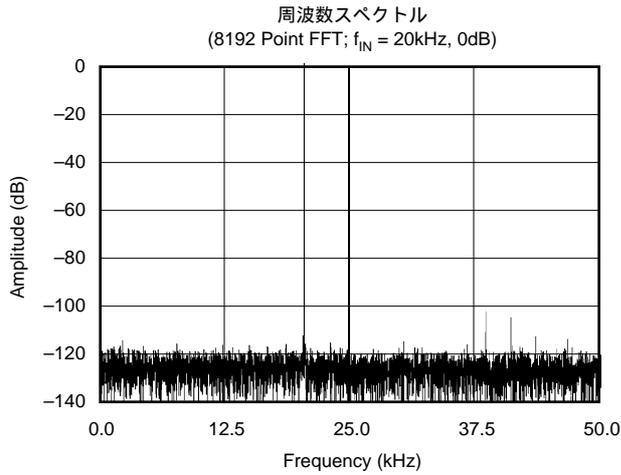
表. ピン構成

ピン配置



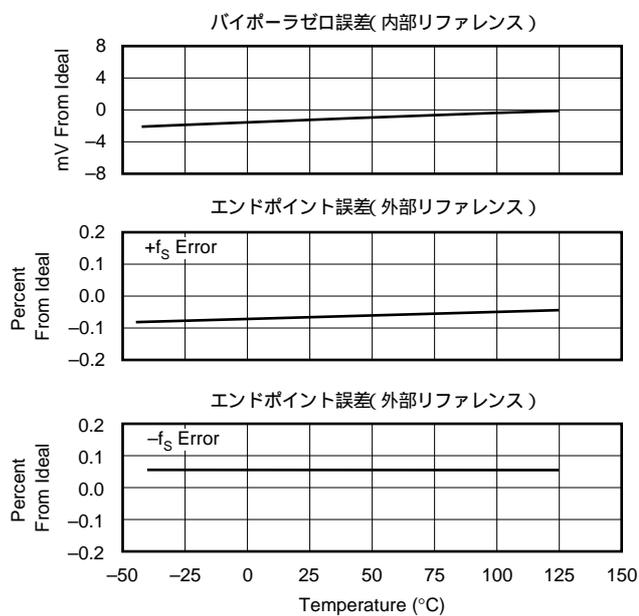
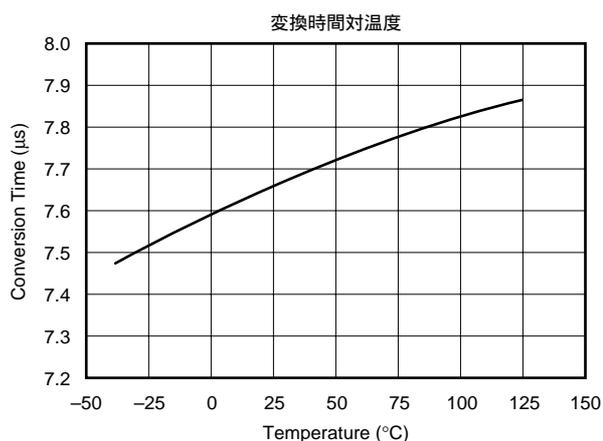
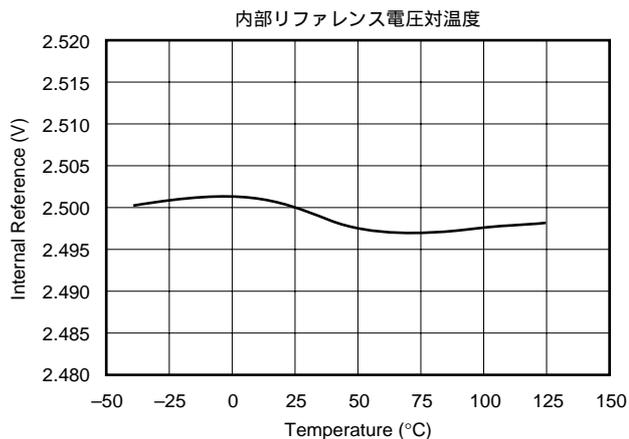
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_S = 100\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = +5\text{V}$ 、内部リファレンス、図6bに示す固定抵抗を使用しています。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_s = 100\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = +5\text{V}$ 、内部リファレンス、図6bに示す固定抵抗を使用しています。



基本操作

図1に、ADS7805をフル・パラレルデータ出力で操作する場合の基本回路が示されています。R/C(ピン24)を最低40ns(最大7μs)“ロー”にすることによって変換が開始され、BUSY(ピン26)が“ロー”になります。BUSYは変換が完了し出力レジスタが更新されるまで“ロー”が維持されます。データはピン6をMSBとする2の補数バイナリ・フォーマットで出力されます。BUSYの立ち上がりエッジでデータをラッチすることができます。BUSYが“ロー”の間は、すべての変換コマンドが無視されます。

ADS7805は変換の終了時に入力信号のトラッキングを開始します。新しい信号の正確なアキュイジションを保証するためには、変換コマンド間に10μsを与える必要があります。オフセットおよびゲインは単一電源での外部トリムを可能にするように内部で調整されています。

外部抵抗がこの調整を補償します。またオフセットとゲインがソフトウェアで修正される場合は外部抵抗を取り除くことができます(“キャリブレーション”の項を参照して下さい)。

変換の開始

CS(ピン25)とR/C(ピン24)が最低40nsの間“ロー”になると、直ちにADS7805のサンプル/ホールドがホールド状態になり変換“n”が開始されます。BUSY(ピン26)は“ロー”になり変換“n”が完了し内部出力レジスタが更新されるまで“ロー”が保持されます。BUSYが“ロー”の間はすべての新しい変換コマンドが無視されます。新しい信号をアキュイジションする時間が十分でないまま新しい変換が開始されてしまうので、CSとR/C、あるいはCSまたはR/Cは、BUSYが“ハイ”になる前に“ハイ”にならなければなりません。

ADS7805は、変換の終了時に入力信号のトラッキングを開始します。新しい信号の正確なアキュイジションを保証するためには、変換コマンド間に25μsを与える必要があります。表IIでCS、R/C、

およびBUSYの状態を参照して下さい。また、図3から図5のタイミング図を参照して下さい。

CSおよびR/Cは内部でOR接続されており、レベルトリガされます。変換を開始する際にはどの入力も最初に“ロー”になっても構いません。しかし、CSまたはR/Cにより変換“n”を開始する場合には、変換を開始する信号をアクティブにする前に、他方の信号を最低でも10ns以上“ロー”に保たなければなりません。

制御ピンの数を減らすためには、R/Cを読み取りおよび変換モードの制御に使用してCSを“ロー”に接続することができます。これは内部データ・クロックをシリアル出力モードで使用している場合は影響ありませんが、パラレル出力はR/Cが“ハイ”になるたびにアクティブになります。データのリードの項を参照して下さい。

CS	R/C	BUSY	動作
1	X	X	なし。データバスはハイ・インピーダンス状態。
↓	0	1	変換“n”を開始。データバスはハイ・インピーダンス状態を維持。
0	↓	1	変換“n”を開始。データバスはハイ・インピーダンス状態になる。
0	1	↑	変換“n”完了。変換“n”の有効なデータがデータバスに現れる。
↓	1	1	変換“n”からの有効データでデータバスをイネーブルにする。
↓	1	0	変換“n-1”からの有効データでデータバスをイネーブルにする。変換“n”は進行中。
0	↑	0	変換“n-1”からの有効データでデータバスをイネーブルにする。変換“n”は進行中。
0	0	↑	新しい信号のアキュイジションなしで新しい変換を開始。データは無効なものになる。BUSYが“ハイ”になるとCSとR/C、またはCSがR/Cは“ハイ”でなければならない。
X	X	0	新しい変換コマンドは無視される。変換“n”は進行中。

注：(1)変換“n-1”のデータ有効の制約は図3および図4を参照して下さい。

表II.“読み取り”および“変換”の制御ラインの機能

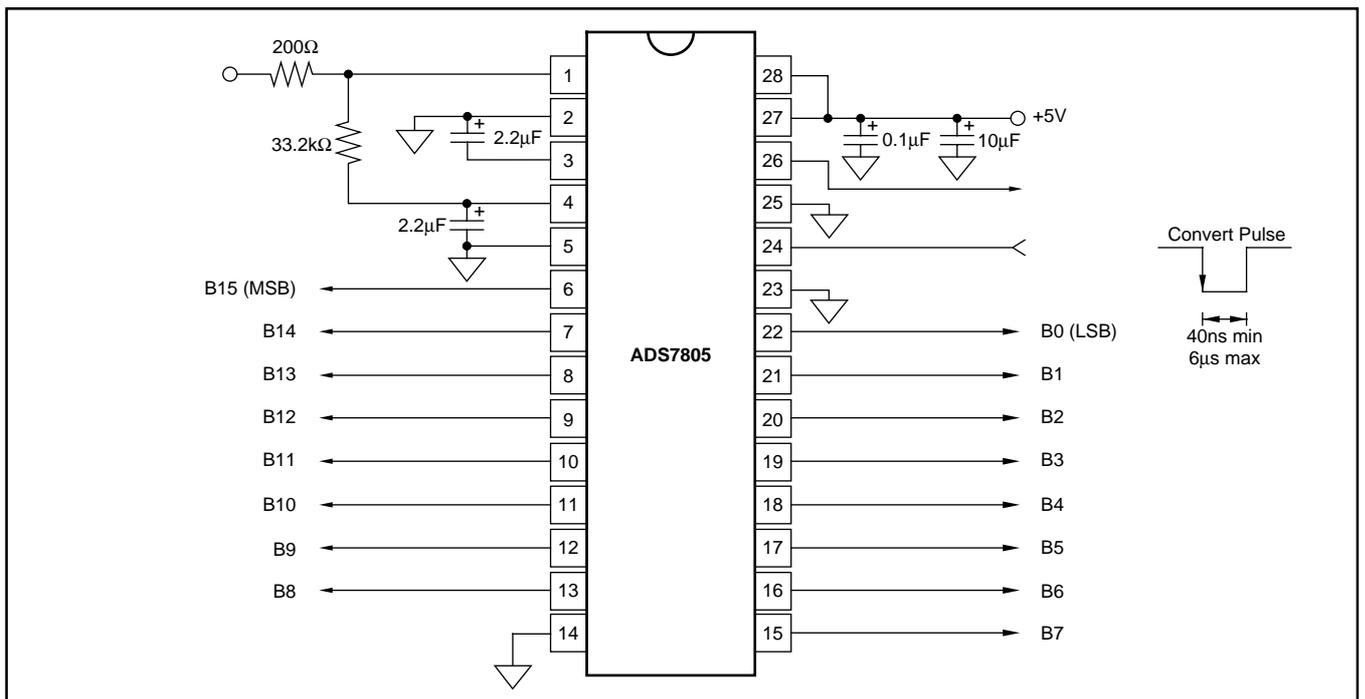


図1. 基本操作

データの読み取り

ADS7805は、フルまたはバイト単位のパラレル・データをバイナリの2の補数データ出力フォーマットで出力します。R/C \bar{C} ピン24が「ハイ」でCS \bar{C} (ピン25)が「ロー」の時、パラレル出力がアクティブになります。これ以外のCSとR/C \bar{C} の組み合わせは、パラレル出力をトライステート状態にします。有効な変換データは、ピン6から13およびピン15から22で、フル・パラレル、16ビット×1ワードまたは8ビット×2バイトで読むことができます。BYTE(ピン23)は両方のバイトを1変換サイクル内で読み取るためにトグルできます。理想的な出力コードは表IIIを、BYTEの状態に応じたビット位置は図2を参照して下さい。

説明	アナログ入力	デジタル出力 2の補数バイナリ	
		バイナリ・コード	16進コード
フルスケール・レンジ	±10V		
最下位ビット (LSB)	305μV		
+フルスケール (10V-1LSB)	9.999695V	0111 1111 1111 1111	7FFF
ミッドスケール	0V	0000 0000 0000 0000	0000
ミッドスケールから1LSB以下	-305μV	1111 1111 1111 1111	FFFF
-フルスケール	-10V	1000 0000 0000 0000	8000

表III. 理想入力電圧および出力コード

パラレル出力(変換後)

変換「n」が完了し出力レジスタが更新されると、BUSY(ピン26)は「ハイ」になります。変換「n」からの有効データはD15-D0(ピン6~13、およびピン15~22)で得られます。BUSYが「ハイ」になるのを利用してデータをラッチすることができます。タイミングの制約は表IVおよび図3、図5を参照して下さい。

パラレル出力(変換中)

変換「n」が開始されると、変換「n」の開始後7μsまで変換「n-1」の有効データを読むことができます。変換「n」の開始後7μs以降は無効なデータを読み取る可能性があるため、BUSY(ピン26)が「ハイ」になるまでデータの読み取りは行わないで下さい。タイミングの制約は表IVおよび図3、図5を参照して下さい。

注：最高の性能を得るためには、変換中にデータを読み取らないで下さい。非同期データ転送のスイッチング雑音がデジタル・フィードスルーを引き起こし、コンバータの性能を劣化させます。

制御ラインの数を減らすためには、R/C \bar{C} を変換の開始およびコンバータの出力モードの起動に使用してCSを「ロー」に接続することができます。図3を参照して下さい。

記号	説明	最小	標準	最大	単位
t ₁	コンバート・パルス幅	40		7000	ns
t ₂	R/C \bar{C} 「ロー」後のデータ有効遅延			8	μs
t ₃	R/C \bar{C} 「ロー」からのBUSY遅延			65	ns
t ₄	BUSY「ロー」			8	μs
t ₅	変換終了後のBUSY遅延		220		ns
t ₆	アパーチャ遅延	40			ns
t ₇	変換時間	7.6		8	μs
t ₈	アクイジション時間			2	μs
t ₉	バス解放時間	10	35	83	ns
t ₁₀	データ有効後のBUSY遅延	50	200		ns
t ₁₁	R/C \bar{C} 「ロー」後の前データ有効		7.4		μs
t ₇ + t ₆	スループット時間		9	10	μs
t ₁₂	R/C \bar{C} からCSまでのセットアップ時間	10			ns
t ₁₃	変換間隔	10			μs
t ₁₄	バス・アクセス時間およびBYTE遅延	10		83	ns

表IV. 変換タイミング

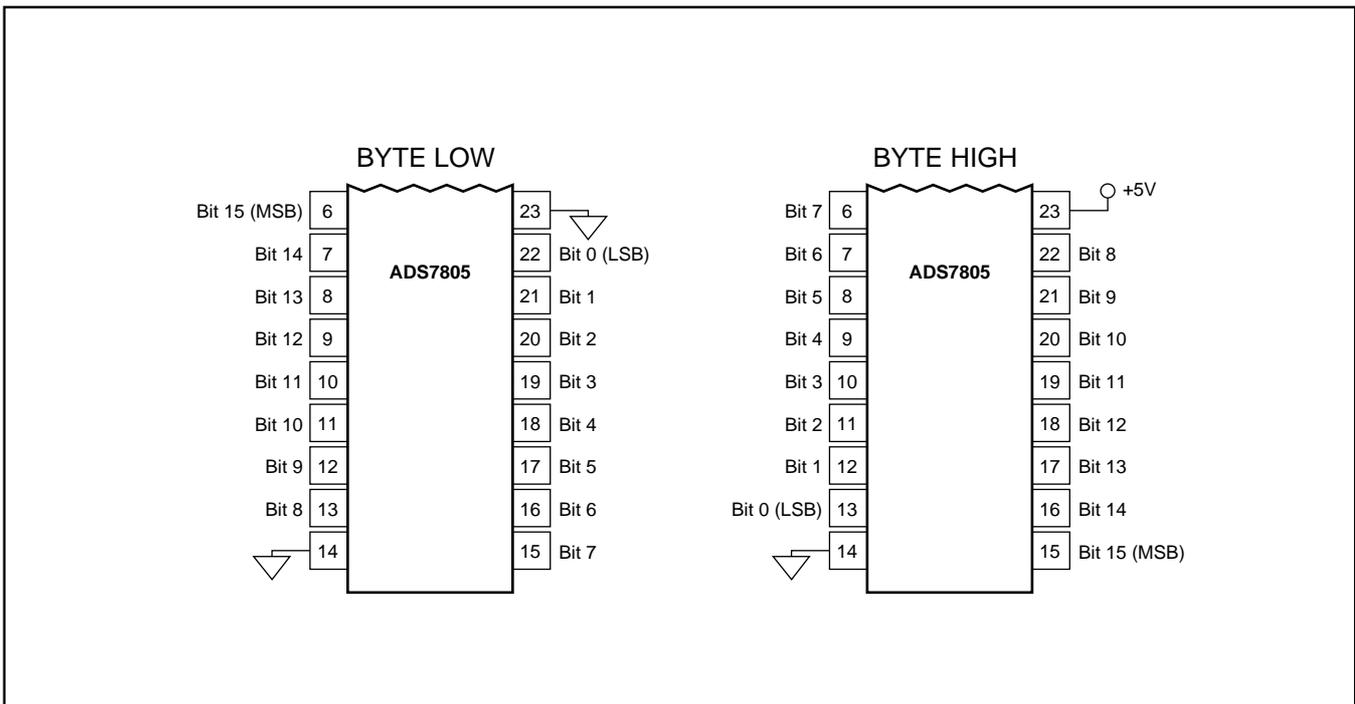


図2. BYTE(ピン23)の状態に応じたビット位置

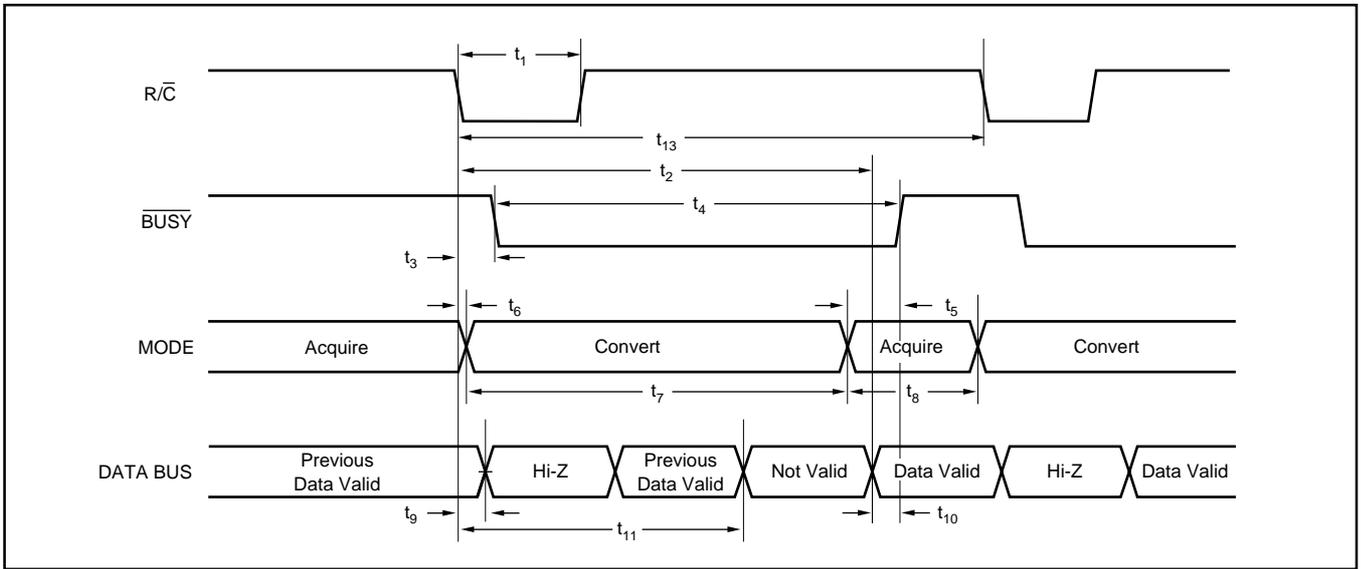


図3. 変換後に出力をイネールする場合の変換タイミング(\overline{CS} を'L'に接続)

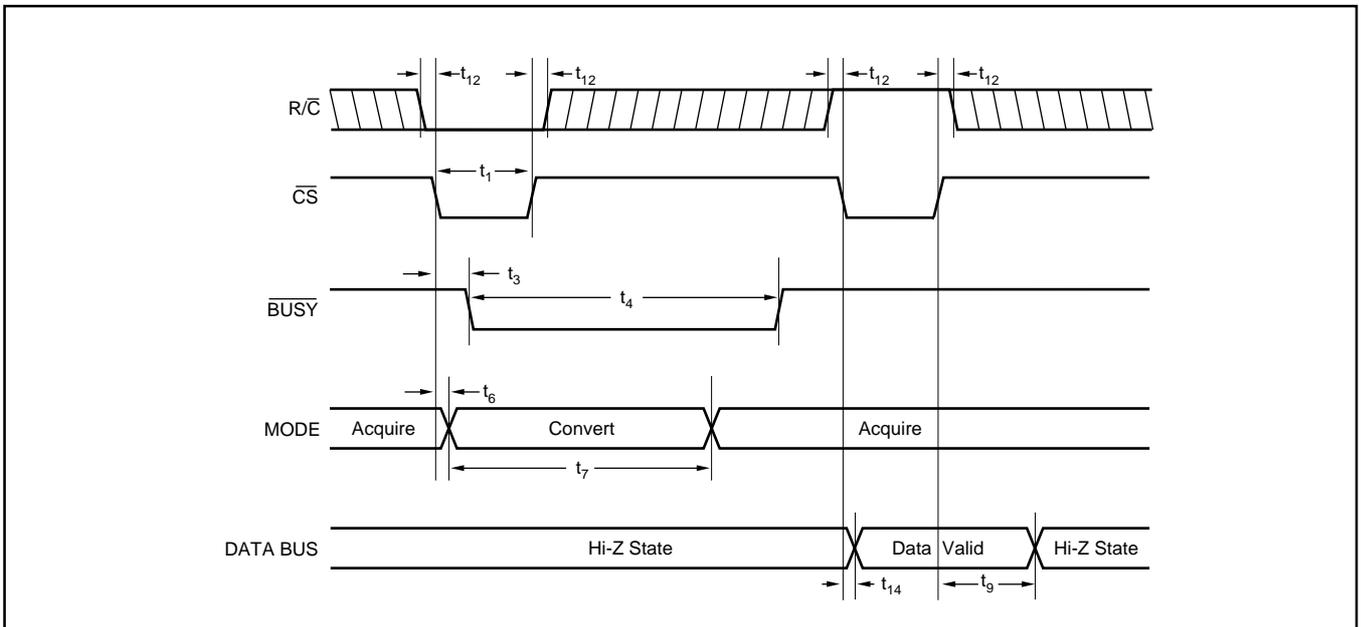


図4. \overline{CS} による変換制御と読み取りのタイミング

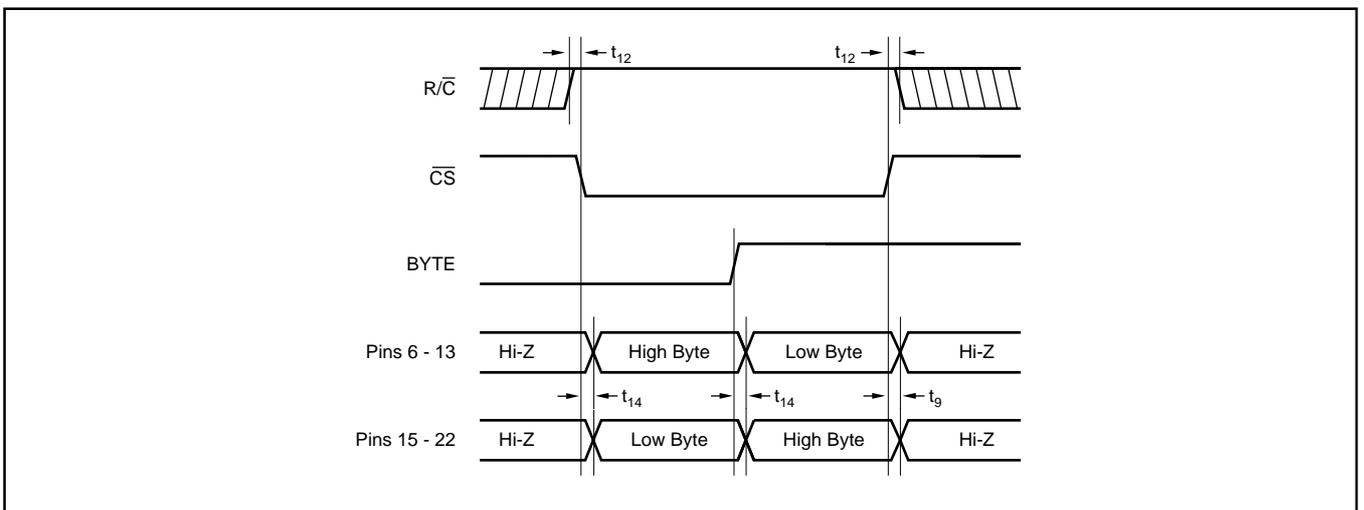


図5. \overline{CS} およびBYTEによるデータ・バスの制御

入力レンジ

ADS7805には、標準 $\pm 10\text{V}$ の入力レンジが備えられています。図6にハードウェア・トリムがある場合とない場合のADS7805に必要な回路接続が示されています。オフセットおよびフルスケール誤差⁽¹⁾仕様は、図6bで示されている固定抵抗でテスト済み保証されています。オフセットおよびゲインの調整については「キャリブレーション」の項を参照して下さい。

オフセットおよびゲインは、単一電源での外部トリムを実現するため内部で調整されています。外部抵抗はこの調整を補償します。オフセットおよびゲインがソフトウェアで修正される場合は外部抵抗は必要ありません(「キャリブレーション」の項を参照して下さい)。

$23\text{k}\Omega$ の公称入力インピーダンスは、内部抵抗ネットワーク(このデータシートの表紙を参照)と外部抵抗の組合わせで生じます。入力抵抗分割ネットワークは、最低 $\pm 25\text{V}$ の過電圧保護を本質的に備えています。外部回路に使用される1%抵抗によってコンバータの精度やドリフトが犠牲になることはありません。これらの抵抗は内部抵抗に比較して影響が小さく、厳しい許容誤差も要求されません。

注:(1)フルスケール誤差は、+FSと-FSの両方で測定され、オフセットおよびゲイン誤差を含んでいます。

キャリブレーション

ADS7805は、ハードウェアでもソフトウェアでもトリムできます。オフセットの影響でゲインが変化するため、ゲインより前にオフセットをトリムすることが必要です。最高の性能を得るためには、調整を数回繰り返さなければならないことがあります。

ハードウェアでのキャリブレーション

ADS7805のオフセットおよびゲインをハードウェアでキャリブレーションするには、図6aで示されている抵抗およびポテンショメータを取り付けて下さい。キャリブレーションの範囲は、オフセットが $\pm 15\text{mV}$ 、ゲインが $\pm 60\text{mV}$ です。

ソフトウェアでのキャリブレーション

ADS7805のオフセットおよびゲインをソフトウェアでキャリブレーションする場合は、外部抵抗は必要ありません。外部抵抗に関しての詳細は「キャリブレーションなし」の項を参照して下さい。外部抵抗がある場合とない場合のオフセットおよびゲイン誤差の範囲は、表Vを参照して下さい。

キャリブレーションなし

回路接続は図6bを参照して下さい。アプリケーションによっては図6bに示されている外部抵抗は必要ないことがあります。これらの抵抗は、単一電源によるキャリブレーションが可能のようにオフセットおよびゲインの内部調整を補償します。ADS7805の公称伝達関数は、図7に示されているグレーの領域が境界になります。標準的オフセットは -30mV 、標準的ゲイン誤差は -1.5% です。外部抵抗がある場合とない場合のオフセットおよびゲイン誤差の範囲は表Vを参照して下さい。

	外部抵抗あり	外部抵抗なし	単位
BPZ 誤差	$-10 < \text{誤差} < 10$ $-30 < \text{誤差} < 30$	$-50 < \text{誤差} < -15$ $-150 < \text{誤差} < -45$	mV LSBs
ゲイン 誤差	$-0.5 < \text{誤差} < 0.5$	$-2 < \text{誤差} < -1$	% of FSR

表V. 外部抵抗がある場合とない場合のバイポーラ・オフセットおよびゲイン誤差

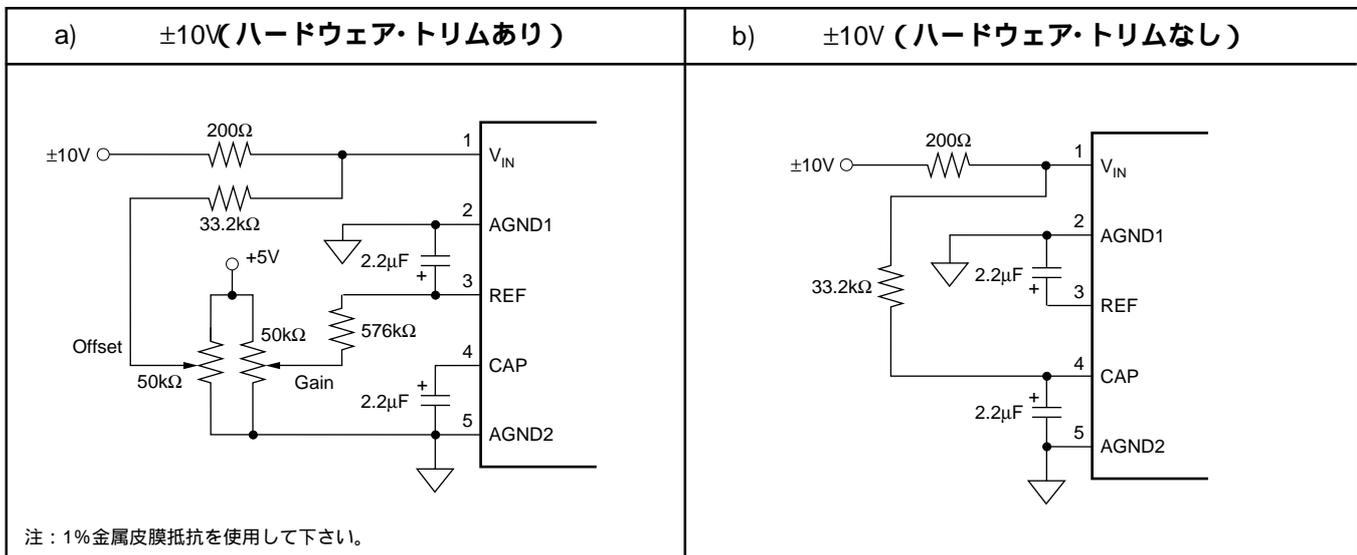


図6. 外部抵抗がある場合とない場合の回路図

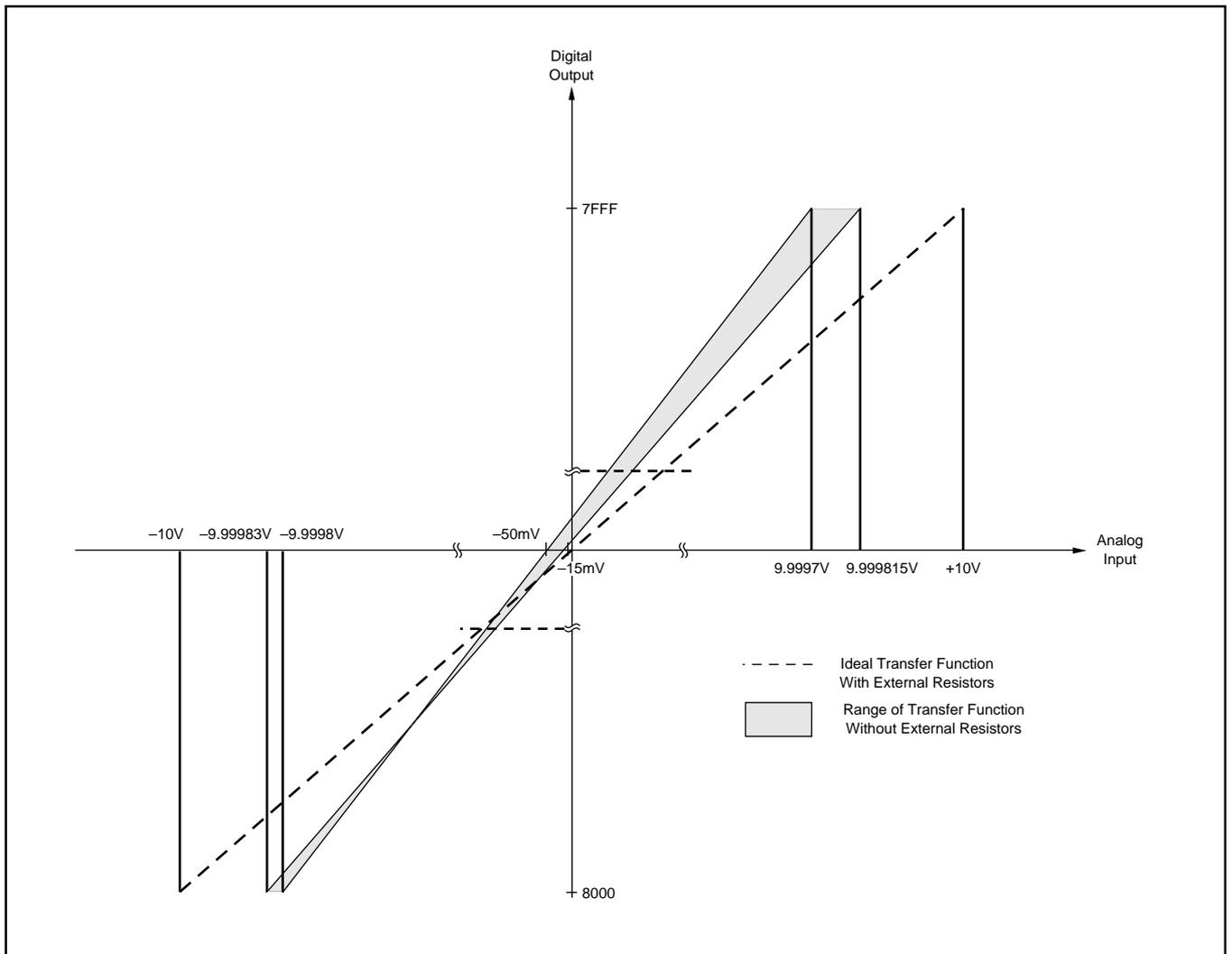


図7. フルスケールの伝達関数

リファレンス

ADS7805は、内部の2.5Vのリファレンスまたは外部リファレンスで動作することができます。ピン3に外部リファレンスを与えることによって内部リファレンスをバイパスすることができます。REFのリファレンス電圧は内部的にバッファされ、CAP(ピン4)に出力されます。

内部リファレンスは8ppm/ のドリフト(標準)を持ち、フルスケール誤差(ロー・グレードの場合は $\pm 0.5\%$ 、ハイ・グレードの場合は $\pm 0.25\%$)の約20%の原因となります。

REF

REF(ピン3)は、外部リファレンスの入力または2.5Vの内部リファレンスの出力です。2.2 μ FのコンデンサをREFピンのできる限り近くに接続して下さい。このコンデンサとREFの出力抵抗は、リファレンス雑音の帯域幅を制限するローパスフィルタを形成します。これよりも小さい値のコンデンサを使用すると、より多くのリファレンス雑音を発生しSNRおよびSINADを劣化させます。REFピンは外部ACまたはDC負荷をドライブするのに使用しないで下さい。

外部リファレンスの範囲は2.3V ~ 2.7Vで、実際のLSBの大きさを決定します。リファレンス電圧を増大すると、コンバータのフルスケールの範囲とLSBの大きさが増えSNRを改善することができます。

CAP

CAP(ピン4)は内部リファレンス・バッファの出力です。変換サイクル中のCDACのスイッチング電流を最適化するために、2.2 μ Fのコンデンサをできる限りCAPピンの近くに配置して下さい。このコンデンサは内部バッファの出力の補償も行います。1 μ Fよりも小さいコンデンサを使用すると、出力バッファの発振を引き起こしCDACに十分な電荷を供給できなくなる可能性があります。また2.2 μ Fよりも大きな値のコンデンサを使用しても性能は目立って改善されません。

バッファの出力は、2mAまでの電流をDC負荷にドライブすることができます。CAPピンから2mA以上の電流を必要とするDC負荷は、ADS7805の直線性を劣化させます。外部バッファを使用すると、より大きなDC負荷およびAC負荷での内部リファレンスの使用が可能になります。コンバータの性能を劣化させるので、CAPの出力電圧で直接AC負荷をドライブしようとししないで下さい。

レイアウト

電源

最高の性能を得るためには、アナログおよびデジタル電源ピンを同一の+5V電源に接続し、またアナログとデジタル・グランドをつなげて接続して下さい。電気的仕様の部分で示されているように、ADS7805は90%の電力をアナログ回路に使用しますので、ADS7805はアナログ・コンポーネントとして考えて下さい。

A/Dへの+5Vの電力は、システムのデジタル・ロジックに使用される+5Vから分離して下さい。 V_{DIG} (ピン28)をデジタル電源に直接接続すると、デジタル・ロジックからのスイッチング雑音によってコンバータの性能が落ちてしまいます。最高の性能を得るためには、+5V電源は他のアナログ・シグナル・コンディショニングなどに使用されているアナログ電源を使用して下さい。+12Vまたは+15Vの電源がある場合は、簡素な+5Vのレギュレータを使用することができます。もしもデジタル電源でコンバータに電源供給しなければならない場合(どうしても必要な場合に限る)は、電源を正しくフィルタして下さい。フィルタされたデジタル電源を使用する場合もレギュレートされたアナログ電源を使用する場合も、 V_{DIG} と V_{ANA} の両方を同一の+5Vソースに接続して下さい。

グラウンディング

ADS7805には3つのグランド・ピンがあります。DGNDはデジタル電源グランド、AGND2はアナログ電源グランドです。またAGND1は、A/D内部のすべてのアナログ信号の基準となるグランドです。AGND1は電流に誘導された電圧降下に対してより敏感なので、電源へのリターンパスの抵抗は最小にしなければなりません。

最高の性能を実現するために、A/Dのすべてのグランド・ピンはシステムのデジタル・ロジック・グランドから分離されたアナログ・グランド・プレーンに接続して下さい。アナログおよびデジタル・グランド・プレーンはどちらも、できる限り電源の近くでシステム・グランドに接続して下さい。こうすると、電源グランドへの同相インピーダンスを通してアナログ・グランドの変調を引き起こすダイナミック・デジタル・グランド電流を防ぐのに役立ちます。

シグナル・コンディショニング

多くのCMOS A/Dコンバータのサンプル/ホールドに使用されるFETスイッチは、かなりの量のチャージ・インジェクションを放出し、ドライブしているオペアンプを共振させる可能性があります。ADS7805のFETスイッチによるチャージ・インジェクションの量は、他のCMOS A/DコンバータのFETスイッチの5%から10%です。また、ADS7805は放出された電荷を減衰させる抵抗性のフロント・エンドを備えており、その結果、フロント・エンドのアンチ・エイリアス・フィルタに要求される条件が緩和されます。アプリケーション上の信号をドライブ可能なオペアンプであれば、ADS7805をドライブすることができます。

ADS7805の抵抗性フロント・エンドは、 $\pm 25V$ までの過電圧への保護を保証します。ほとんどの場合、この保護によって外部の入力保護回路を付ける必要がなくなります。

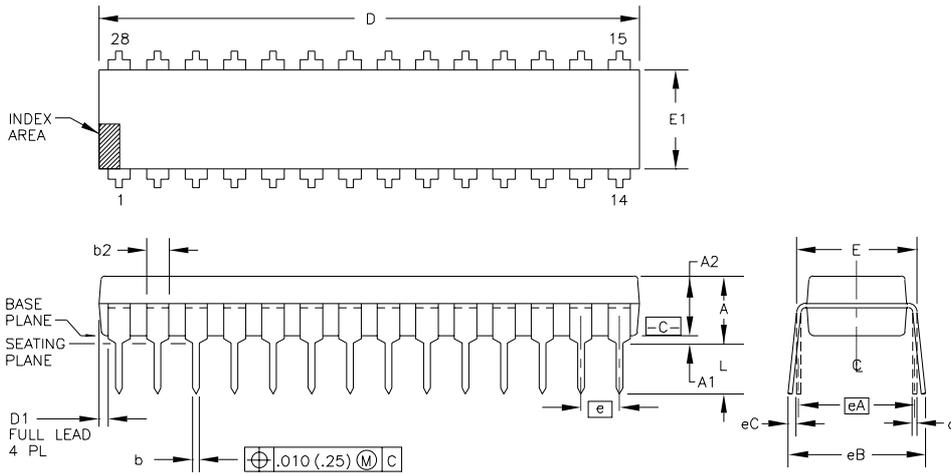
中間ラッチ

ADS7805にはパラレル・ポート用のトライステート出力がありますが、変換中にバスがアクティブになる場合は中間ラッチを使用して下さい。また変換中にバスがアクティブにならないならば、トライステート出力はA/Dを同じバス上の他の周辺装置から分離するのに使うことができます。A/Dがデータ・バス上の唯一の周辺装置である場合もトライステート出力を使用できます。

中間ラッチは、すべてのモノリシックA/Dコンバータに有効です。ADS7805の内部LSBサイズは $38\mu V$ です。パラレル・ポートの高速スイッチング信号からのトランジェントは、A/Dがトライステートの時でもサブストレートを通してアナログ回路と結合することがあり、コンバータの性能を劣化する可能性があります。

外観

パッケージ番号246 - 28ピン・プラスチック・シングル幅DIP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	--	.210	--	5.33	3		L	.115	.150	2.92	3.81	3	
A1	.015	--	0.38	--	3		N	28		28		7	
A2	.115	.195	2.92	4.95									
b	.014	.022	0.36	0.56									
b2	.045	.070	1.14	1.78	9								
c	.008	.014	0.20	0.36									
D	1.385	1.425	35.18	36.20	4								
D1	.005	--	0.13	--	4								
E	.300	.325	7.62	8.26	5								
E1	.240	.280	6.10	7.11	4								
e	.100 BASIC		2.54 BASIC										
eA	.300 BASIC		7.62 BASIC		5								
eB	--	.430	--	10.92	6								
eC	.000	.060	0.00	1.52	6								

NOTES:

1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM [C] .
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.
8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.

9. b2 MAXIMUM DIMENSION DOES NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).

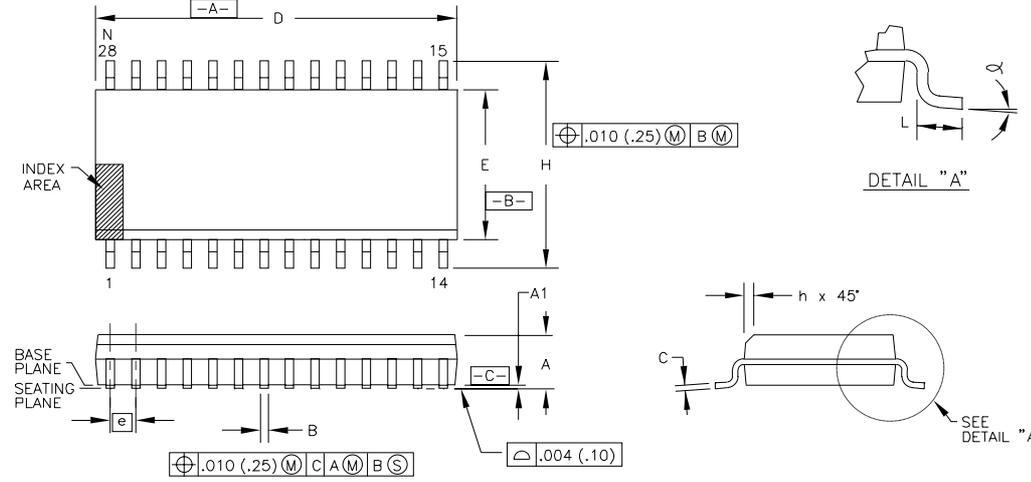
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.

11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ246 REV.: D
 JEDEC NUMBER: MS-001-AG
 WITH THE EXCEPTION OF "N"

パッケージ番号217 - 28ピンSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	.0926	.1043	2.35	2.65									
A1	.004	.0118	0.10	0.30									
B	.013	.020	0.33	0.51	7								
C	.0091	.0125	0.23	0.32									
D	.6969	.7125	17.70	18.10	2								
E	.2914	.2992	7.40	7.60	3								
e	.050 BASIC		1.27 BASIC										
H	.398	.419	10.11	10.65									
h	.010	.0295	0.25	0.75	4								
L	.020	.040	.508	1.02	5								
N		28		28	6								
α	0°	8°	0°	8°									

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE

CROSSHATCHED AREA.

5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.

6. N IS THE NUMBER OF TERMINAL POSITIONS.

7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).

8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ217 REV.: G
 JEDEC NUMBER: MS-013-AE
 WITH THE EXCEPTION OF DIM. H, L.