



Speed_{PLUS}™ 20ビット・データ・ アクイジション・システムA/Dコンバータ

特 長

- データレート : 25kHz
- 差動入力
- 低雑音 : 2.8ppm(PGA = 1)
- INL : 0.002%
- ノー・ミッシング・コード : 20ビット
- プログラマブル・フルスケール
- 外部リファレンス
- I/O制御PGA : 1、2、4、8

アプリケーション

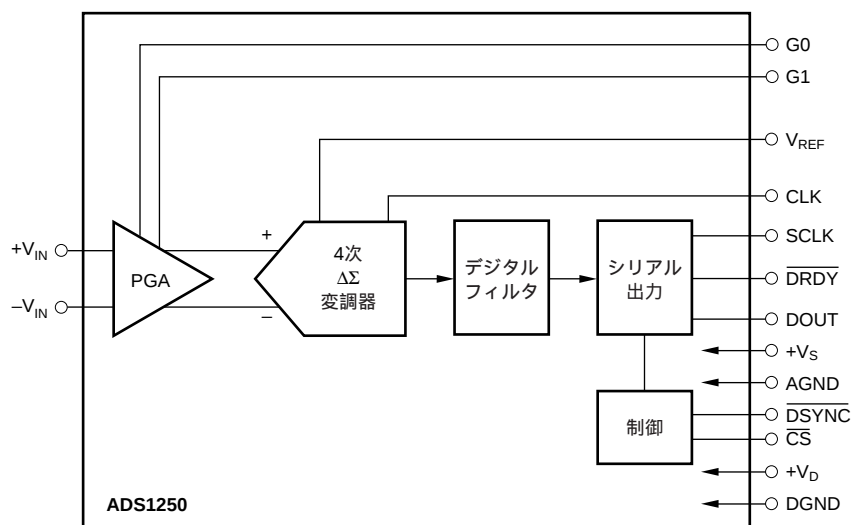
- 心臓診断
- 熱電対へのダイレクト・インターフェース
- 血液分析
- 赤外線ピロメータ
- 液体/ガス・クロマトグラフィ
- 高精度プロセス制御

概 要

ADS1250は、20ビットの分解能を備え、+5V単一電源で動作する高精度、広ダイナミック・レンジのデルタ・シグマ型A/Dコンバータです。デルタ・シグマ・アーキテクチャの採用により広いダイナミック・レンジと20ビットのノー・ミッシング・コードの性能を保証し、25kHzの変換レートまで2.8ppmのrms雑音を達成します。低レベル入力信号用の1、2、4、8のゲイン段からなる低雑音プログラマブル・ゲイン・アンプ(PGA)により、コンバータのダイナミック・レンジはさらに広がります。

ADS1250は、心臓診断、スマート・トランスミッタ、工業用プロセス制御、重量計、クロマトグラフィ、ポータブル計測装置など、高分解能の測定アプリケーション用に設計されています。コンバータに柔軟な同期シリアル・インターフェースが内蔵されているため、2線制御モードで低コストの絶縁を実現することができます。

ADS1250は、シングル・チャンネル・コンバータです。パッケージは、SOL-16で供給されます。



仕様

特に記述のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $V_D = V_S = +5V$ 、 $CLK = 9.6MHz$ 、 $PGA = 1$ 、 $V_{REF} = 4.096$ です。

パラメータ	条件	ADS1250U			単位
		最小	標準	最大	
アナログ入力 入力電圧範囲 ⁽¹⁾ プログラマブル・ゲイン・アンプ 入力インピーダンス(差動) 入力キャパシタンス 入力リーク電流	$G = \text{ゲイン}$ $G = \text{ゲイン}$ $G = \text{ゲイン}$ $+25$ $T_{MIN} \sim T_{MAX}$	0 1	104/G $6 \cdot G$ 5	$\pm V_{REF}/G$ 8 50 1	V k Ω pF pA nA
ダイナミック特性 データレート 帯域幅 シリアル・クロック(SCLK) システムクロック入力(CLK)	3dB	5.4	25	9.6 9.6	kHz kHz MHz MHz
精度 積分直線性誤差 ⁽²⁾ THD 雑音 分解能 ノー・ミッシング・コード 同相モード除去 ⁽³⁾ ゲイン誤差 オフセット誤差 ゲイン感度(対 V_{REF}) 電源除去比	1kHz入力 ; FS以下0.1dB DC $V_{REF} = 4.096V \pm 0.1V$	 90 60	± 0.0012 97 2.8 20 20 105 ± 100 1:1 78	± 0.0020 3.8 1 ± 200	% of FSR dB ppm of FSR, rms Bits Bits dB % of FSR ppm of FSR dB
温度変化に対する性能 オフセット・ドリフト ゲイン・ドリフト			0.25 5.0		ppm/ ppm/
電圧リファレンス V_{REF} 負荷電流		3.996V	4.096 125	4.196	V μA
デジタル入出力 ロジック・ファミリ ロジック・レベル : V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{OH} = -500\mu A$ $I_{OL} = 500\mu A$	+4.0 -0.3 +4.5	CMOS バイナリ2の補数	$+V_D + 0.3$ +0.8 0.4	V V V V
電源条件 動作 無信号時電流、アナログ 無信号時電流、デジタル 動作電力	$V = +5VDC$ $V = +5VDC$	+4.75	+5 14 1 75	+5.25 100	VDC mA mA mW
温度範囲 動作 保存		-40 -60		+85 +100	

注 : (1)コンバータのフルスケール・レンジを達成するためには、入力が完全な差動入力であることが必要です。シングル・エンド入力($+V_{IN}$ または $-V_{IN}$ が固定されている)の場合、フルスケール・レンジは差動レンジの半分になります。(2)完全な差動信号に適用されます。(3)同相モード除去のテストは、100mVの差動入力で行います。

絶対最大定格

アナログ入力：電流	±100mA、瞬時 ±10mA、連続
電圧	AGND - 0.3V ~ AV _{DD} + 0.3V
V _S ~ V _D	-0.3V ~ 6V
V _S ~ AGND	-0.3V ~ 6V
V _D ~ DGND	-0.3V ~ 6V
AGND ~ DGND	±0.3V
V _{REF} 電圧 ~ AGND	-0.3V ~ V _S + 0.3V
デジタル入力電圧 ~ DGND	-0.3V ~ V _D + 0.3V
デジタル出力電圧 ~ DGND	-0.3V ~ V _D + 0.3V
リード温度(10秒間の半田付け)	+300
消費電力	500mW



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

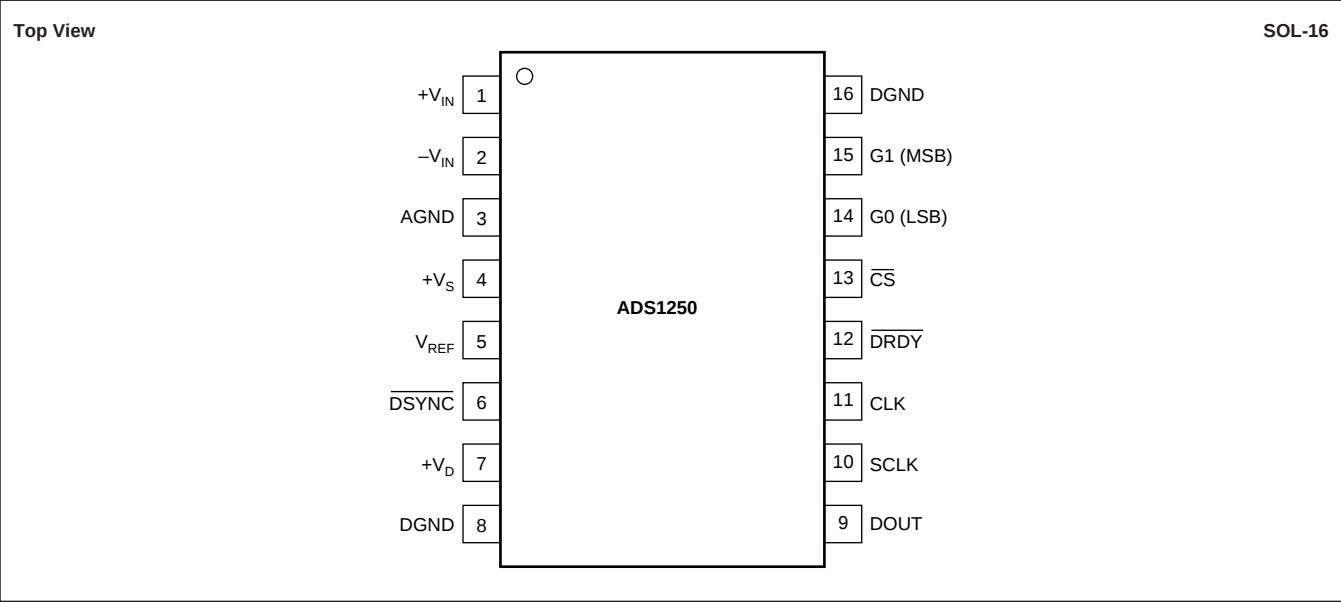
パッケージ情報/御発注の手引き

モデル	パッケージ	パッケージ図 番号 ⁽¹⁾	仕様温度範囲	パッケージの マーキング	発注番号 ⁽²⁾	供給時の状態
ADS1250U	SOL-16	211	-40 ~ +85	ADS1250U	ADS1250U	マガジン
ADS1250U	SOL-16	211	-40 ~ +85	ADS1250U	ADS1250U/1K	テーブリール

注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)が付記されたモデルは、表示数量のテーブリールでのみ供給されます(例えば、/1Kはリール1本あたり1,000個入りのデバイスであることを示します)。“ADS1250U/1K”を発注すると、1,000個入りテーブリール1本が納品されます。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

ピン配置

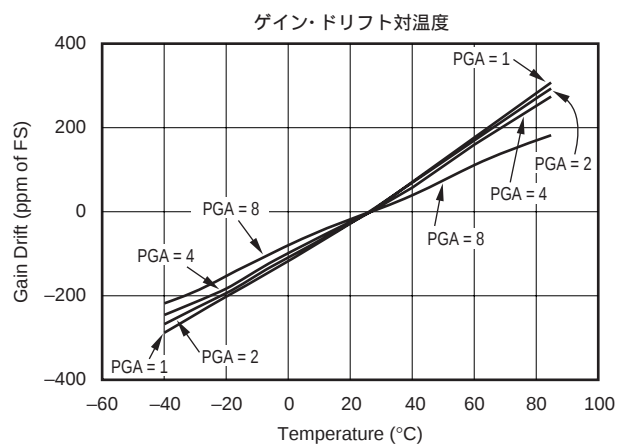
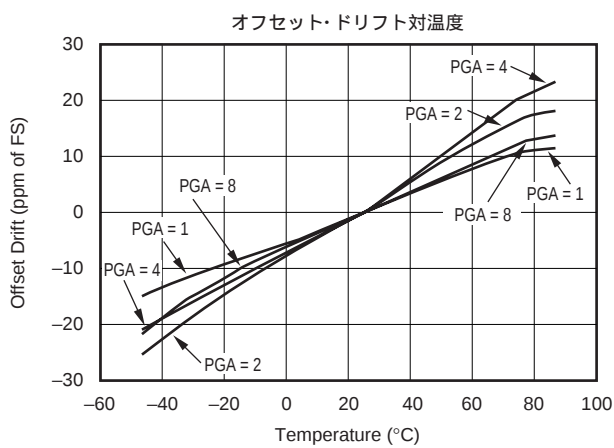
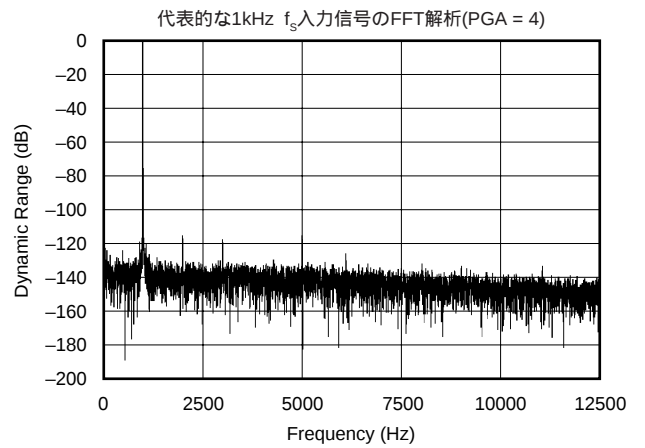
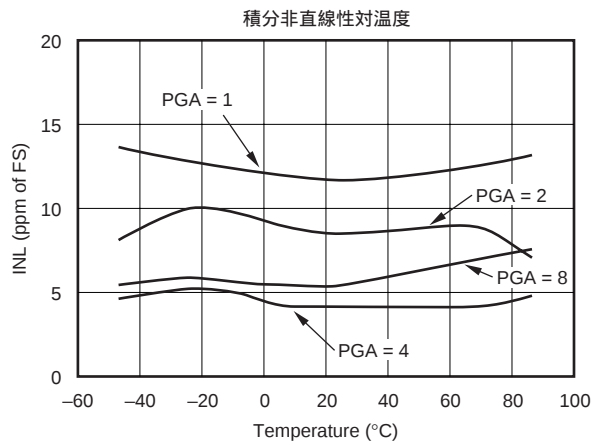
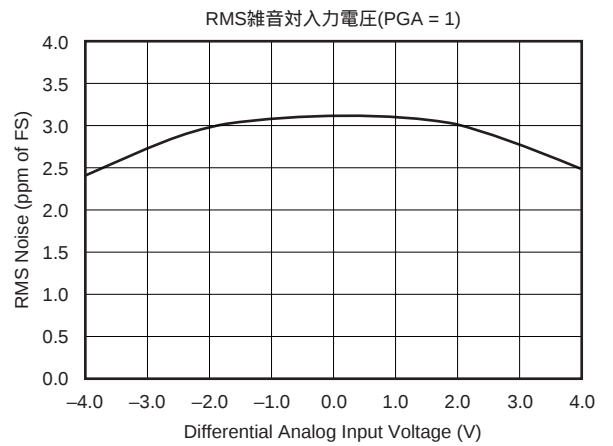
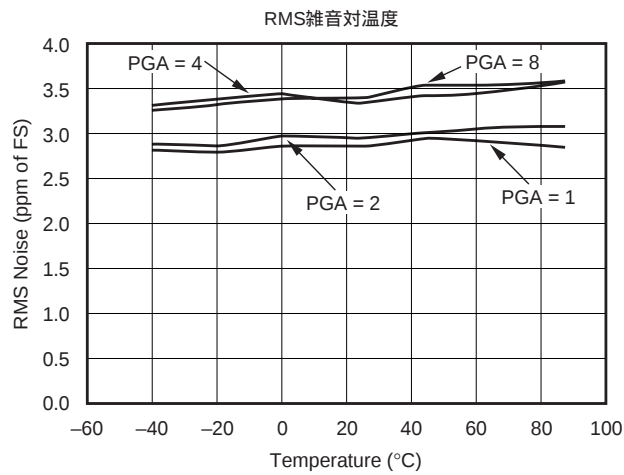


ピン構成

ピン番号	名称	説明
1	+V _{IN}	アナログ入力。差動アナログ入力の正入力。
2	-V _{IN}	アナログ入力。差動アナログ入力の負入力。
3	AGND	アナログ入力。アナログ・グランド。
4	+V _S	アナログ入力。アナログ電源電圧(+5V)。
5	V _{REF}	アナログ入力。リファレンス電圧入力。
6	DSYNC	デジタル入力。データ同期。この入力をロジック「ロー」にすると、変調器のカウントがリセットされる。これを使用して複数のADS1250を同期させることができる。
7	+V _D	デジタル入力。デジタル電源電圧(+5V)。
8	DGND	デジタル入力。デジタル・グランド。
9	DOUT	デジタル出力。シリアルデータ出力。シリアルデータ出力シフト・レジスタからのシリアルデータがクロック・アウトされる。CSが“ハイ”のとき、ハイ・インピーダンスになる。
10	SCLK	デジタル入力。シリアル・クロック。シリアル・クロックは、CMOSコンパチブル・クロック形式で、デバイスのシステムクロック周波数まで動作できる。シリアル・クロックにはフリーランニング・クロックまたは不連続クロックを使用でき、どちらのタイプのクロックの場合も、CSによってシリアルデータ出力をゲートする。
11	CLK	デジタル入力。デバイスのシステムクロック。システムクロックは、CMOSコンパチブル・クロック形式である。
12	DRDY	デジタル出力。データ・レディ。この出力がロジック「ロー」になると、ADS1250のデータ出力レジスタから新しい出力ワードを読み取れることを示している。
13	CS	デジタル入力。チップ・セレクト。アクティブ「ロー」のロジック入力で、ADS1250のシリアルデータ出力をイネーブルするために使用する。CSは、DOUTピンの状態を制御する。CSが「ハイ」のときDOUTはハイ・インピーダンスになり、CSが「ロー」のときDOUTはバスをドライブする。CSには3種類の使い方がある。 (1)ADS1250が他のデバイスとバスを共有している場合、通信のシリアルデータ出力のイネーブルとしてCSを使用する。 (2)ADS1250が他のデバイスとバスを共有し、SCLKがフリーランニング・クロックである場合、デバイスから出力されるシリアルデータをゲートするためにCSを使用する。 (3)バスのデバイスがADS1250だけの場合、CSを「ロー」に接続して常に2線インターフェースのシリアルデータ出力をイネーブルすることができる。
14	G0	デジタル入力。ゲイン選択制御(LSB)。
15	G1	デジタル入力。ゲイン選択制御(MSB)。
16	DGND	デジタル入力。デジタル・グランド。

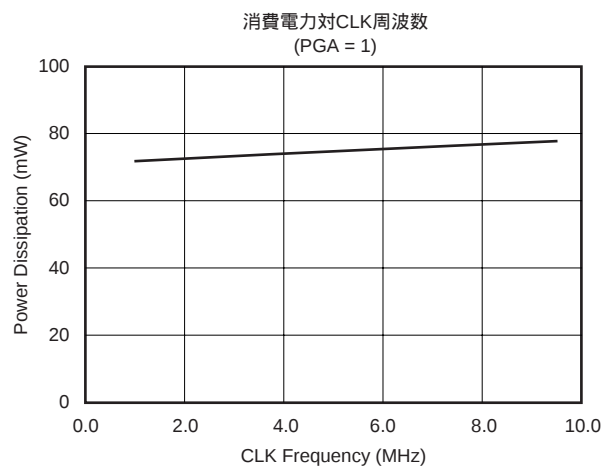
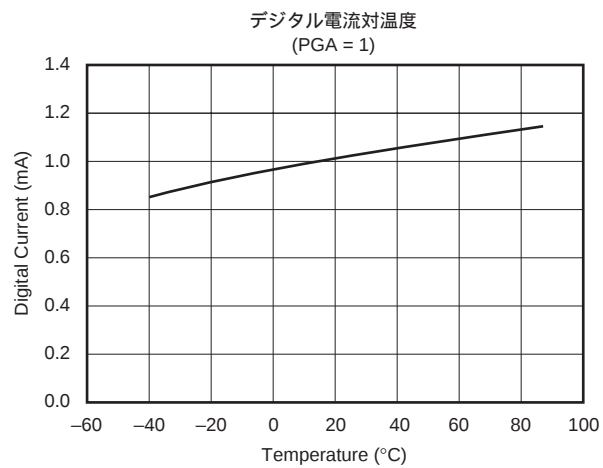
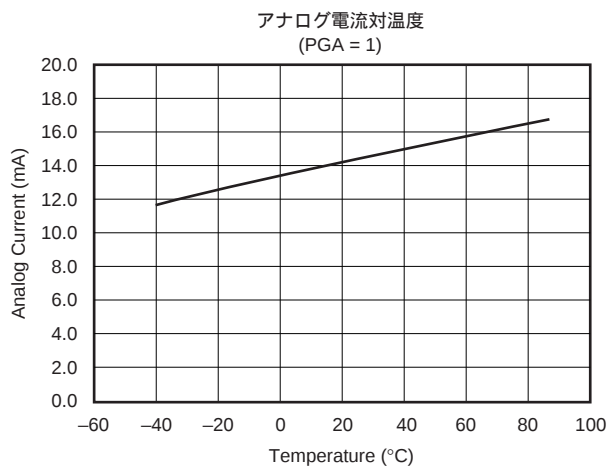
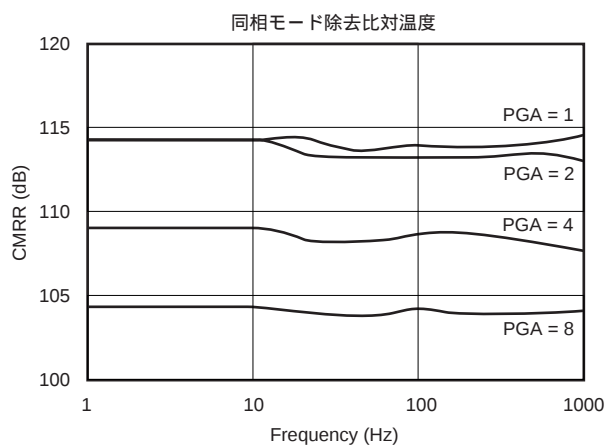
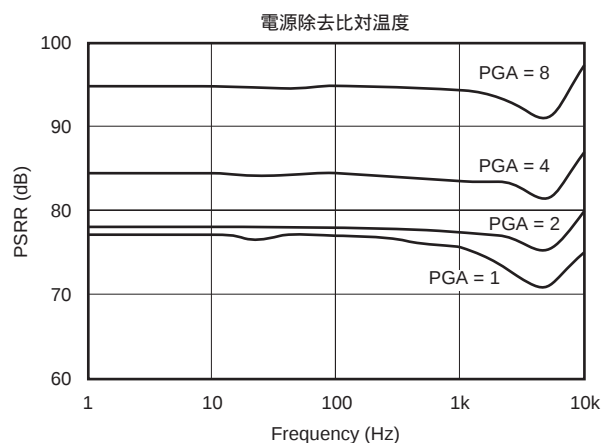
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_D = V_S = +5V$ 、 $CLK = 9.6MHz$ 、 $PGA = 1$ 、 $V_{REF} = 4.096$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_D = V_S = +5V$ 、 $CLK = 9.6MHz$ 、 $PGA = 1$ 、 $V_{REF} = 4.096$ です。



動作原理

ADS1250は、高速のデータレートできわめて高分解能なデジタルの結果を出力できる高精度、広ダイナミック・レンジの20ビット、デルタ・シグマ型A/Dコンバータです。アナログ入力信号は、システムクロック周波数(CLK)によって決定されるレートで連続的にサンプリングされます。サンプリングされたアナログ入力は、デルタ・シグマA/D変調器によって変調された後、デジタルフィルタで処理されます。また、デルタ・シグマ変調器にはプログラマブル・ゲイン機能があり、高いゲインでは大きい入力サンプリング・キャパシタが使用されます。 sinc^5 のデジタル・ローパスフィルタは、デルタ・シグマ変調器の出力を処理し、結果をデータ出力レジスタに書き込みます。 $\overline{\text{DRDY}}$ ピンに“ロー”が出力され、新しいデータが外部のマイクロコントローラ/マイクロプロセッサから読み取れるようになったことが示されます。ADS1250の主要な機能ブロックは、ブロック図に示すように、プログラマブル・ゲイン・アンプ、4次デルタ・シグマ変調器、デジタルフィルタ、制御ロジック、およびシリアル・インターフェースからなります。以下に各機能ブロックについて説明します。

アナログ入力

ADS1250は、ゲインをプログラムできる完全な差動アナログ入力を備えています。低システム雑音、105dBの同相モード除去、優れた電源除去を実現するため、設計トポロジは完全な差動スイッチ・キャパシタ・アーキテクチャに基づいています。入力のゲインは、1、2、4、8から選択することができます。リファレンス入力電圧が+4.096Vのとき、対応するバイポーラ入力電圧範囲は-4.096 ~ +4.096Vから-512mV ~ +512mVまでになります。バイポーラ・レンジの基準は、GNDではなく、 $-V_{\text{IN}}$ です。

図1に、ADS1250の基本的な入力の構造を示します。インピーダンスは、入力キャパシタのサンプリング周波数と直接的な関係があります。CLKレートがゲイン1の基本サンプリング・レートを設定します。高いゲインではサンプリング・キャパシタのサイズが大きくなり、低いCLK周波数ではサンプリング・キャパシタのサイズが小さくなります。

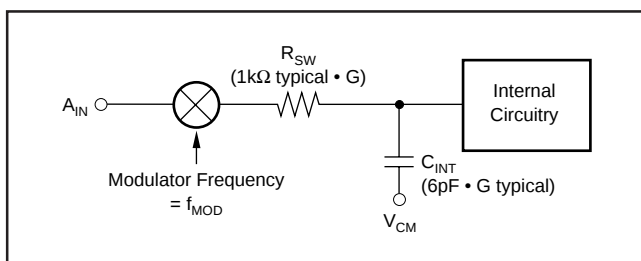


図1. アナログ入力の構造

アナログ入力の入力インピーダンスは、ADS1250のシステムクロック周波数(CLK)とゲイン(G)に応じて変化します。次の関係があります。

$$A_{\text{IN}} \text{ インピーダンス}(\Omega) = (9.6\text{MHz}/\text{CLK}) \cdot 104\text{E}3/(G)$$

アナログ入力信号に関しては、デバイス全体のアナログ性能に影響する3つの項目があります。

第1に、入力インピーダンスが精度に影響することがあります。入力信号のソース・インピーダンスが大きい場合、またはADS1250の前にパッシブ・フィルタがある場合は、この外部インピーダンスで信号の相当部分が失われる可能性があります。影響の大きさは、目的のシステム性能に依存します。

第2に、アナログ入力に流れる電流を制限する必要があります。アナログ入力を流れる電流は、いかなる場合も10mAを超えてはなりません。

第3に、入力信号のエイリアシングを防止するため、アナログ入力信号の帯域幅を制限する必要があります。帯域幅は、システムクロック周波数の関数です。システムクロック周波数が9.6MHzの場合、データ出力レートは25kHz、-3dB周波数は5.4kHzになります。-3dB周波数は、システムクロック周波数に応じて変化します。

ADS1250の最良の直線性を保証するため、完全な差動信号を推奨します。

プログラマブル・ゲイン・アンプ

PGAのゲイン設定は、ADS1250のPGAピンでプログラムします。PGAのゲイン設定(G)を変更すると、入力キャパシタのサイズが大きくなります。このため、高いゲイン設定では、アナログ入力インピーダンスが小さくなります。ADS1250のPGAは、ゲイン1、2、4、8に設定できます。これにより、大幅にコンバータのダイナミック・レンジを増加し、一般的なトランスデューサとのインターフェースを簡素化することができます(表Iを参照)。

ゲインの設定			アナログ入力	
G1	G0	ゲインの値	差動FSR(V)	シングル・エンドFSR(V)
0	0	1	8.192	4.096
0	1	2	4.096	2.048
1	0	4	2.048	1.024
1	1	8	1.024	0.512

注：4.096Vリファレンスの場合。ADS1250では、 $+V_{\text{IN}}$ または $-V_{\text{IN}}$ の絶対入力電圧がAGND以下または $+V_{\text{S}}$ 以上にならない限り、同相モード電圧を使用できます。

表I. フルスケール・レンジ対PGAの設定

デルタ・シグマ変調器

デバイスは、公称システムクロック周波数9.6MHzで動作します。変調器の周波数は、システムクロック周波数を基準に決定されます。システムクロック周波数を6分周したものが変調器の周波数となるため、システムクロック周波数が9.6MHzの場合、変調器の周波数は1.6MHzになります。

変調器のオーバーサンプリング・レシオは、変調器の周波数を基準に決定されます。変調器出力のオーバーサンプリング・レシオは、64です。変調器の周波数が1.6MHzの場合、データ出力レートは25kHzになります。低いシステムクロック周波数を使用すると、データ出力レートも低下します(表IIを参照)。

CLK(MHz)	データ出力レート(kHz)
9.6	25.0
8.0	20.8
4.0	10.4
3.579545	9.3
3.072	8.0
2.0	5.2
1.843	4.8
1.00	2.6

表II. CLKレート対データ出力レート

リファレンス入力

アナログ入力と異なり、リファレンス入力のインピーダンスはPGAのゲイン設定に依存しません。

システムクロックが9.6MHzの場合、リファレンス入力の平均電流は125μAです。この電流は、システムクロックに比例します。ADS1250にはバッファ付きリファレンスが必要です。推奨されるリファレンス回路を図2に示します。

リファレンス電圧が4.096Vより高いと、フルスケール・レンジが増加します。コンバータの絶対的な内部回路雑音は変わらないため、FSのppmの単位で雑音が減少します。ただし、高いリファレンス電圧を使用すると、直線性も低下します。したがって、高いリファレンス電圧の使用は推奨されません。

リファレンス電圧が4.096Vより低いと、フルスケール・レンジが減少します。コンバータの絶対的な内部回路雑音は変わらないため、FSのppmの単位で雑音が増加します。ただし、低いリファレンス電圧を使用しても、直線性は低下しません。したがって、低いリファレンス電圧を使用すると実効分解能が低下します。

デジタルフィルタ

ADS1250のデジタルフィルタは、デルタ・シグマ変調器からの最新の結果に基づいて出力結果を計算します。デジタルフィルタは、基本的には、変調器の結果を重み付けして平均し、この平均をデジタルで出力するものと考えることができます。

デジタルフィルタは、 sinc^5 で、次の伝達関数によって表されます。

$$|H(f)| = \left| \frac{\sin\left(\frac{\pi \cdot f \cdot 64}{f_{\text{MOD}}}\right)}{64 \cdot \sin\left(\frac{\pi \cdot f}{f_{\text{MOD}}}\right)} \right|^5$$

または

$$H(z) = \left(\frac{1 - z^{-64}}{64 \cdot (1 - z^{-1})} \right)^5$$

各変換の結果を計算するために使用する変調器の結果の数は、 5×64 です。これは、有意なステップの変化があった場合、結果を確定するために5回の変換が必要であることを意味します。ただし、変化が $\overline{\text{DRDY}}$ のパルスと非同期に発生する場合は、確実に結果を確定するために6回の変換が必要です。

制御ロジック

制御ロジックは、ADS1250の通信と制御に使用します。

電源投入シーケンス

電源投入前は、すべてのデジタルおよびアナログ入力ピンが“ロー”でなければなりません。これらの信号入力は、電源投入時に0V以外の電圧にバイアスできますが、 $+V_s$ または $+V_D$ 以上にすることはできません。

ADS1250の電源投入後、最初の変換で $\overline{\text{DRDY}}$ ラインに“ロー”のパルスが出力されますが、このデータは無効です。 $\overline{\text{DRDY}}$ の6番目のパルスからアナログ入力信号の有効なデータになります。

DSYNC

DSYNC信号には2種類の使い方があります。第1に、 $\overline{\text{DSYNC}}$ を使用して複数のコンバータを同期させることができます。これは、負に遷移するパルスを $\overline{\text{DSYNC}}$ に入力することにより行います。 $\overline{\text{DSYNC}}$ のパルスによって、現在の変調器のカウントが0になり

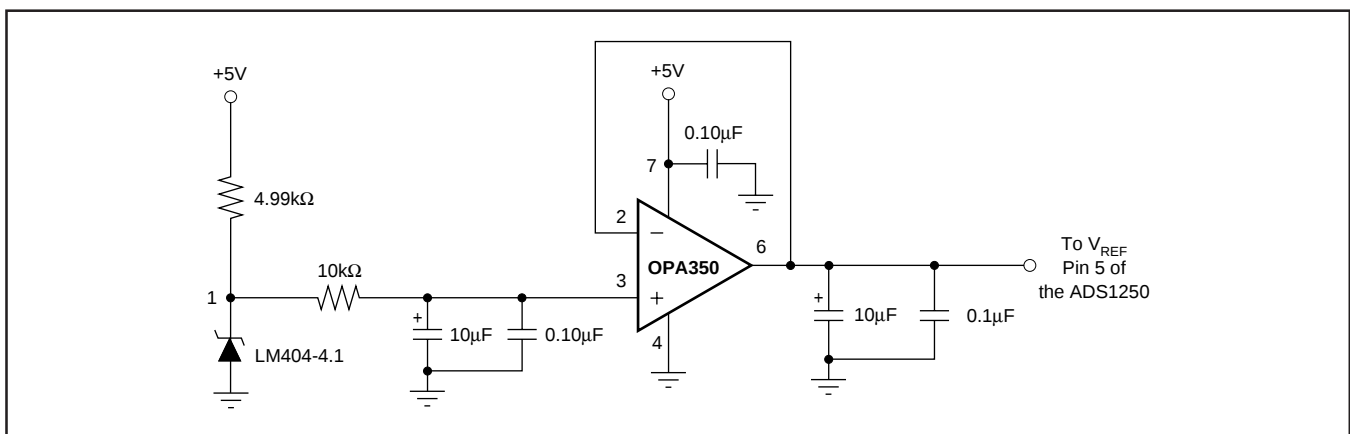


図2. ADS1250と使用して最も低雑音の動作を実現するために推奨される外部電圧リファレンス回路

セットされます。これにより、 $\overline{\text{DRDY}}$ のパルスが同期します。内部データは、 $\overline{\text{DSYNC}}$ によって0にリセットされません。同期は、各ADS1250を同じシステムクロックからドライブしていることが前提です。 $\overline{\text{DSYNC}}$ のパルスとマスター・クロックが完全に非同期的な場合は、一部のADS1250が他のADS1250よりも1CLKクロック・サイクル前に開始することがあります。このため、出力データは1CLKクロック・サイクルの範囲内で同期します。同じCLKクロック・エッジに対して正確に同期させるには、図3および表IIIに示すように、 $\overline{\text{DSYNC}}$ 信号とCLK信号のタイミングの関係を守る必要があります。図4に、1つのADS1250から複数のADS1250に

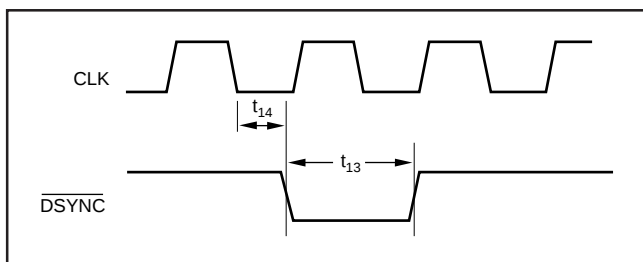


図3. 複数のADS1250を同期させるためのDSYNCとCLKのタイミング

クロックを供給し、非同期的な $\overline{\text{DSYNC}}$ 信号ですべてのコンバータを正確に同期させる簡単な回路を示します。

第2の $\overline{\text{DSYNC}}$ の使い方は、できるだけ速く有効なデータを出力するために変調器のカウンタを0にリセットすることです。例えば、ADS1250のアナログ入力信号が有意に変化した場合、現在の変換サイクルは前のデータと新しいデータの混合になります。デジタルフィルタに5回の変換が必要なため、6回目の変換が有効なデータになります。したがって、有効なデータを保証するには変化後に6回の変換が必要です。一方、アナログ入力信号が変化したときに $\overline{\text{DSYNC}}$ を使用して変調器のカウンタをリセットした場合、現在の変換サイクルの最後の変調器のデータはすべて新しい信号のものになります。さらに4回の変換サイクルの後、出力データは完全に有効になります。 $\overline{\text{DSYNC}}$ を使用する変換サイクルは通常よりわずかに長くなることに注意して下さい。この長さは、 $\overline{\text{DSYNC}}$ をセットした時期に依存します。

CS

$\overline{\text{CS}}$ 信号は、DOUTの状態を制御します。 $\overline{\text{CS}}$ が「ハイ」のとき、DOUTはハイ・インピーダンス状態になります。 $\overline{\text{CS}}$ が「ロー」のとき、DOUTはバスをドライブします。

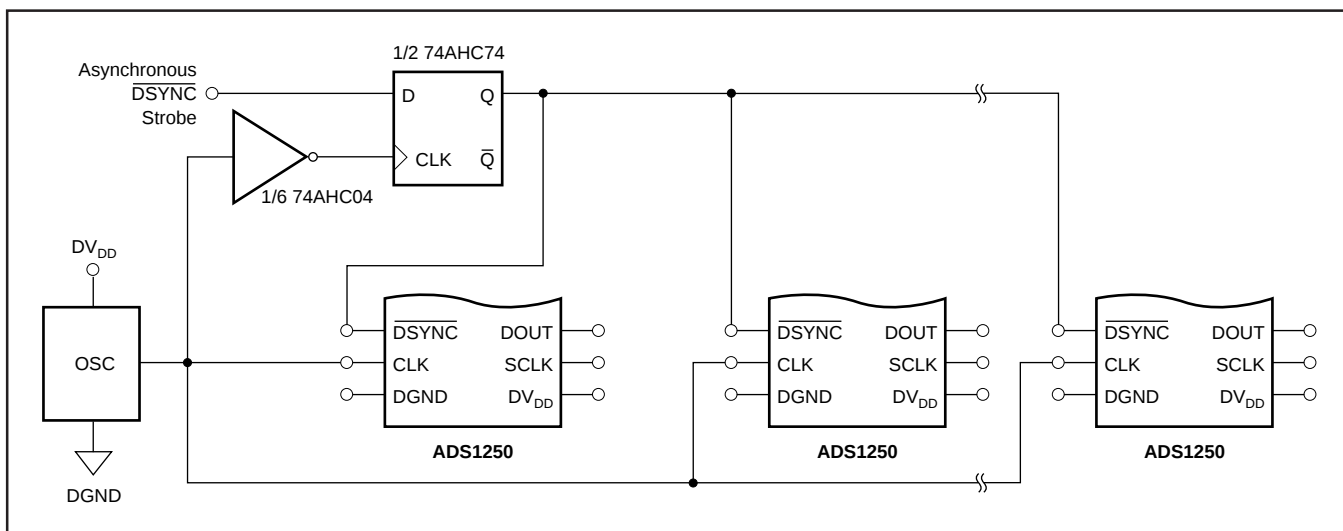


図4. 非同期的なDSYNC信号に対して複数のADS1250を正確に同期させる回路

記号	説明	最小	標準	最大	単位
t_1	DORの書き込み時間($\overline{\text{CS}}$ を使用)			$6 \cdot \text{CLK}$	ns
t_2	$\overline{\text{DRDY}}$ が「ロー」の時間			$6 \cdot \text{CLK}$	ns
t_3	DORの書き込み時間($\overline{\text{CS}}$ 「ハイ」)			$6 \cdot \text{CLK}$	ns
t_4	$\overline{\text{DRDY}}$ が「ハイ」の時間			$6 \cdot \text{CLK}$	ns
t_5	CLKの立ち上がりエッジから $\overline{\text{DRDY}}$ の立ち下がりエッジまで			30	ns
t_6	$\overline{\text{DRDY}}$ の立ち下がりエッジから $\overline{\text{CS}}$ の立ち下がりエッジまで				ns
t_7	$\overline{\text{CS}}$ の立ち下がりエッジから $\overline{\text{DRDY}}$ の立ち上がりエッジまで			$6 \cdot \text{CLK}$	ns
t_8	$\overline{\text{CS}}$ の立ち下がりエッジからSCLKの立ち上がりエッジまで。 $\overline{\text{CS}}$ を「ロー」に接続している場合は $\overline{\text{DRDY}}$ の立ち下がりエッジからSCLKの立ち上がりエッジまで。	30			ns
t_9	$\overline{\text{CS}}$ の立ち下がりエッジからDOUT有効まで。 $\overline{\text{CS}}$ を「ロー」に接続している場合は $\overline{\text{DRDY}}$ の立ち下がりエッジからDOUT有効まで(セットアップ時間)。	30			ns
t_{10}	SCLKの立ち下がりエッジからDOUT有効まで(ホールド時間)	5			ns
t_{11}	SCLKの立ち下がりエッジから次のDOUT有効まで(セットアップ時間)			30	ns
t_{12}	$\overline{\text{CS}}$ の立ち上がりエッジからDOUTハイ・インピーダンスまで			30	ns
t_{13}	$\overline{\text{DSYNC}}$ パルス幅	100			ns
t_{14}	CLKの立ち下がりエッジから $\overline{\text{DSYNC}}$ の立ち下がりエッジまで			$\frac{\text{CLK}}{2} - 5$	ns

表III. デジタルのタイミング

DRDY

DRDY信号は、新しいデータがデータ出力レジスタにロードされ、読み取りの準備ができたことを示すために使用されます。

DRDYの動作は、CS信号の使い方に依存します。

第1のケースは、“シリアル・インターフェース”の項で説明する2線シリアル通信(CSを“ロー”に接続)に代表される場合で、DRDYが通常“ハイ”になります。A/D変換の結果が t_1 で定義される時間にMSBからLSBの順にDORに書き込まれます。DRDYのラインには、 t_2 で定義される時間だけ“ロー”になります(図5を参照)。

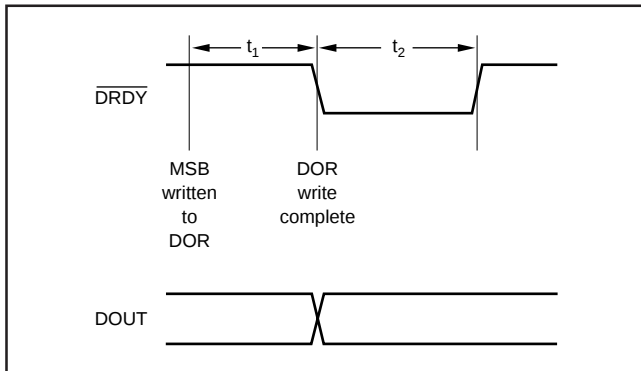


図5. DRDYのパルス(2線シリアル通信)

第2のケースは、“シリアル・インターフェース”の項で説明する3線シリアル通信(CSを使用)に代表される場合で、DRDYが通常“ハイ”になります。A/D変換の結果が t_1 で定義される時間にMSBからLSBの順にDORに書き込まれます。DORの書き込みが完了した後、DRDYは“ロー”になります。DRDYのラインは、CSが“ロー”になった後、 t_2 で定義される時間だけ“ロー”の状態を続けます(図6を参照)。

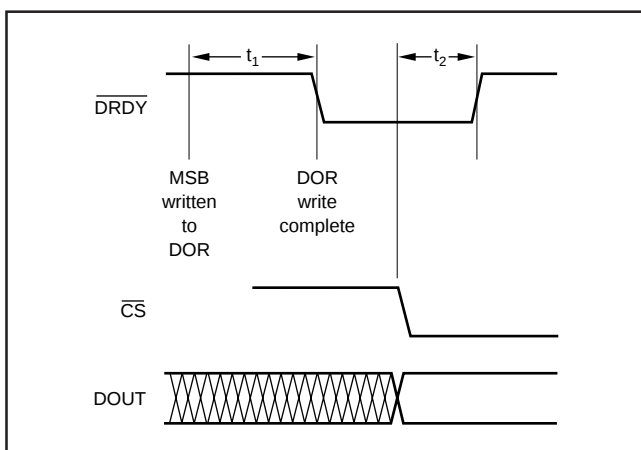


図6. DRDYのパルス(3線シリアル通信)

第3のケースでは、CSが“ハイ”に固定されます。これは、ADS1250からデータを周期的に読み取るだけの場合に使用されます。この場合、DRDYは通常“ロー”になります。DRDYは、MSB

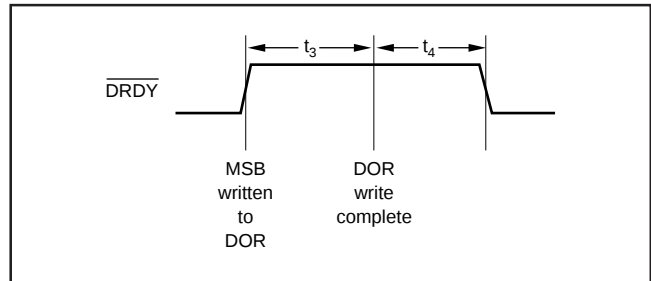


図7. DRDYのパルス(CS“ハイ”)

がDORに書き込まれる直前に“ハイ”になります。A/D変換の書き込みには t_3 がかかります。DRDYのラインは、 t_4 で定義される時間だけ“ハイ”の状態を続けます(図7を参照)。

時間 t_1 および t_3 の間にDRDYを読み取ると(図5、6、7)、無効なデータが読み取られます。これは、DORへの書き込みがブロックされないためです。したがって、この時間にDORから読み取ると、古いデータと新しいデータが混在する結果になります。

シリアル・インターフェース

ADS1250には簡単なシリアル・インターフェースがあり、各種の方法でマイクロコントローラやデジタル信号プロセッサと接続できます。電源投入後の最初のDRDYパルスが検出されたときにADS1250との通信を開始できます。ただし、データは6回目の変換まで無効です。

ADS1250からのデータは、20ビットの結果がバイナリ2の補数フォーマットによってMSBファーストで転送されることに注意して下さい。一方、デバイスとの通信には一般にSPIやSSIなどの標準的なインターフェースが使用されます。これらの転送は、8ビットのデータ転送を基本としています。このため、ADS1250と通信するときには、通常24ビットのデータを読み取ります。この場合、ADS1250からの下位4ビットは0として読み取ります。

SCLKに関する制限は、周波数をシステムクロック(CLK)より高くできないことだけです。また、DRDYの項で説明したように、有効なデータであることを保証するため、次のDRDYの前にデータをクロック・アウトする必要があります。

ADS1250からデータを受信するには3つの基本的な方法があります。最初の2つの方法では3線インターフェースを使用し、第3の方法では2線インターフェースを使用します。

方法1：3線インターフェース

データを受信する最も一般的な方法は、簡単な3線インターフェースを使用することです。DORが更新された後、DRDYのラインが“ロー”になります。プロセッサは、CSを“ロー”にしてデバイスを選択し、通信を行います。

CSを“ロー”にすると、DOUTがデータ出力レジスタのMSBによって指定されたレベルにドライブされます。プロセッサは、20(または24)のSCLKを供給してDORのデータを読み取ります。DORの以後のデータは、SCLKの立ち下がりエッジの後、DOUTピンにシフト・アウトされます。20ビットを超えるデータを読み取る場合は、データが0でパッドされます。CSを“ハイ”にすると、DOUTがハイ・インピーダンス状態になります。データ転送のタイミングを図8に示します。

方法2：3線インターフェース

データを受信する第2の方法も簡単な3線インターフェースを使用します。方法1との主要な違いは、SCLKがフリーランニング・クロックであることです。DORが更新された後、 $\overline{\text{DRDY}}$ のラインが t_2 で定義される時間だけローになります。プロセッサは、 $\overline{\text{CS}}$ をローにしてデバイスを選択し、通信を行います。 $\overline{\text{CS}}$ は、SCLKの立ち下がりエッジでローにすることを推奨します。 $\overline{\text{CS}}$ のタイミングの制約は、SCLKの立ち上がりエッジの前にデータのセットアップ時間を満たさなければならないことだけです。 $\overline{\text{CS}}$ をローにすると、DOUTがデータ出力レジスタのMSBによって指定されたレベルにドライブされます。プロセッサは、20(または24)のSCLKを供給してDORのデータを読み取ります。DORのデータは、SCLKの立ち下がりエッジの後、DOUTピンに

シフト・アウトされます。20ビットを超えるデータを読み取る場合は、データが0でパッドされます。 $\overline{\text{CS}}$ をハイにすると、DOUTがハイ・インピーダンス状態になります。データ転送のタイミングを図9に示します。

方法3：2線インターフェース

データを受信する第3の方法では、簡単な2線インターフェースを使用します。方法1との主要な違いは、 $\overline{\text{CS}}$ をローに接続し、DOUTピンが常にバスをドライブすることです。DORが更新された後、 $\overline{\text{DRDY}}$ のラインがローになります。 $\overline{\text{CS}}$ がローに接続され、DOUTピンの出力がイネーブルされているため、データ出力レジスタのMSBによって指定されたレベルがバスにドライブされます。プロセッサは、20(または24)のSCLKを供給してDORのデータを読み取ります。DORのデータは、SCLKの立ち下がり

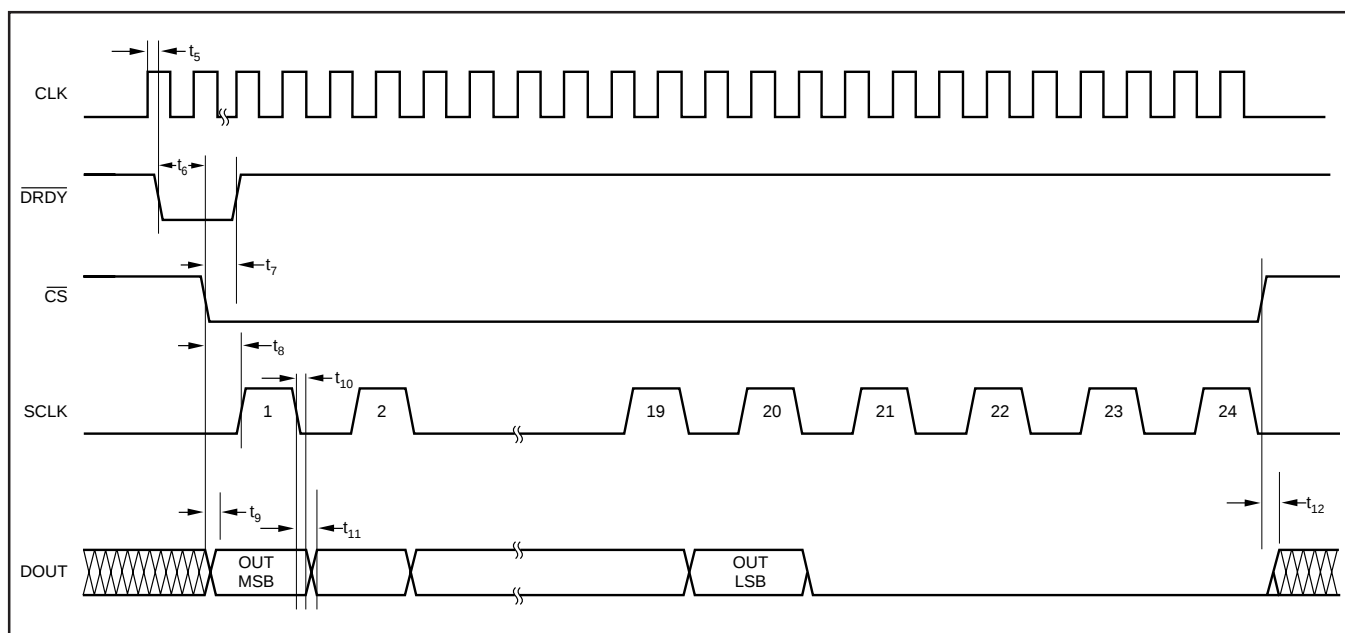


図8. 方法1：不連続なSCLKを使用した3線インターフェース

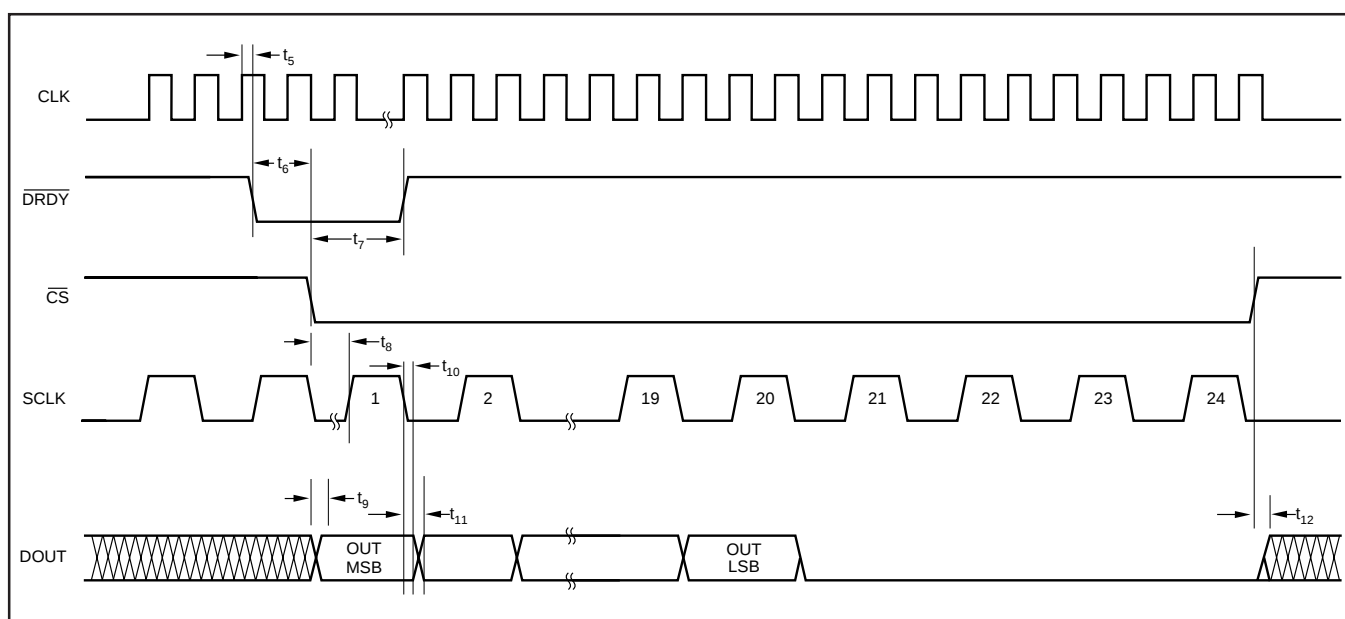


図9. 方法2：フリーランニングのSCLKを使用した3線インターフェース

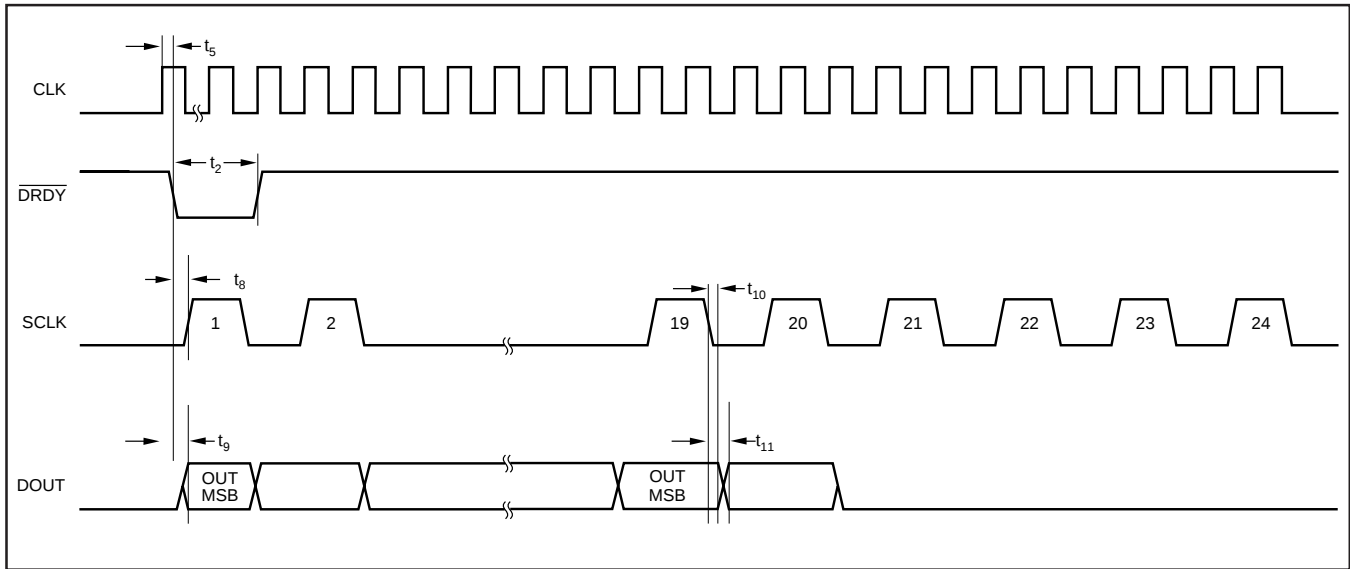


図10. 方法3：2線インターフェース(CSを「ロー」に接続)

エッジの後、DOUTピンにシフト・アウトされます。20ビットを超えるデータを読み取る場合は、データが0でパッドされます。 $\overline{\text{CS}}$ が「ロー」に接続されているため、バスはアイドル状態で「ロー」にドライブされます。データ転送のタイミングを図10に示します。

ソフトウェア・ゲイン

優れた性能、柔軟性、低コストを特長とするADS1250は、通常20ビットADCを必要としない設計にも使用することができます。例えば、多くの設計では低振幅の信号をデジタル化するために12ビット・コンバータと高ゲインのINAまたはPGAを使用します。このようなアプリケーションには、ADS1250だけでソリューションを提供できるものがあります。コンバータのデジタルの結果にメイン・コントローラで n ビットのシフト・アップを実行すれば、ゲインは $n \times G$ になります(G はゲイン設定)。この種の出力データの操作が分かりやすいのに対して、20ビット・コンバータで同様に増加できるゲインは見落としがちです。例えば、ADS1250をゲイン8に設定しているときに4ビットのシフト・アップを実行した場合、実効ゲインは128になります。

絶縁

ADS1250のシリアル・インターフェースでは、単純な絶縁の方法を使用することができます。絶縁した4線インターフェースの例を図11に示します。ISO150は、絶縁バリアを介してデジタル・クロックを送信するために使用します。また、ADS1250のデジタル出力で光アイソレータを直接ドライブできる場合もあります。DOUTは変換時間の大部分トライステートになることに注意して下さい。光アイソレータの接続には、このことを考慮する必要があります。

レイアウトに関する考慮事項

電源

アナログ電源は、安定で低雑音であることが必要です。ADS1250から非常に高い分解能を要求する設計では、電源除去が問題になります。ダイに雑音が結合されることがあるため、デバ

イスの下側にデジタル・ラインを配置することは避けて下さい。デジタル電源の必要条件はアナログ電源ほど厳しくありませんが、 V_D の高周波雑音がADS1250のアナログ部に容量的に結合することがあります。この雑音は、スイッチング電源、高速なマイクロプロセッサ、デジタル信号プロセッサなどから発生します。どちらの電源についても、高周波雑音はデジタルフィルタの通過帯域にエイリアシングされ、変換結果に影響します。ADS1250に使用する電源が1つに限られている場合は、 V_S 電源を使用して V_D に電力を供給します。この接続には、 10Ω の抵抗を使用することができます。この抵抗とデカップリング・コンデンサの組み合わせにより、 V_D と V_S 間に多少のフィルタ効果が得られます。

システムによっては、直接接続することもできます。 V_S と V_D の適切な接続は、実験により決定するのが確実な方法です。

グラウンディング

設計のアナログ部とデジタル部は、注意して完全に分割することが必要です。各部に専用のグラウンド・プレーンを設け、相互に重ならないようにします。AGNDは、他のすべてのアナログ・グラウンドとともにアナログ・グラウンド・プレーンに接続します。DGNDは、デジタル・グラウンド・プレーンおよびこのプレーンを基準とするすべてのデジタル信号と接続します。ADS1250のピンアウトは、コンバータがアナログ部とデジタル部に完全に分割されているようになっています。このため、設計のアナログ部とデジタル部に単純なレイアウトを使用することが可能です。単一コンバータのシステムでは、ADS1250のAGNDとDGNDをコンバータ下部で1つに接続します。グラウンド・プレーンは接続しないようにし、あまり大きくない信号パターンを使用して両者を接続します。複数のコンバータがある場合は、できるだけすべてのコンバータの中心に近い位置で2つのグラウンド・プレーンを接続します。2つのプレーンを接続する最良の点を見つけるために実験が必要なこともあります。アナログ/デジタル・グラウンドの接続をショート・ジャンパで変更できるようにプリント基板を設計し、試作品を使用して最良の接続を確立することもできます。

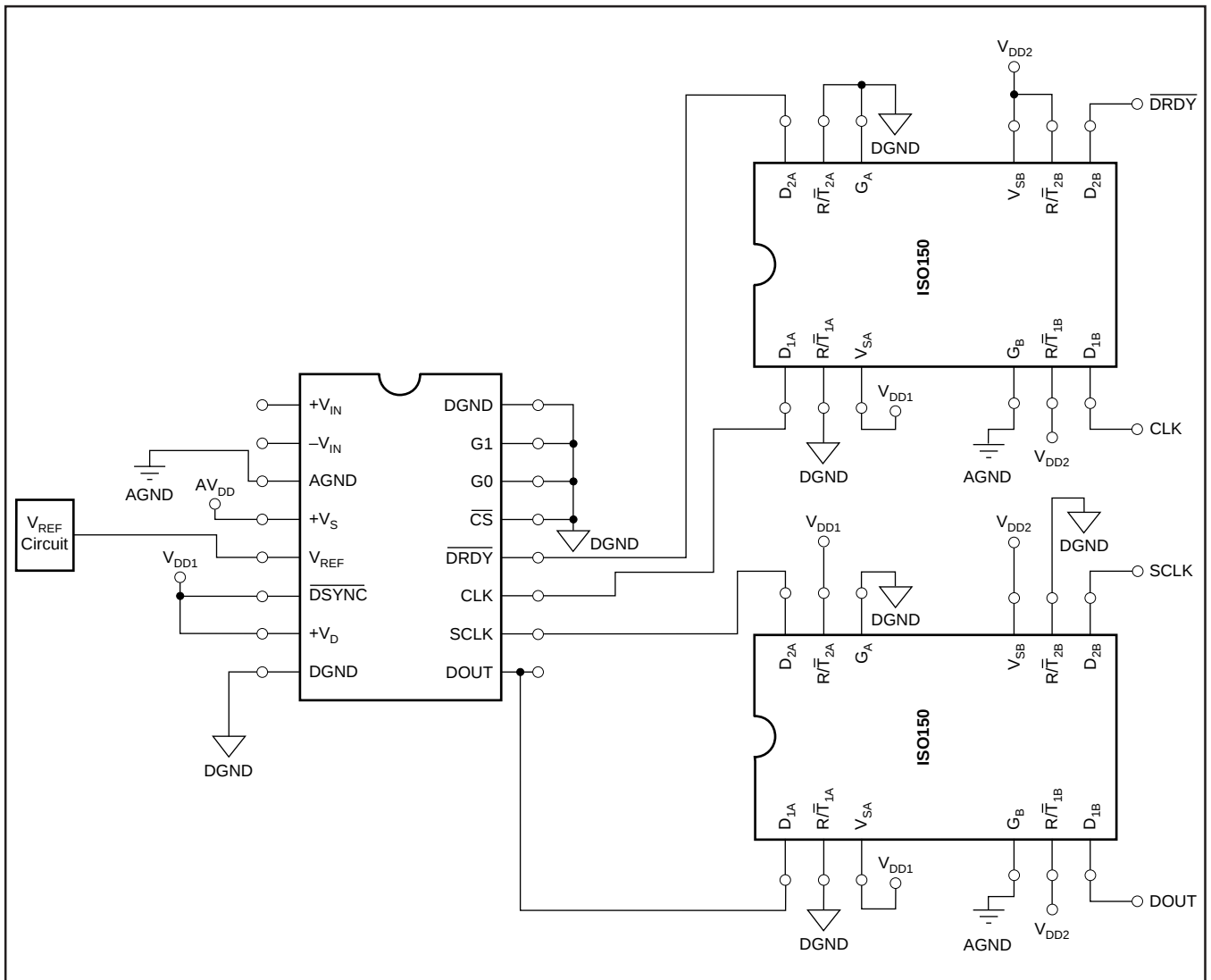


図11. 絶縁された4線インターフェース

デカップリング

ADS1250および設計のすべてのコンポーネントに対して適切なデカップリングを行うことが必要です。すべてのデカップリング・コンデンサ(特に0.1μFのセラミック・コンデンサ)は、目的のピンのできるだけ近くに配置します。 V_S とAGNDのデカップリングには、0.1μFのセラミック・コンデンサと並列に、1μFから10μFのコンデンサを使用します。各デジタル・コンポーネントのデジタル電源および V_D とDGNDのデカップリングには、少なくとも0.1μFのセラミック・コンデンサを使用します。

システムに関する考慮事項

電源およびグラウンディングの推奨事項は、システム全体の必要条件や個別の設計に応じて変化します。20ビットの雑音性能を達成することは、12ビットの雑音性能を達成するよりもずっと難しくなります。一般に、システムは次の4段に分割できます。

- アナログ処理
- ADS1250のアナログ部
- ADS1250のデジタル部
- デジタル処理

最小限のアナログ信号処理(基本的なフィルタおよびゲイン)、

マイクロコントローラ、および単一のクロック・ソースからなる最も単純なシステムでは、すべてのコンポーネントに共通の電源を使用しても高い分解能を達成できると考えられます。また、すべてのコンポーネントに共通のグランド・プレーンを使用することもできます。したがって、“アナログ”と“デジタル”の電源およびグランドの区別はなくなります。しかし、やはりレイアウトには電源プレーンとグランド・プレーンを使用し、慎重なデカップリングを行うことが必要です。極端な例として、複数のADS1250、高度なアナログ信号処理、1つ以上のマイクロコントローラ、デジタル信号プロセッサ、またはマイクロプロセッサ、数種類のクロック・ソース、および他の多様なシステムとの相互接続からなる設計も考えられます。この設計で高い分解能を達成することは非常に困難です。このような場合は、システムをできるだけ多くの部分に分割するアプローチをとります。例えば、各ADS1250に専用の‘アナログ’処理フロント・エンド、専用のアナログ電源およびグランド(アナログ・フロント・エンドとの共有も可能)、専用の‘デジタル’電源およびグランドを設けます。コンバータの‘デジタル’電源およびグランドは、システムのプロセッサ、RAM、ROM、グルー・ロジックの電源およびグランドとは分離します。

代表的な接続

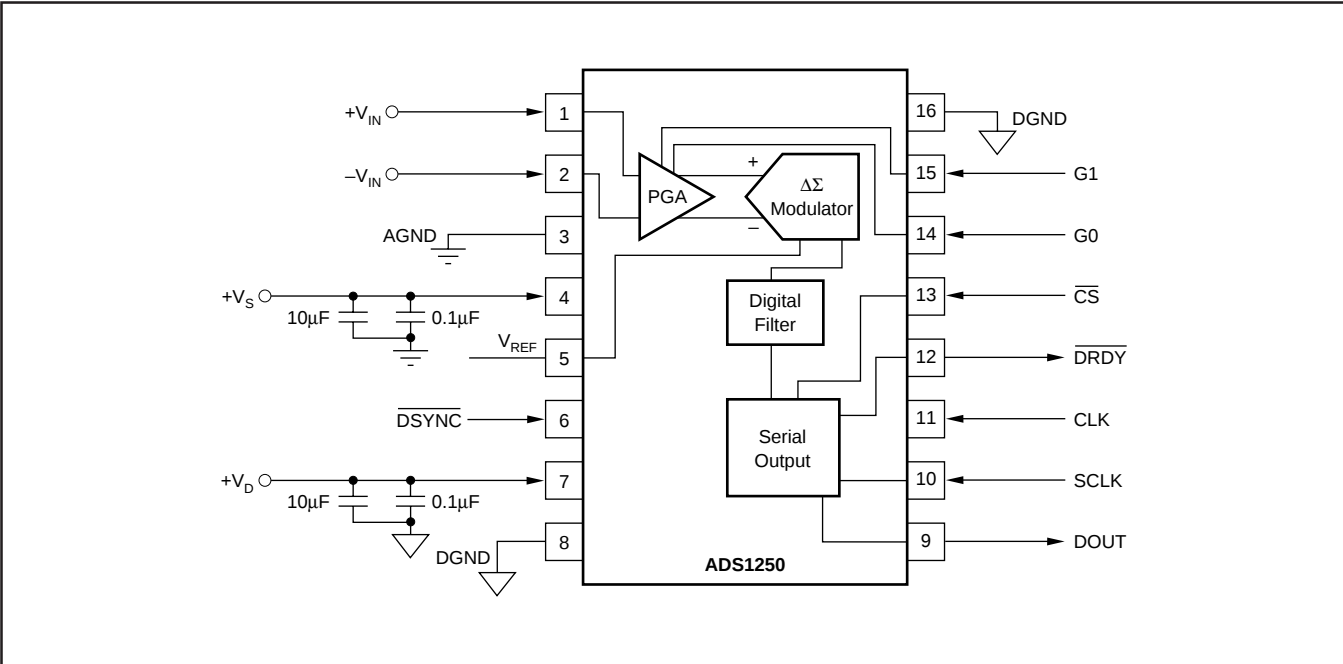


図12. 接続図

用語の定義

このデータシートでは、使用する用語の統一を図っています。各用語の定義を下記に示します。

アナログ入力の差動電圧 — アナログ信号が完全に差動の場合は、電圧範囲を計測アンプのものと比較することができます。例えば、ADS1250の両方のアナログ入力が2.048Vの場合、差動電圧は0Vになります。一方が0Vで他方が4.096Vの場合、差動電圧の大きさは4.096Vになります。これは、どちらの入力が0Vまたは4.096Vであるかに関係ありませんが、デジタル出力の結果は全く異なったものになります。アナログ入力の差動電圧は、次の式で与えられます。

$$+V_{IN} - (-V_{IN})$$

したがって、アナログ入力の差動電圧が正のときは常にデジタル出力が正になり、差動電圧が負のときは常にデジタル出力が負になります。例えば、コンバータが4.096Vのリファレンスで構成され、ゲイン2に設定されている場合、アナログ入力の差動電圧が2.048Vのとき、出力は正のフルスケールになります。差動電圧が-2.048Vのとき、出力は負のフルスケールになります。いずれの場合も、実際の入力電圧はAGNDから AV_{DD} までの範囲に保つことが必要です(表Iを参照)。

実際のアナログ入力電圧 — いずれかのアナログ入力におけるAGNDを基準とする電圧です。

フルスケール・レンジ(FSR) — ADS1250のフルスケール・レンジは、大部分のA/Dコンバータと同様、正のフルスケールのデジタル出力を発生する“入力”と負のフルスケールのデジタル出力を発生する“入力”の差として定義されます。例えば、コンバータが4.096Vのリファレンスで構成され、ゲイン2に設定されているとき、差分のフルスケール・レンジは次のようになります。

$$[2.048V(\text{正のフルスケール}) - (-2.048V) \\ (\text{負のフルスケール})] = 4.096V$$

最下位ビット(LSB)の重み — 出力データの1LSBの変化を観測するためにアナログ入力の差動電圧が変化しなければならない電圧の理論値です。これは次のように計算されます。

$$\text{LSBの重み} = \frac{\text{フルスケール・レンジ}}{2^N}$$

Nは、デジタル出力のビット数です。

変換サイクル — 通常、“変換サイクル”という語は、逐次比較型コンバータなどで実行される個々のA/D変換動作を指します。このデータシートでは、 $\overline{\text{DRDY}}$ パルス間の時間を“変換サイクル”と呼んでいます。

外觀

