



高ダイナミック・レンジ デルタ-シグマ型変調器

特 長

- ダイナミック・レンジ：130dB
- 完全な差動入力
- 2線式インターフェース
- 内部/外部リファレンス
- キャリブレーション用オンチップ・スイッチ

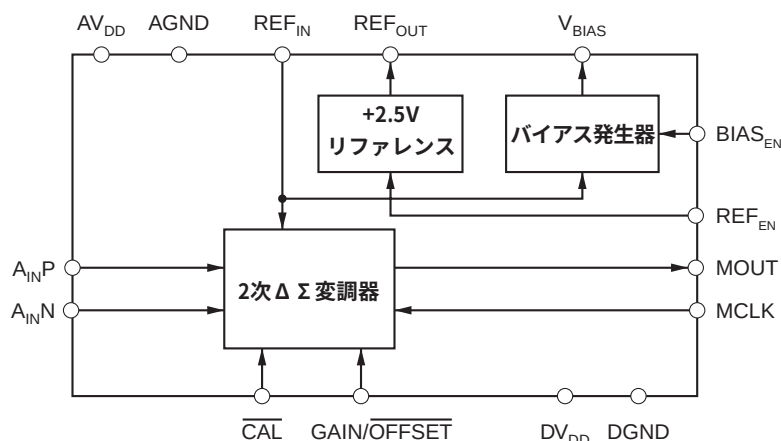
アプリケーション

- 工業用プロセス制御
- 計測機器
- スマート・トランスミッタ
- ポータブル機器
- 重量計
- 圧力トランスデューサ

概 要

ADS1201は、+5V単一電源で動作し、130dBのダイナミック・レンジをもつ高精度なデルタ-シグマ($\Delta\Sigma$)型変調器です。差動入力、トランスデューサや低レベル信号との直接接続に最適です。適切なデジタルフィルタと変調器のレートを使用することにより、ノー・ミッシング・コードで24ビットのアナログ-デジタル(A/D)変換を達成することができます。1kHzのデジタルフィルタ帯域幅と320kHzの変調器のレートでは、20ビットの実効分解能を維持することができます。

ADS1201は、スマート・トランスミッタ、工業用プロセス制御、重量計、クロマトグラフィ、ポータブル計測機器など、高分解能の測定アプリケーション用に設計されています。パッケージは、16ピンSOPで供給されます。



仕様

特に記述のない限り、T_A = +25°C、AV_{DD} = DV_{DD} = +5V、MCLK = 320kHz、REF_{EN} “ロー”、BIAS_{EN} “ロー”、+2.5V外部リファレンスを使用します。

パラメータ	条件	ADS1201U			単位
		最小	標準	最大	
アナログ入力					
絶対入力電圧範囲	V _{BIAS} ⁽¹⁾ 使用時	0		+5	V
差動入力電圧範囲	V _{BIAS} ⁽¹⁾ 使用時	-10		+10	V
入力インピーダンス		-5	注(2)参照	+5	V
入力キャパシタンス		-20	250 ⁽⁴⁾	+20	V
入力リーク電流			8		kΩ
			5		pF
	T _{MIN} ~ T _{MAX}			50	pA
				1	nA
システム性能					
ダイナミック・レンジ	10Hz帯域幅 ⁽⁵⁾	115 ⁽⁶⁾	130 ⁽⁶⁾		dB
	60Hz帯域幅 ⁽⁵⁾		120 ⁽⁶⁾		dB
	1kHz帯域幅 ⁽⁵⁾		115 ⁽⁶⁾		dB
積分直線性誤差	60Hz帯域幅 ⁽⁵⁾			±0.0015	%FSR
	1kHz帯域幅 ⁽⁵⁾			±0.0015	%FSR
オフセット誤差 ⁽²⁾			注(7)参照		μV
オフセット・ドリフト ⁽³⁾			1		μV/°C
ゲイン誤差 ⁽²⁾			注(7)参照		ppm
ゲイン誤差ドリフト ⁽³⁾			1		ppm/°C
同相モード除去	DC	80	100		dB
電源除去			80		dB
リファレンス					
内部リファレンス(REF _{OUT})		2.4	2.5	2.6	V
ドリフト			25		ppm/°C
雑音			50		μVp-p
負荷電流	ソースまたはシンク	-1		1	mA
出力インピーダンス			2		Ω
外部リファレンス(REF _{IN})		2.0		3.0	V
負荷電流				2.5	μA
V _{BIAS} 出力	内部リファレンス使用時	3.15	3.3	3.45	V
ドリフト			50		ppm/°C
負荷電流				10	mA
デジタル入出力					
ロジック・ファミリ			TTLコンパチブルCMOS		
ロジック・レベル:					
V _{IH} (MCLK)	I _{IH} = +5μA	2.0		DV _{DD} +0.3	V
V _{IL} (MCLK)	I _{IL} = +5μA	-0.3		0.8	V
V _{OH} (MOUT)	I _{OH} = 2TTL負荷	2.4			V
V _{OL} (MOUT)	I _{OL} = 2TTL負荷			0.4	V
MCLK周波数		0.02		1	MHz
電源条件					
電源電圧	仕様に規定された性能	4.75		5.25	V
電源電流					
アナログ電流			4.6		mA
デジタル電流			0.4		mA
その他のアナログ電流					
REF _{OUT} イネーブル	無負荷		1.6		mA
V _{BIAS} イネーブル	無負荷		1		mA
合計消費電力	REF _{OUT} 、V _{BIAS} ディスエーブル		25	40	mW
温度範囲					
仕様に規定された性能		-40		+85	°C

注：(1)この範囲は、外部抵抗とV_{BIAS}を使用して設定します(本文参照)。他の範囲も可能です。(2)オンチップのオフセットおよびゲイン・キャリブレーション機能を実行した後。(3)これらの誤差は、キャリブレーションの再実行により低減することができます。(4)入力インピーダンスは、MCLKに応じて変化します。(5)ブリック・ウォール型デジタルフィルタの使用を仮定。(6)20Log(フルスケール/rms雑音)。(7)キャリブレーション後、これらの誤差は実効分解能のオーダーになります。

このデータシートに記載されている情報は、信頼し得るものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認または保証するものではありません。

絶対最大定格

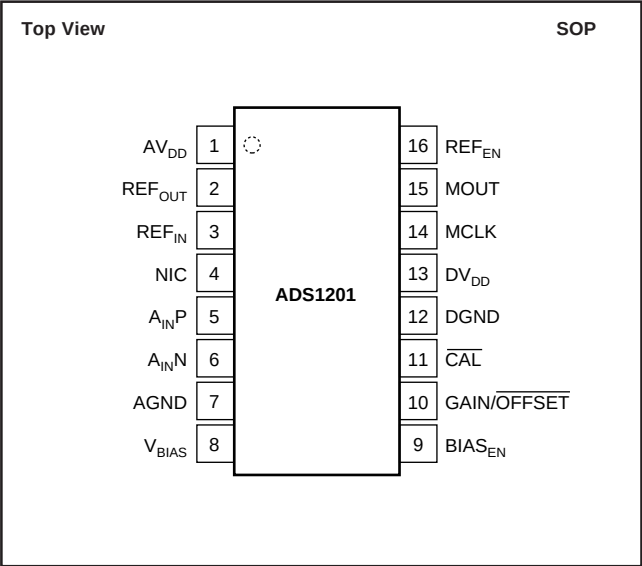
アナログ入力：電流	±100mA、瞬時 ±10mA、連続
電圧	AGND – 0.3V～AV _{DD} +0.3V
AV _{DD} ～DV _{DD}	–0.3V～6V
AV _{DD} ～AGND	–0.3V～6V
DV _{DD} ～DGND	–0.3V～6V
AGND～DGND	±0.3V
REF _{IN} 電圧～AGND	–0.3V～AV _{DD} +0.3V
デジタル入力電圧～DGND	–0.3V～DV _{DD} +0.3V
デジタル出力電圧～DGND	–0.3V～DV _{DD} +0.3V
リード温度(10秒間の半田付け)	+300℃
内部消費電力	500mW

注：(1)定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置



パッケージ情報/ご発注の手引き

モデル	パッケージ	パッケージ図番号 ⁽¹⁾	仕様温度範囲	パッケージのマーキング	発注番号 ⁽²⁾	供給時の状態
ADS1201U	SOL-16	211	–40℃～+85℃	ADS1201U	ADS1201U	マガジン
ADS1201U	SOL-16	211	–40℃～+85℃	ADS1201U	ADS1201U/1K	テープリール

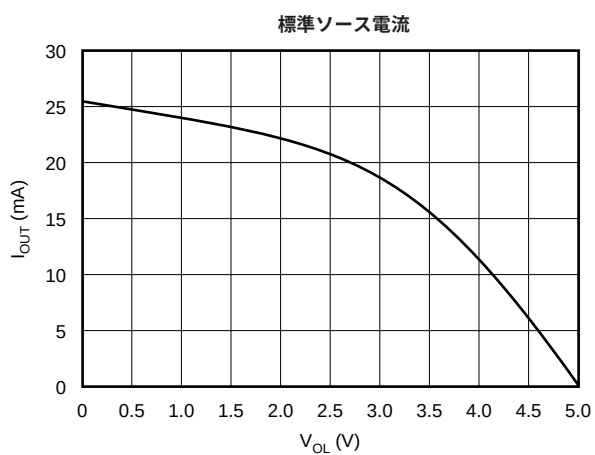
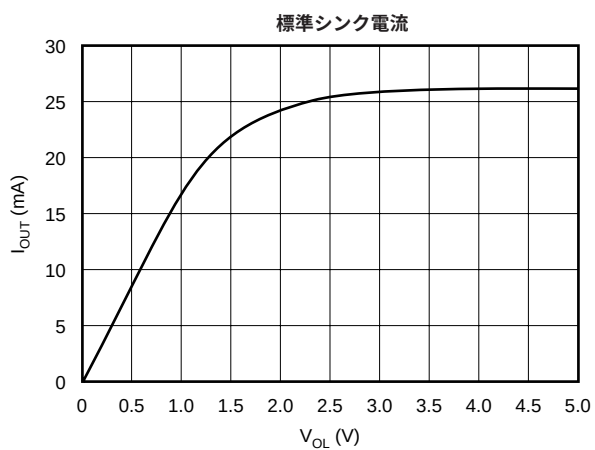
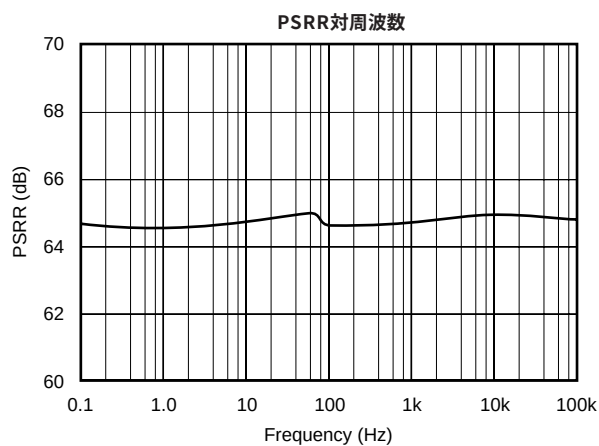
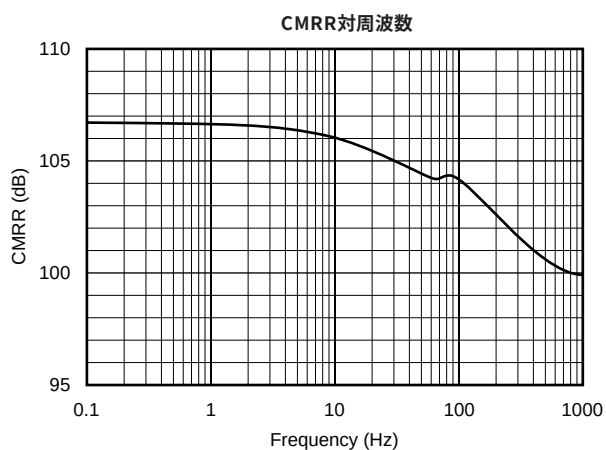
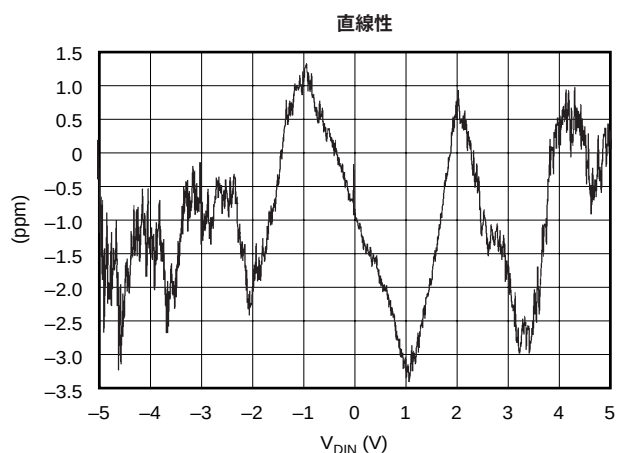
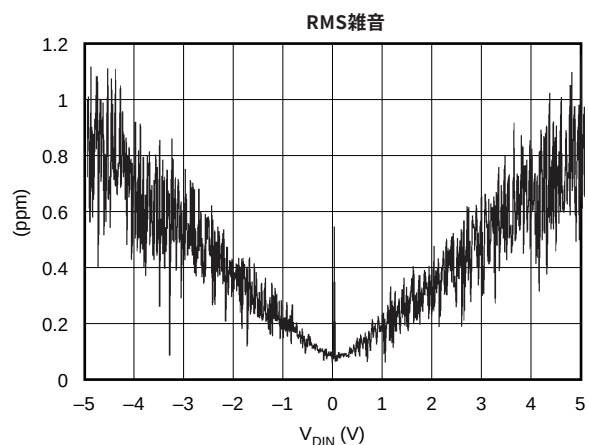
注：(1)詳細図および寸法表は、データシートの巻末を参照して下さい。(2)スラッシュ(/)の付いたモデルは、その後に示される数量を単位として、テープリールでのみ供給されます(例えば、/1Kは1,000個で1リールであることを示します)。「ADS1201U/1K」をご発注の場合、1,000個入りのテープリールが1本納入されます。

ピン構成

ピン番号	名称	説明
1	AV _{DD}	アナログ入力：アナログ電源、公称+5V
2	REF _{OUT}	アナログ出力：内部リファレンス電圧出力：公称+2.5V
3	REF _{IN}	アナログ入力：リファレンス電圧入力
4	NIC	内部接続なし
5	A _{IN} P	アナログ入力：非反転入力
6	A _{IN} N	アナログ入力：反転入力
7	AGND	アナログ入力：アナログ・グランド
8	V _{BIAS}	アナログ出力：バイアス電圧出力、公称+3.3V(リファレンスが+2.5Vの場合)
9	BIAS _{EN}	デジタル入力：バイアス電圧イネーブル入力(“ハイ”= イネーブル、“ロー”= ディスエーブル)
10	GAIN/OFFSET	デジタル入力：ゲイン/オフセット・キャリブレーション入力選択(CAL“ロー”；“ハイ”= ゲイン構成、“ロー”= オフセット構成)
11	CAL	デジタル入力：キャリブレーション制御入力(“ハイ”= 通常動作、“ロー”= ゲインまたはオフセット・キャリブレーション構成)
12	DGND	デジタル入力：デジタル・グランド
13	DV _{DD}	デジタル入力：デジタル電源、公称+5V
14	MCLK	デジタル入力：変調器クロック入力。CMOSコンパチブル
15	MOUT	デジタル出力：変調器出力
16	REF _{EN}	デジタル入力：REF _{OUT} 電圧イネーブル入力(“ハイ”= イネーブル、“ロー”= ディスエーブル)

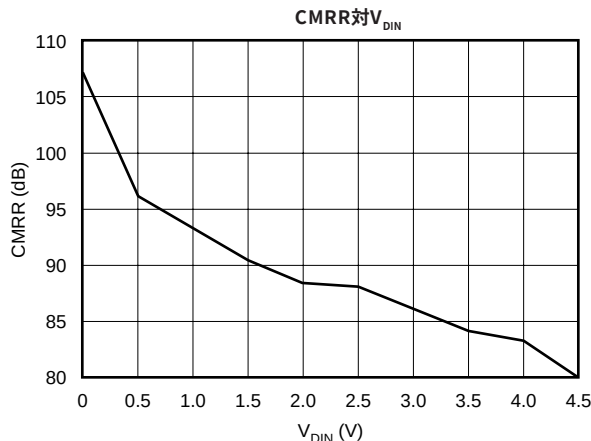
代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = +5\text{V}$ 、 $MCLK = 320\text{kHz}$ 、 REF_{EN} “ロー”、 $BIAS_{EN}$ “ロー”、+2.5V外部リファレンスを使用します。



代表的性能曲線

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = +5\text{V}$ 、 $MCLK = 320\text{kHz}$ 、 REF_{EN} “ロー”、 $BIAS_{EN}$ “ロー”、+2.5V外部リファレンスを使用します。



概要

ADS1201は、dcから1000Hzまでの高分解能の変換用に設計された1チャンネルの2次CMOSアナログ変調器です。コンバータの出力(MOUT)は、デジタルの1と0のストリームです。このシリアル出力の平均は、アナログ入力電圧に比例します。デジタルフィルタとしてプログラムしたプロセッサとADS1201の組み合わせにより、高分解能のA/Dコンバータ・システムが得られます。このシステムでは、デジタルフィルタの設計の柔軟性と、130dB以上のダイナミック・レンジをもつA/D変換機能を実現することが可能です(図1参照)。

動作原理

ADS1201の差動アナログ入力、スイッチト・キャパシタ回路により実現されています。このスイッチト・キャパシタ回路の2次の変調器段により、入力信号がバイナリ出力ストリームにデジタル化されます。コンバータの入力段は、アナログ信号をサンプリングするか、またはオフセットおよびゲイン誤差のキャリブレーションを実行するように構成することができます。サンプリング・クロック(MCLK)は、スイッチト・キャパシタ・ネットワークと変調器のA/D変換プロセスのクロック信号および出力データのフレーミング・クロックとして供給されます。このクロック周波数を調整することにより、各種の分解能および信号帯域幅の性能が得られます。A/Dコンバータは、アナログ入力信号を連続的にサンプリングして内部または外部リファレンス電圧と比較し、デジタル・ストリームを出力します。このデジタル・ストリームは、一定時間のアナログ入力電圧を正確に表します。

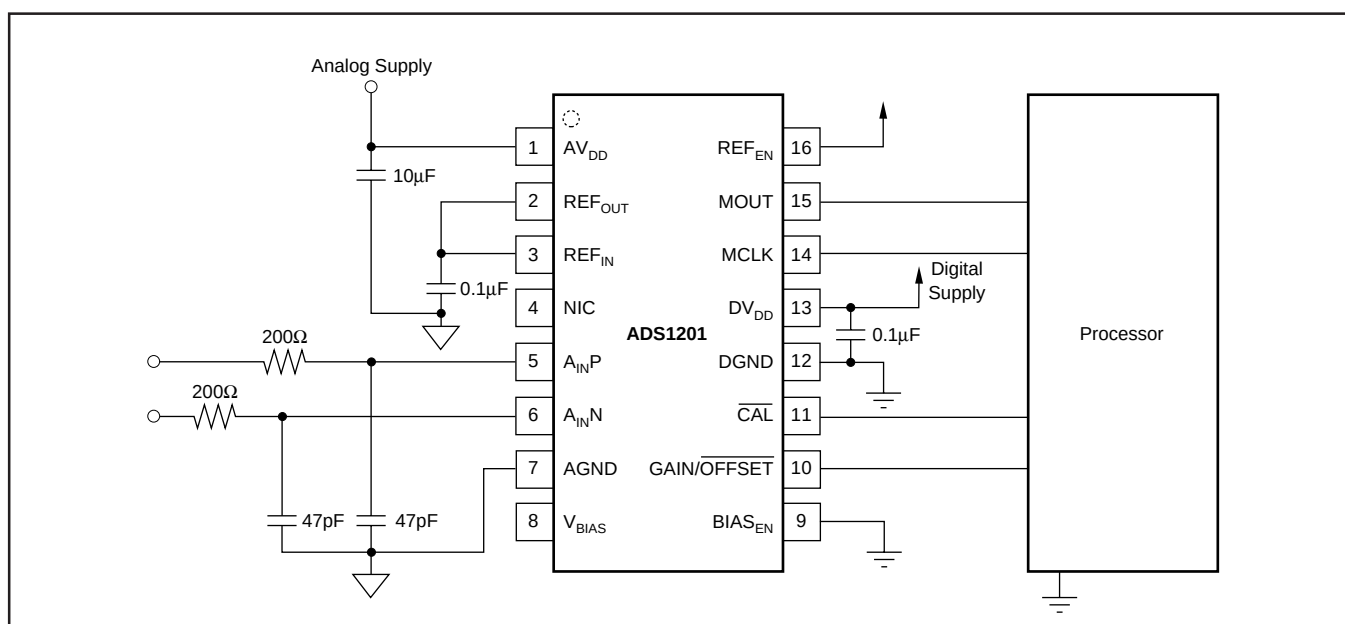


図1. ADS1201デルタ・シグマ変調器と外部プロセッサの接続図

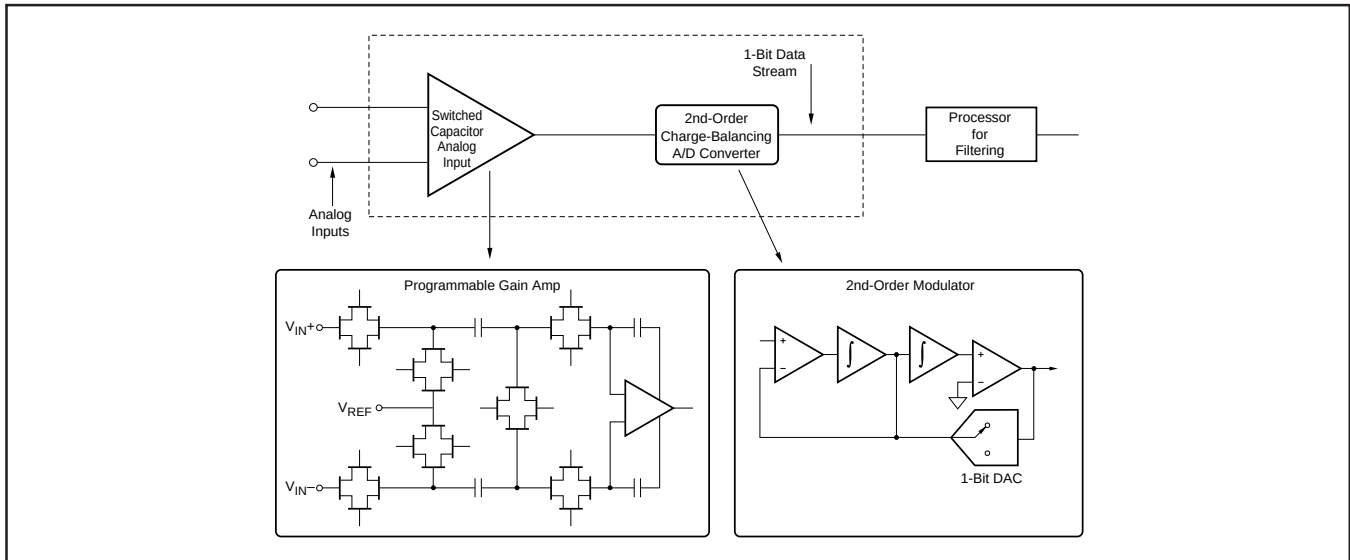


図2. ADS1201のブロック図

アナログ入力段 アナログ入力

ADS1201の入力設計トポロジは、完全な差動スイッチト・キャパシタ・アーキテクチャに基づいています。この入力段のメカニズムにより、低システム雑音、高同相モード除去(100dB)、および優れた電源除去が達成されます。アナログ入力の入力インピーダンスは、入力キャパシタと変調器のクロック周波数(およびコンバータのサンプリング周波数)のMCLKに依存します。図3に、ADS1201の入力の基本的な構造を示します。ADS1201の入力インピーダンスと変調器のクロック周波数の間には、次の関係があります。

$$A_{IN} \text{ 入力インピーダンス}(\Omega) = \frac{1E12}{12 \cdot f_{MCLK}}$$

入力信号のソース・インピーダンスが大きい設計では、入力インピーダンスが問題になります。この場合、信号の一部が外部のソース・インピーダンスで失われる可能性があります。この効果の重要性は、目的のシステム性能によって異なります。

ADS1201のアナログ入力信号には、2つの制限があります。アナログ入力を流れる電流は、いかなる場合も10mAを超えてはなりません。また、デバイスの直線性は、各入力に印加されるアナログ電圧が $AGND \leq -30mV$ かつ $\leq AV_{DD} + 30mV$ で定義される範囲にあるときのみ保証されます。いずれかの入力でこの制限を超えた場合は、コンバータのフロント・エンドにある入力

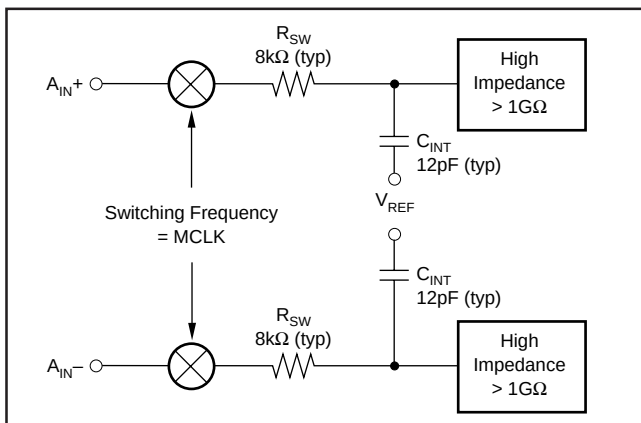


図3. ADS1201の入力インピーダンス

保護ダイオードがオンになります。この結果、リーケージ・パスが発生し、変換プロセスの直線性が失われる原因になります。

このため、0Vから5Vの入力レンジは、注意して使用することが必要です。AV_{DD}が4.75Vの場合、アナログ入力信号は、デバイスの保証された仕様の範囲外をスイングすることになります。この動作モードを使用する設計では、少し狭いレンジにスパンを制限することを考慮すべきです。また、同相モード電圧も重要な問題になるため、慎重に解析することが必要です。

変調器

変調器のサンプリング周波数(MCLK)は、20kHzから1MHzのレンジで動作させることができます。MCLKの周波数は、コンバータの性能を向上するために増加したり、アプリケーションのクロックの必要条件に合わせて調整することができます。

変調器のトポロジは、基本的には2次の電荷平衡型A/Dコンバータです(図4の概念図を参照)。アナログ入力電圧と1ビットDACの出力の差分が、X₂とX₃のアナログ電圧になります。X₂とX₃の電圧は、それぞれ個別に積分器に供給されます。これらの積分器の出力は、負または正の方向へ進行します。X₂の信号の値がコンパレータのリファレンス電圧と等しくなると、コンパレータの出力は、元の状態に応じて負から正または正から負へ切り換わります。コンパレータの出力の値が“ハイ”から“ロー”または“ロー”から“ハイ”に切り換わると、1ビットDACが次のクロック・パルスで応答し、X₆のアナログ出力電圧を変化させます。これにより、積分器は反対方向に進行します。変調器から積分器のフロント・エンドへの帰還により、積分器の出力の値が入力の平均値を追跡するようになっています。

リファレンス回路

ADS1201コンバータには、 V_{REF} (REF_{IN} 、 REF_{OUT})と V_{BIAS} の2つのリファレンス回路があります。 V_{REF} の回路は、ユーザがチップの内部リファレンスを使用するか、またはコンバータに外部リファレンスを供給するように構成することができます(図5参照)。第2のリファレンスの V_{BIAS} は、内部または外部にかかわらず、 V_{REF} を基に構成されます。 V_{BIAS} は、出力専用のリファレンスです。 V_{REF} と V_{BIAS} の比例関係により、2種類のバイアス電圧が必要なアプリケーションでシステム誤差が低減します。

ことができます。外部リファレンスを使用する場合は、低雑音性能をもったリファレンスを選択するように注意が必要です。外部リファレンスの適切な接続の回路を図5bに示します。リファレンスの寄与による高周波雑音を低減するため、リファレンスに適切なコンデンサを使用して構成することが必要です。 REF_{IN} の入力インピーダンスは、クロック周波数に応じて次のように変化します。

$$REF_{IN} \text{の標準的な入力インピーダンス} = \frac{1E12}{50 \cdot f_{MCLK}}$$

リファレンス入力(REF_{IN})

ADS1201のリファレンス入力(REF_{IN})は、変換プロセスで2.5Vの内部リファレンス(公称値)または外部リファレンスを使用するように構成することができます。内部リファレンスを使用する場合の適切な接続の構成を図5aに示します。この回路では、低雑音の性能が要求される場合、コンデンサを使用することが絶対に必要です。

外部リファレンスを使用すると、変換プロセスの雑音を低減す

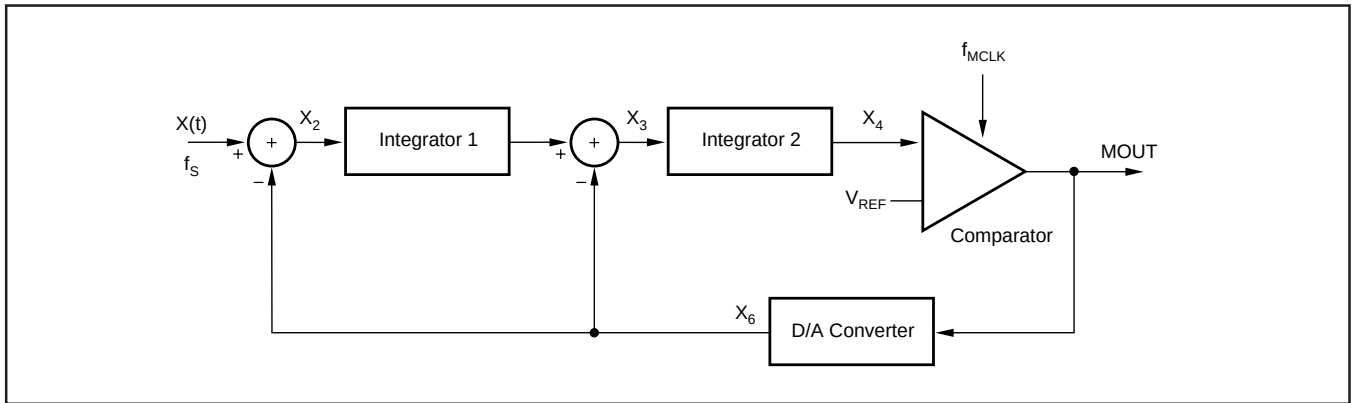


図4. 2次変調器のブロック図

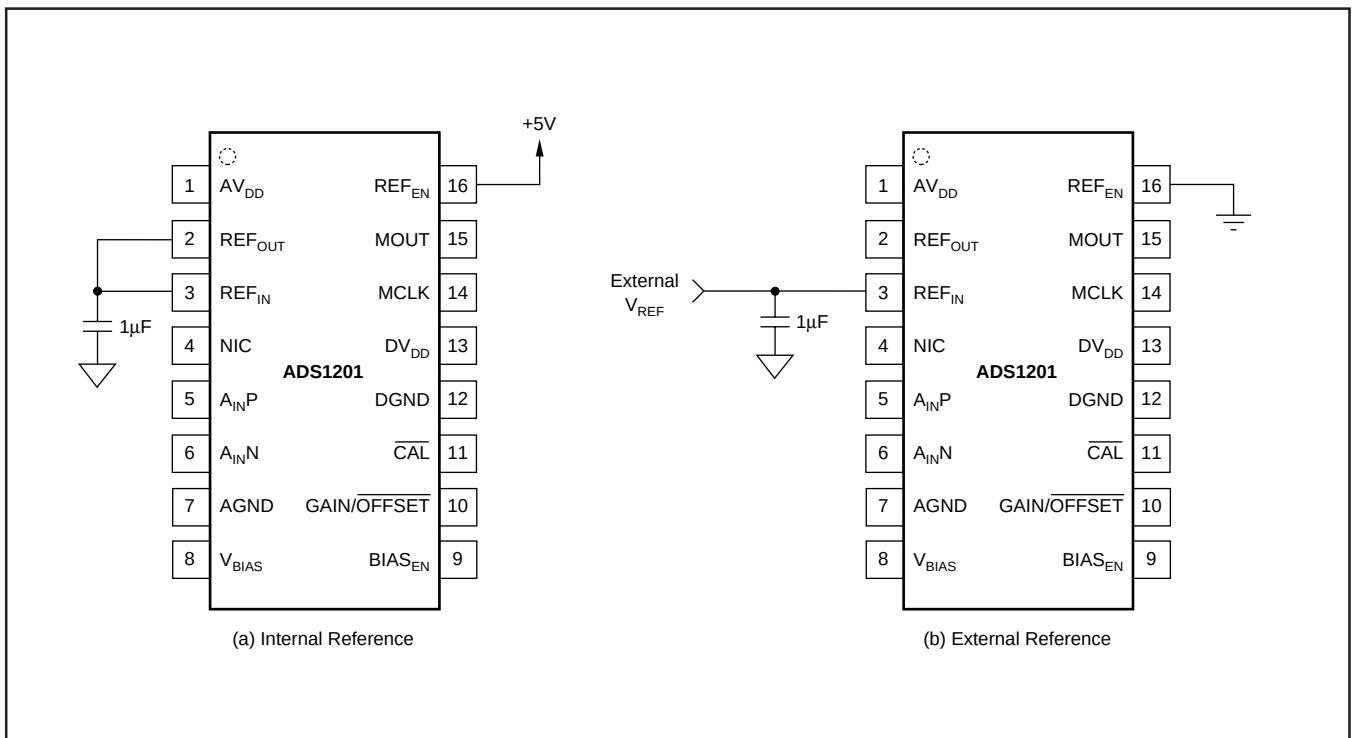


図5. ADS1201の2種類のリファレンス電圧の接続

リファレンス入力の電圧レンジは、2Vから3Vの間です。高いリファレンス電圧では、フルスケール・レンジが増加しますが、コンバータの内部回路の雑音はほぼ一定に保たれます。したがって、LSBの重みが増加し、内部雑音が増加しないため、信号/雑音比が向上します。逆に、低いリファレンス電圧では、信号/雑音比が低下します。

内部リファレンスは、+2.5Vを発生し、外部リファレンスを使用するときにディセーブルすることができます。内部リファレンスは、REF_{EN}ピンを使用してディセーブルします。リファレンスをディセーブルすると、コンバータの電源電流(AV_{DD})が約1.6mA減少します。

リファレンス出力(VREF_{OUT})

ADS1201は、+2.5Vの内部リファレンスを備えています(図5を参照)。この機能を使用するときは、REF_{EN}を“ハイ”にすることが必要です。このリファレンスの許容誤差、ドリフト、

雑音などの仕様は、「仕様」の表に記載されています。このリファレンスは1mA以上の電流のシンクまたはソースを許容するには設計されていないことに注意してください。また、リファレン스에動的または可変の負荷をかけることは推奨されません。負荷の変動によってリファレンス電圧がわずかに変化することがあります。

電圧バイアス出力(V_{BIAS})

V_{BIAS}出力の電圧は、リファレンス入力(REF_{IN})の電圧に依存し、約1.33倍の大きさになります。V_{BIAS}出力は5V以上の入力信号をバイアスするために使用します。V_{BIAS}出力を抵抗ネットワークと組み合わせて使用すると、ADS1201の入力レンジに合わせた信号レンジのスケールリングおよびレベル・シフトを行うことができます。図6に、ADS1201で±10Vの入力信号(フルスケール・レンジは20V)を使用できる接続図を示します。BIAS_{EN}が“ハイ”の場合、V_{BIAS}の電圧は3.3Vになります(V_{REF}が公称値2.5Vと仮定)。

REF _{EN}	REF _{OUT}
“ロー”	ハイ・インピーダンス
“ハイ”	2.5V(公称値)

表I. リファレンス・イネーブル

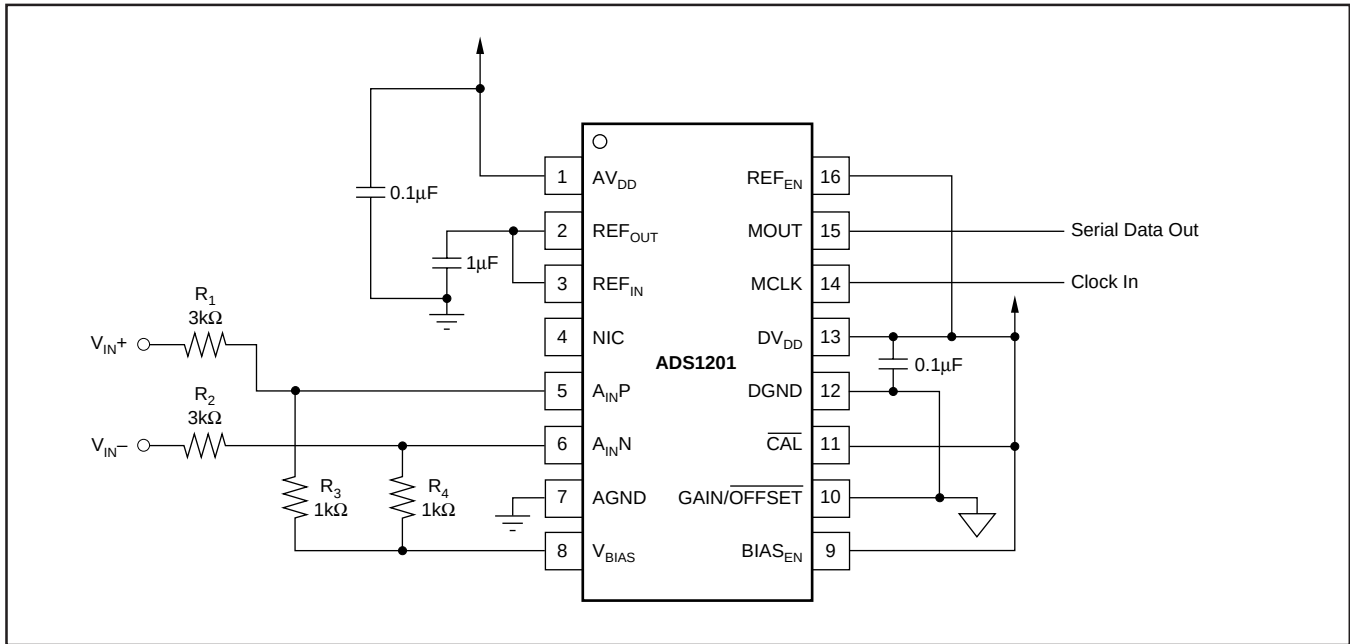


図6. V_{BIAS}を使用したバイポーラ入力の構成

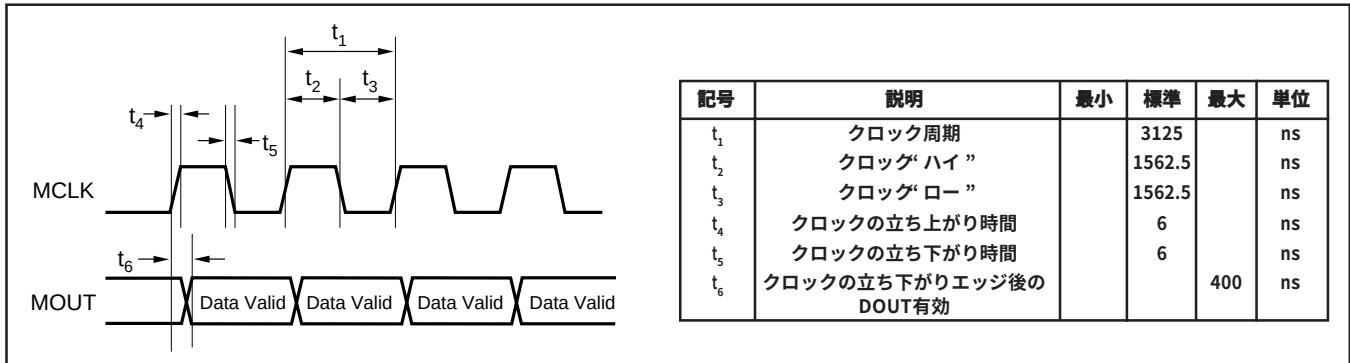


図7. ADS1201のデジタル・インターフェースのタイミング図

BIAS _{EN}	V _{BIAS}
“ロー”	ハイ・インピーダンス
“ハイ”	1.33V・V _{REF}

表II. バイアス・イネーブル

イネーブルした場合、V_{BIAS}回路は外部負荷がない状態で約1mAを消費します。V_{BIAS}を流れる最大電流は10mAを超えてはなりません。

電源投入時に、V_{BIAS}をイネーブルする前に外部信号が存在することがあります。この場合、アナログ入力に負の電圧が印加され、ADS1201の負入力保護ダイオードに逆バイアスがかかる状況が発生します。この状況は、抵抗R₁およびR₂によって各アナログ入力のソース電流が10mA以下に制限されている限り、問題になりません。アナログ入力ピン(A_{IN}PまたはA_{IN}N)の電位を0Vとして計算を行うことが必要です。

デジタル出力

ADS1201のデータ抽出のタイミングを図7に示します。MCLKによって、ADS1201の変調プロセスが開始され、ADS1201がシステムクロックおよびデータ出力のフレーミング・クロックとして使用します。変調器の出力データは、シリアル・ストリームとしてMOUTピンから出力されます。

通常、MOUTはMCLKの立ち下がりエッジで読み取られます。結果の信頼性および再現性を確保するには、変調器のクロック周波数(MCLK)の状況にかかわらず、デューティ・サイクルを一定に保つことが必要です。入力差動信号が0Vの場合、理論的に時間の50%が“ハイ”、時間の50%が“ロー”の1と0のストリームが出力されます。差動入力が5Vの場合は、時間の90%が“ハイ”の1と0のスト

リームが出力されます。差動入力が-5Vの場合は、時間の10%が“ハイ”の1と0のストリームが出力されます。変調器の入力電圧対出力信号を図8に示します。

オフセットおよびゲインのキャリブレーション

ADS1201は、GAIN/OFFSETおよびCAL_{EN}ピンによる自動キャリブレーション機能を備えています。どちらの条件でも、コンバータがA_{IN}で入力信号をサンプリングする通常動作の場合と同じようにデータ・ストリームが出力されます。

ADS1201のオフセットおよびゲイン誤差は、独立にキャリブレートします。最高の性能を得るためには、最初にオフセットをキャリブレートしてから、ゲインをキャリブレートします。キャリブレーションのタイミングを図9に示します。ADS1201のキャリブレーション機能は、キャリブレーション・モード・ピンで制御します。

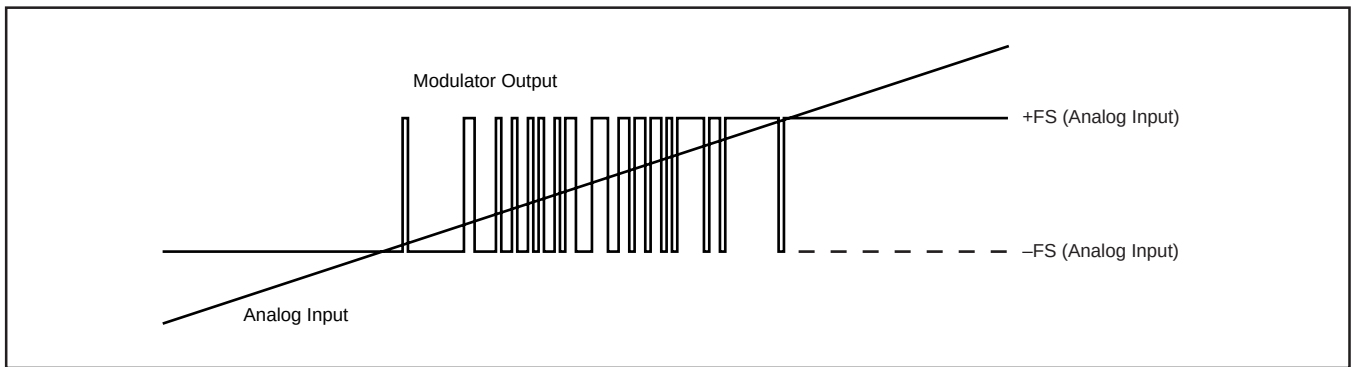


図8. ADS1201のアナログ入力対変調器出力

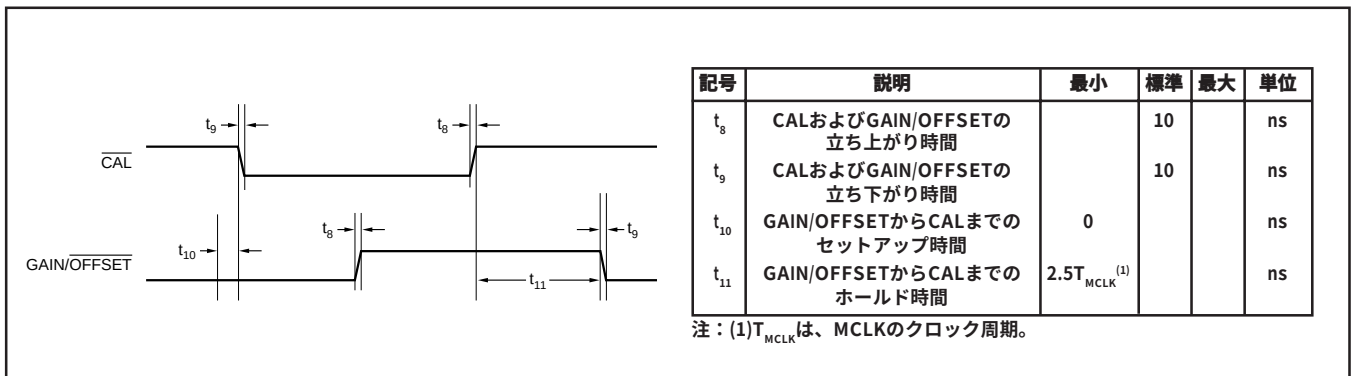


図9. ADS1201のキャリブレーション機能のタイミング図

GAIN/OFFSET	CAL _{EN}	
0	1	通常モード
0	0	オフセット・キャリブレーション。 アナログ入力には内部でグラウンドに短絡される。
1	0	フルスケール・キャリブレーション。 アナログ入力には内部でV _{REF} を基準とする。

表III. キャリブレーション・イネーブル

キャリブレーションを1回実行してから通常動作を再開します。電源投入直後および動作環境に「大きな変化」があったときには必ずオフセットおよびゲインのキャリブレーションを実行することを推奨します。動作環境の大きな変化には、MCLKの周波数、MCLKクロックのデューティ・サイクル、電源、V_{REF}、温度などの変化があります。キャリブレーションを再実行する際の変化の量は、アプリケーションおよびシステムの実効分解能に依存します。

キャリブレーションの計算結果は、プロセッサ・チップの2つのレジスタに保存します(図1参照)。この2つのキャリブレーションの結果を使用して、入力信号の結果を次のいずれかの式によりキャリブレートすることができます。

等価のキャリブレートした出力コード

$$= \text{FSC}(\text{FO}_1 - \text{FO}_2) / (\text{FO}_3 - \text{FO}_2)$$

ここで

FO₁ = 印加した入力電圧のフィルタ出力コード

FO₂ = オフセット・キャリブレーションのフィルタ出力コード

FO₃ = ゲイン・キャリブレーションのフィルタ出力コード

FSC = 必要なフルスケール出力

簡単な同期フィルタを使用した場合、キャリブレートしたA/D変換は次式のようになります。

等価のキャリブレートした入力電圧

$$= (N_1 - N_2) \cdot V_{\text{REF}} / (N_3 - N_2)$$

ここで

N₁ : 印加した入力電圧について、一定の時間(t_M)にカウントされた1の数(またはフィルタ後の等価のデジタル値)

N₂ : t₁₂ = t_Mのオフセット・キャリブレーションでカウントされた1の数(またはフィルタ後の等価のデジタル値)

N₃ : t₁₃ = t_Mのゲイン・キャリブレーションでカウントされた1の数(またはフィルタ後の等価のデジタル値)

システムのキャリブレーションは、既知の2つの電圧レベルをコンバータの入力に印加することにより実行することができます。この場合、GAIN/OFFSETおよびCAL_{EN}ピンは使用せず、既知の2つの電圧に対応するデジタル出力をプロセッサに保存します。プロセッサは、このデータを使用してアプリケーションに適したキャリブレーション・レジスタの値を決定することができます。

レイアウトに関する考慮事項

電源

ADS1201では、デジタル電源(DV_{DD})がアナログ電源(AV_{DD})より高くならないことが必要です。この条件に反すると、ADS1201に永久的な損傷を与える原因になります。最良の方法は、設計のアナログ部およびAV_{DD}のラインとデジタル部およびDV_{DD}のラインを、それぞれ独立した+5Vライン(同じ電源)から供給することです。ADS1201のアナログ電源とデジタル電源が分離している場合、最初にアナログ電源を、その後にデジタル電源を配置することが、良い設計へのアプローチになります。アナログ電源とデジタル電源の差を制御するためのもう一つの方法を図10に示します。この回路では、ADS1201の両方の電源ピンを10Ωの抵抗を介して接続します。この抵抗とデカップリング・コンデンサの組み合わせにより、DV_{DD}とAV_{DD}間に多少のフィルタ効果が得られます。

アナログ電源は、安定で低雑音であることが必要です。ADS1201から非常に高い分解能を要求する設計では、電源除去が問題になります。デジタル電源の必要条件は厳しくありませんが、DV_{DD}の高周波雑音がADS1201のアナログ部に容量的に結合することがあります。この雑音は、スイッチング電源、高速なマイクロプロセッサ、デジタル信号プロセッサなどから発生します。

いずれの電源の場合も、高周波雑音は一般に外部デジタルフィルタによってMCLKの整数倍で除去されます。このような周波数の直前または直後では、デジタルフィルタの通過帯域に雑音のエリアシングが発生し、変換結果に影響します。

アナログ電源およびデジタル電源をオンにする前に、A_{IN}、REF_{IN}、MCLKなどのADS1201の入力が存在しないようにします。この条件に反すると、ラッチアップの原因になります。電源をオンにする前にこれらの信号が存在する場合は、直列抵抗を使用して入力電流を制限することが必要です。

ADS1201に使用する電源が1つだけの場合は、AV_{DD}およびDV_{DD}の両方にシステムのアナログ電源を使用します。AV_{DD}とDV_{DD}の適切な接続は、実験により決定するのが確実な方法です。

グラウンディング

設計のアナログ部とデジタル部は、注意して完全に分割することが必要です。各部に専用のグラウンド・プレーンを設け、相互に重ならないようにします。AGNDは、他のすべてのアナログ・グラウンドとともにアナログ・グラウンド・プレーンに接続します。DGNDは、デジタル・グラウンド・プレーンおよびこのプレーンを基準とするすべてのデジタル信号と接続します。

ADS1201のピンアウトは、コンバータがアナログ部とデジタル部に完全に分割されるようになっています。このため、設計のアナログ部とデジタル部に単純なレイアウトを使用することが可能です。

単一コンバータ・システムでは、ADS1201のAGNDとDGNDを1つに接続することができます。グラウンド・プレーンは結合しないようにし、コンバータ下部の信号パターンを使用して両者を接続します。複数のコンバータの場合は、できるだけすべてのコンバータの中心に近い位置で2つのグラウンド・プレーンを接続します。2つのプレーンを接続する最良の点を見つけるために実験が必要なこともあります。AGNDとDGNDの適切な接続は、実験により決定するのが確実な方法です。

デカップリング

ADS1201および設計のすべてのコンポーネントに対して適切なデカップリングを行うことが必要です。すべてのデカップリング・コンデンサ(特に0.1 μ Fのセラミック・コンデンサ)は、目的のピンのできるだけ近くに配置します。AV_{DD}とAGNDのデカップリングには、0.1 μ Fのセラミック・コンデンサと並列に、1 μ Fお

よび10 μ Fのコンデンサを使用します。各デジタル・コンポーネントのデジタル電源およびDV_{DD}とDGNDのデカップリングには、少なくとも0.1 μ Fのセラミック・コンデンサを使用します。

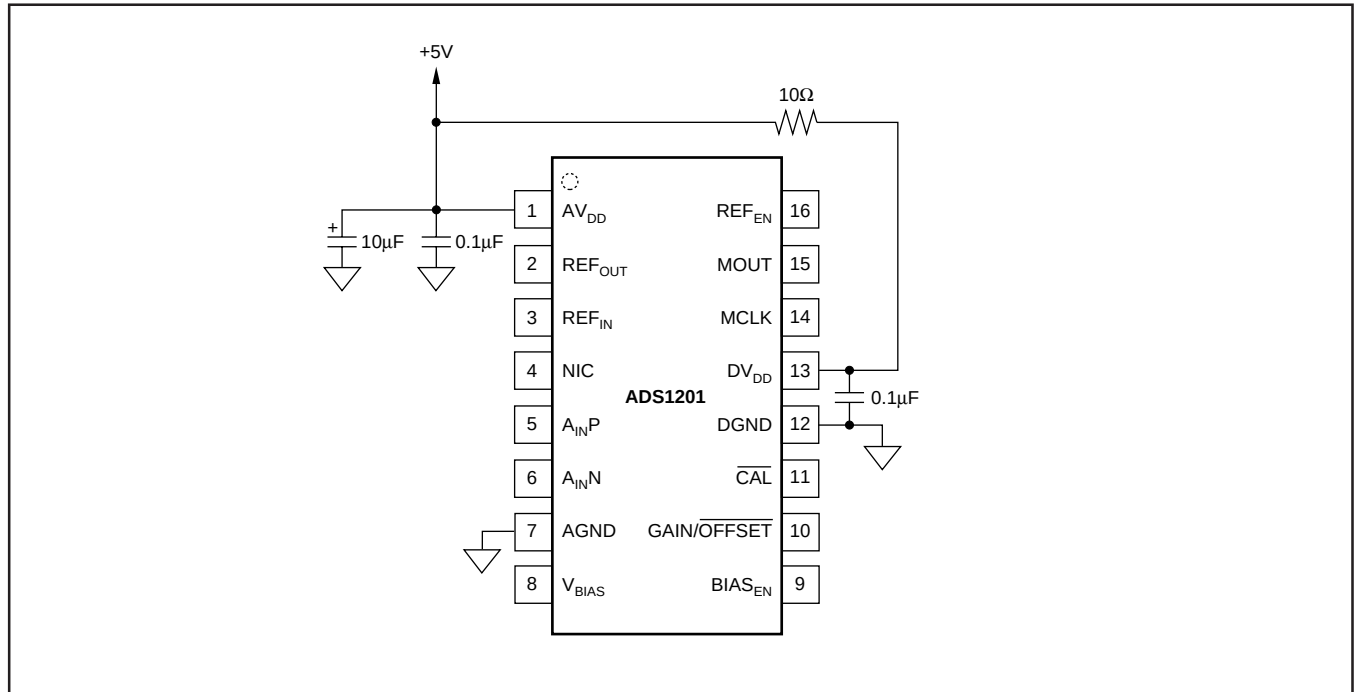


図10. 1つの電源プレーンと1つのデジタル・プレーンを使用した電源の接続

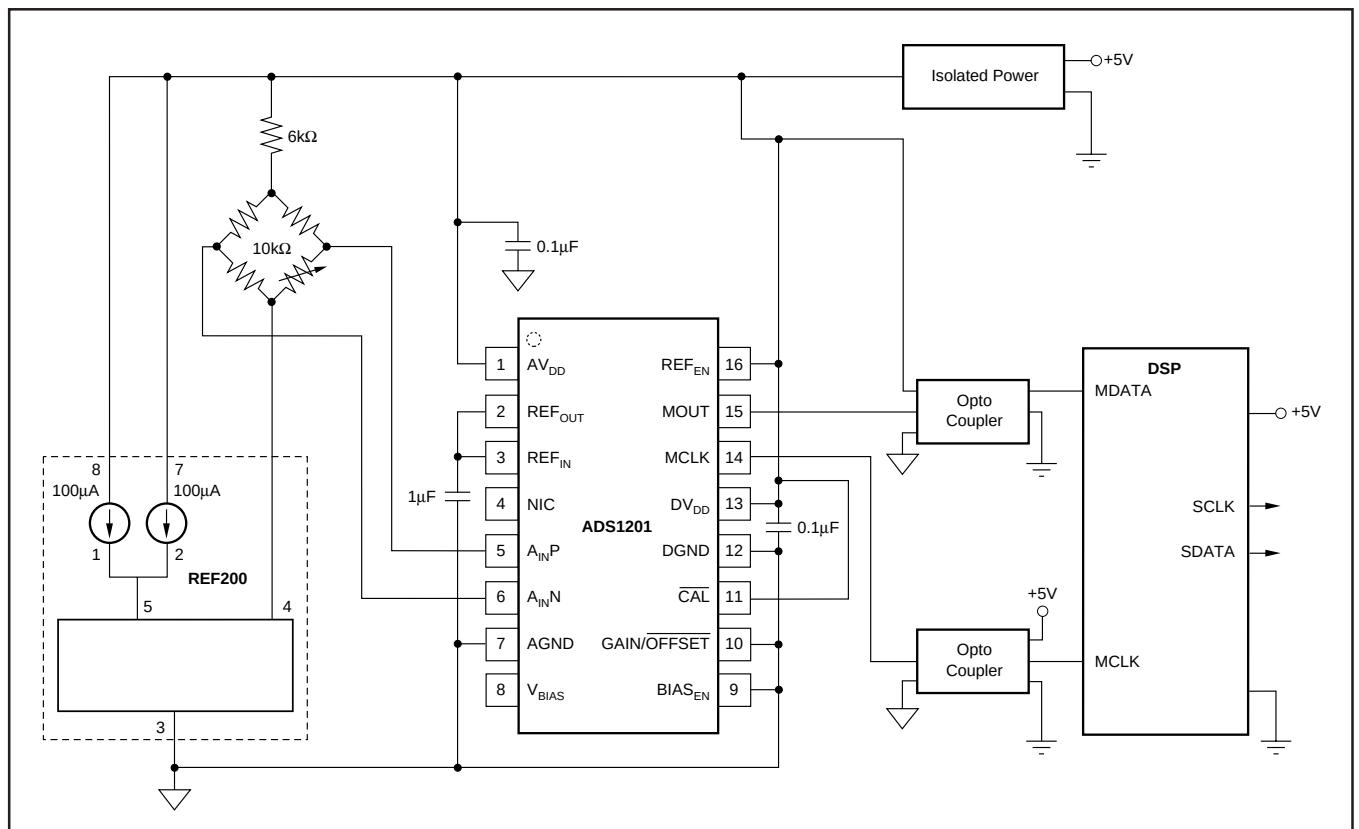


図11. 電流励起付きのブリッジ・トランスデューサ・インターフェース

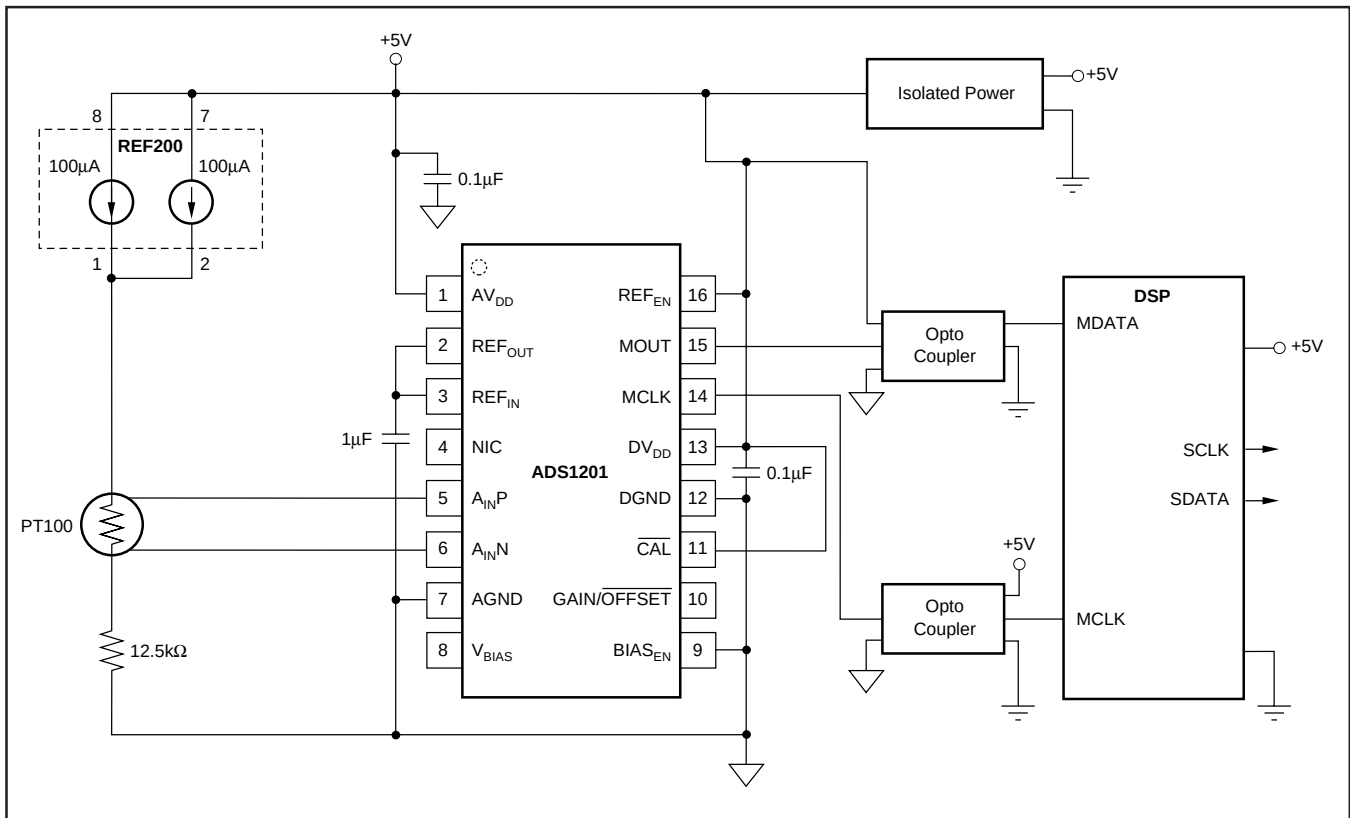


図12. 電流励起付きのPT100インターフェース

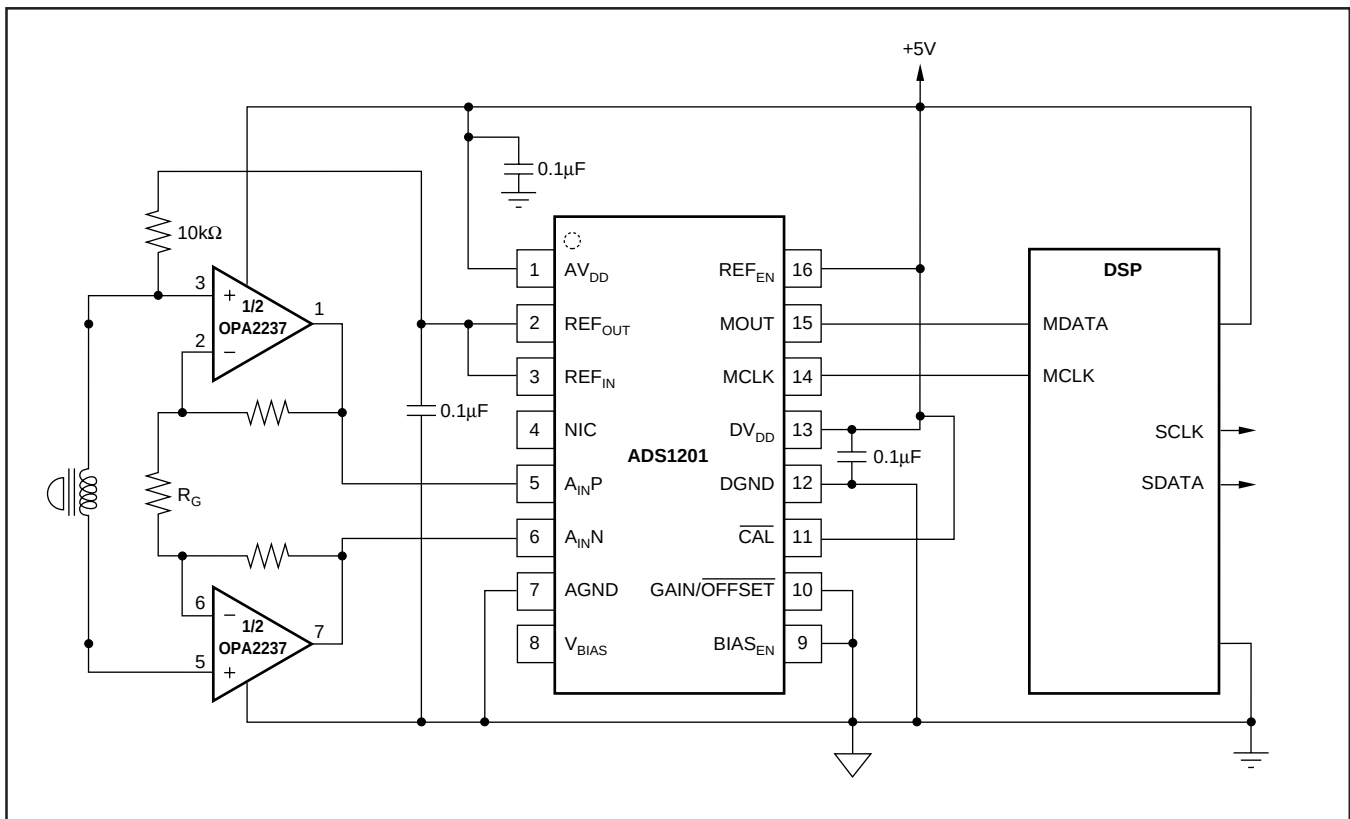


図13. ジョフォンのインターフェース

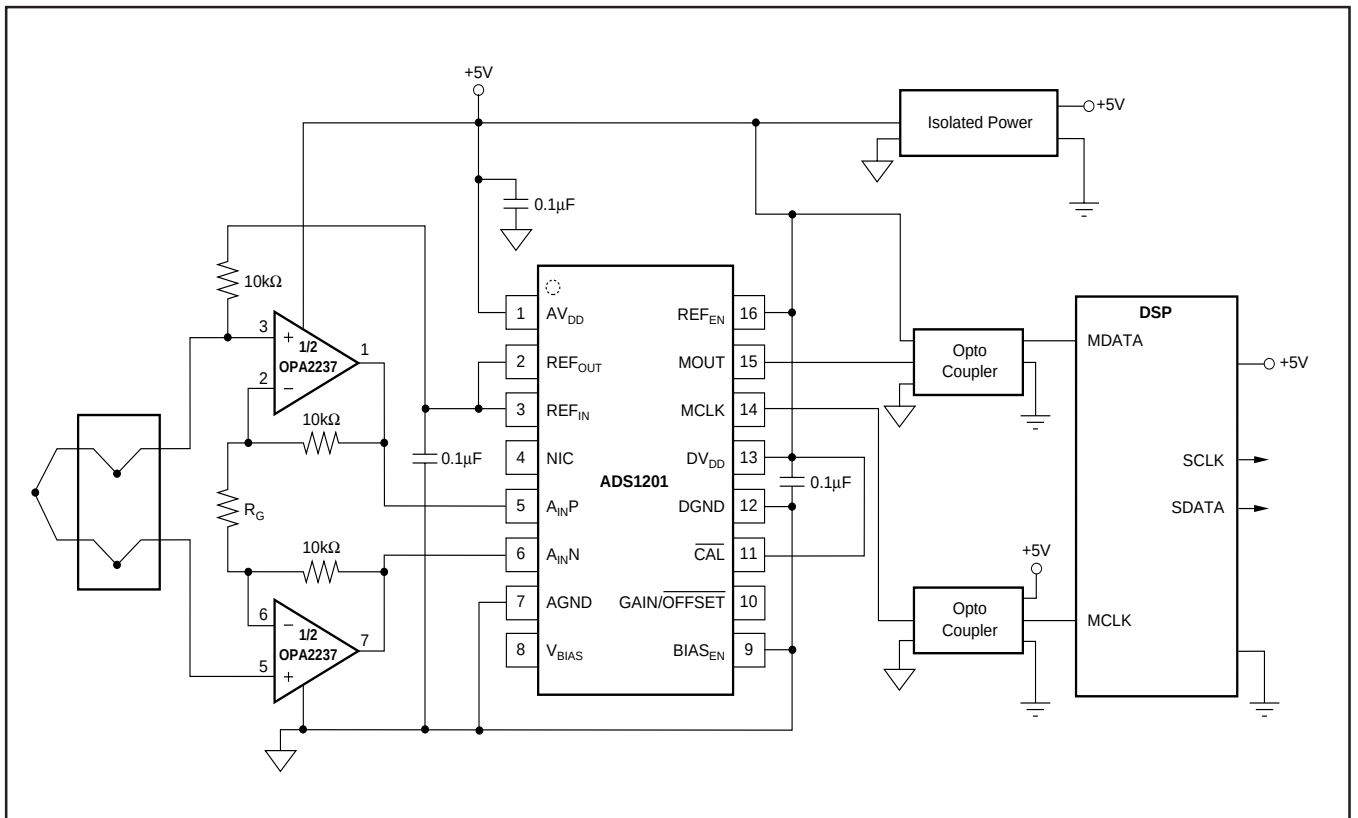


図14. 単一電源の高精度な熱電対インターフェース

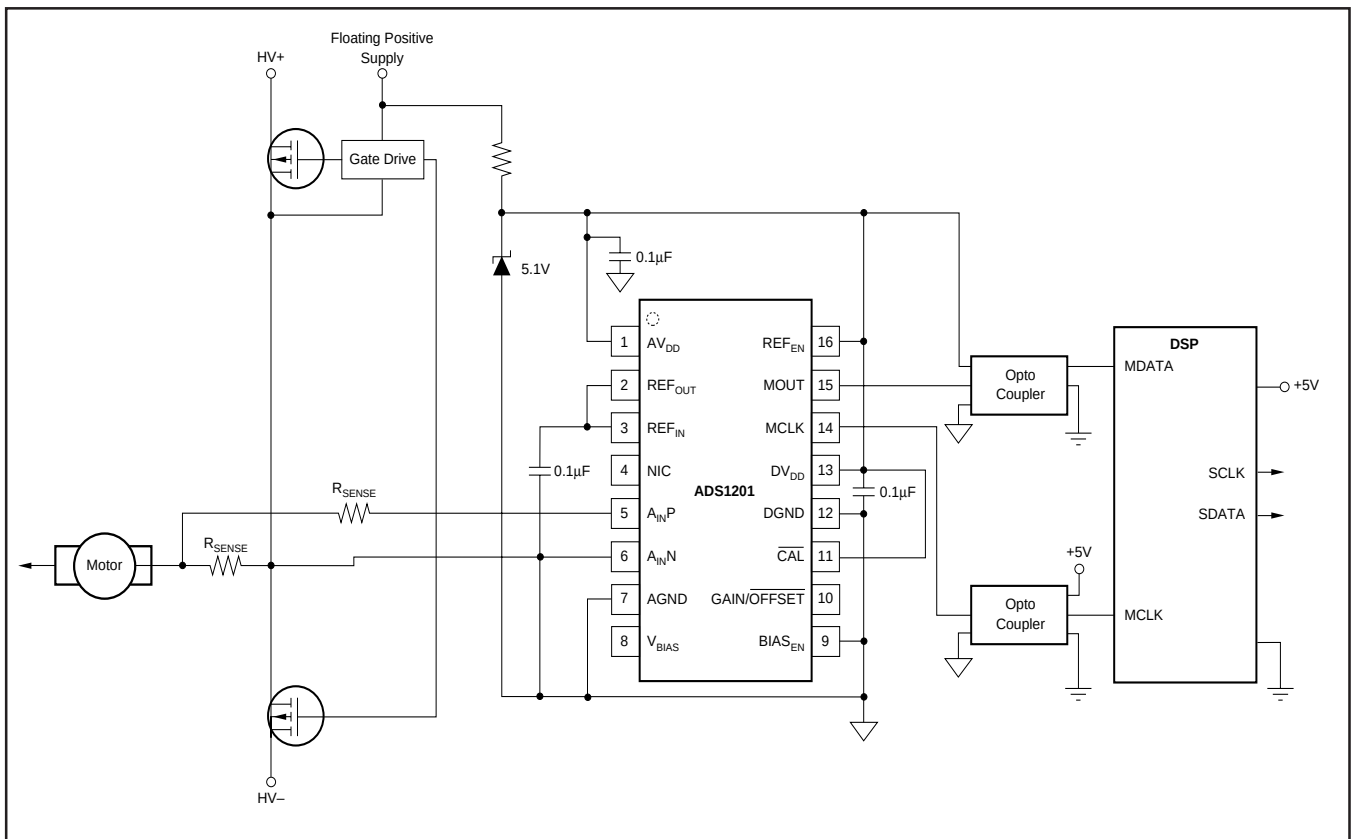
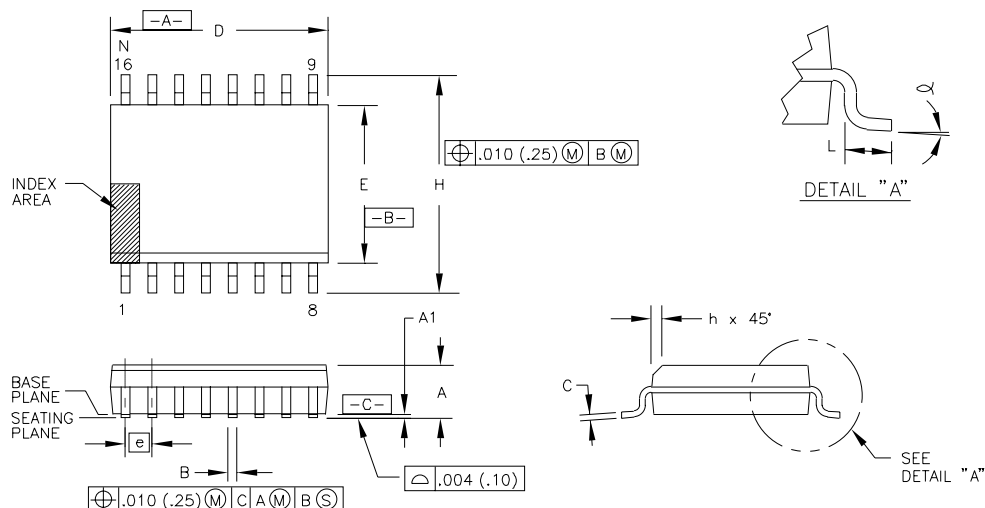


図15. モータ・コントローラのセンシング回路

外觀

パッケージ番号211 - SOL-16



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0926	.1043	2.35	2.65	
A1	.004	.0118	0.10	0.30	
B	.013	.020	0.33	0.51	7
C	.0091	.0125	0.23	0.32	
D	.3977	.4133	10.10	10.50	2
E	.2914	.2992	7.40	7.60	3
e	.050 BASIC		1.27 BASIC		
H	.394	.419	10.00	10.65	
h	.010	.029	0.25	0.75	4
L	.016	.050	0.40	1.27	5
N	16		16		6
α	0°	8°	0°	8°	

The diagram shows a mechanical part with various features labeled with dimension letters. Dimension A is the total height from the base to the top edge. A1 is the thickness of the top layer. B is the width of the central rectangular section. C is the radius or fillet at the bottom corners of the central section. D is the length of the main body. E is the distance from the front face to the start of the lead-in. e is the diameter of the circular feature. H is the height of the mounting tabs. h is the thickness of the mounting tabs. L is the length of the mounting tabs. N is the number of mounting tabs shown as 16. α is the chamfer angle on the end faces.

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (.015 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (.025 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT,

A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

- 5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
- 6. N IS THE NUMBER OF TERMINAL POSITIONS.
- 7. THE LEAD WIDTH B, AS MEASURED .014 IN. (.036 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (.061 mm).
- 8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (.010 mm) FROM SEATING PLANE.

PACKAGE NUMBER: ZZ211	REV.: F
JEDEC NUMBER: MS-013-AA	