

ADS7809のタグ機能

ADS7809は、電荷再配分方式の逐次比較型レジスタ(SAR)を使用したA/Dコンバータ・ファミリーの製品で、複数のコンバータをカスケード接続するシリアル出力およびタグ・ピンを備えています。このファミリーの他の製品には、ADS7806、ADS7807、ADS7808、ADS7824、ADS7825があります。偶数番号の製品は12ビット・コンバータ、奇数番号の製品は16ビット・コンバータであることに注意して下さい。

このアプリケーション・ノートでは、ADS7809のタグ機能についてのみ説明します。ファミリーの他の製品には若干の相違がありますが、やはりこのアプリケーション・ノートを十分にガイドとして使用することができます。ファミリーの製品には、SYNCパルスがないものがあります。ADS7806およびADS7807については、以降の図でSYNCパルスとそのクロック・サイクルを無視して下さい。また、12ビット・コンバータの場合、変換データに必要なクロック・サイクルは16ではなく12になります。

まず、推奨されるタグ機能の使用法(ゲートしたクロックを変換完了後にアクティブにする方法)について説明します。この方法は、ファミリーのどの製品にも最良の方法ですが、特に16ビット・コンバータに推奨されます。この方法が使用できない場合のため、このアプリケーション

・ノートの最後に他のタグ機能の使用法を説明しています。最初の方法を使用できるかどうか検討して下さい。使用できない場合にも、それによって代替方法とその欠点がよく理解できるようになります。

基本設定

図1に、タグ機能を使用するように設定した2個のADS7809のデジタル接続を示します。コンバータAのDATAピンをコンバータBのTAGピンに接続することを除き、2個のコンバータの接続は同じです。また、コンバータAのTAGピンは接地します(TAGピンを“ロー”に接続する理由については後で説明します)。CS(チップ・セレクト)は、ユーザーが供給するように示されていますが、このアプリケーション・ノートでは特に指定しない限り常に“ロー”であるものと仮定します。

タグ機能は外部クロックでのみ動作します。コンバータ内部のシリアル・シフト・レジスタには外部クロックが供給されますが、実際の変換は内部クロックで実行されることに注意する必要があります。ファミリーのどの製品についても、変換時間はレーザ・トリムされた内部クロックによって設定され、外部から変更することはできません。

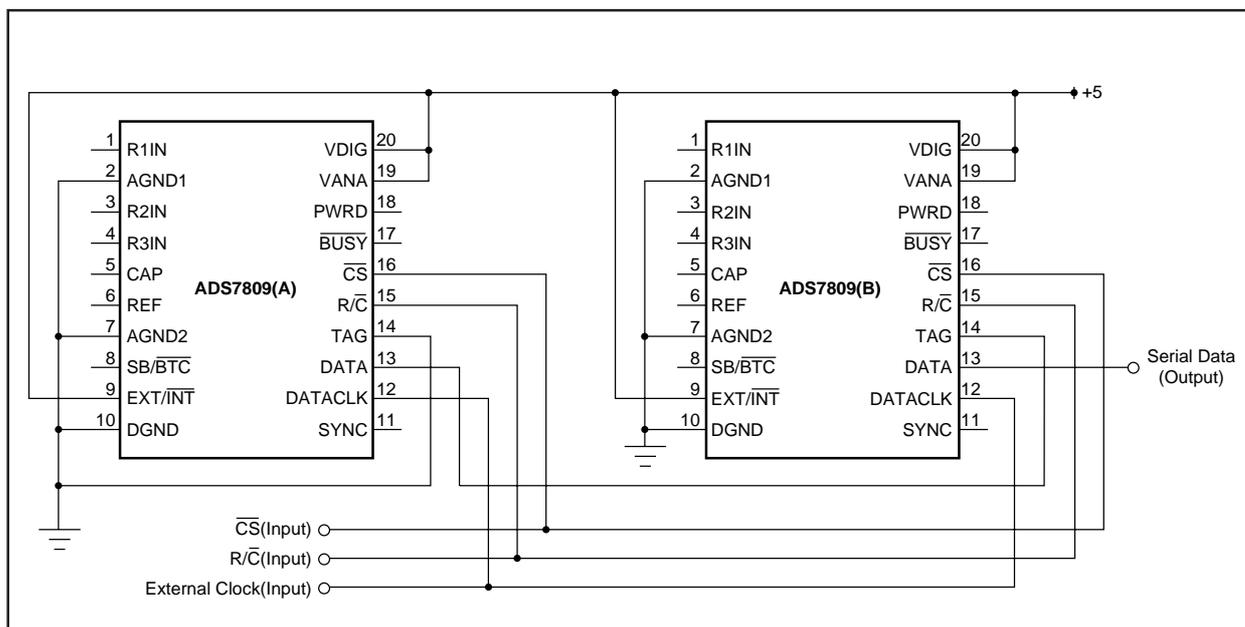


図1. タグ機能を使用した2個のADS7809

図2は、図1の2個のコンバータのシリアルポートおよびTAGピンが連携して動作するようすを簡略化したものです。この図で重要なポイントは、DATA出力ピンに接続された余分の出力フリップ・フロップ(図の一番右側の上下のフリップ・フロップ)です。

他のフリップ・フロップは、変換結果のホールド・レジスタで、完全なシリアル出力シフト・レジスタとしても動作します。変換中、変換結果は一時的な作業レジスタに保持されることに注意して下さい。結果は、変換の最後になってから出力シフト・レジスタに格納されます。

図3に、2個のADS7809の変換のタイミング図を示します。この図では、両方のコンバータに同じ $\overline{R}/\overline{C}$ (読み取り/変換)信号を使用し、どちらのコンバータも外部クロックが印加される前に完全に変換を完了するものと仮定しています。

図のBUSY信号は両方のコンバータからのBUSY信号のロジカルANDであることに注意して下さい。すなわち、 \overline{BUSY} は両方のコンバータからの \overline{BUSY} 信号が“ハイ”のときに限り“ハイ”になります。実際に2つのBUSY信号のロジカルANDを作ることが必要かどうかは回路によって異なります。不要な回路では、図3の信号は単なる参考にして下さい。

一部のアプリケーションでは、変換開始から外部クロック

(DATACLK)の開始までに長い遅延があります。これは回路設計またはソフトウェアの仕様によります。ADS7809では、変換開始から8 μ s以内に変換が完了することが保証されています。システム設計によりこの最小限の遅延が保証される場合は、コンバータからのBUSY信号は不要です。

一方、連続的に動作するクロックからDATACLK信号を作ることができます。このクロックをゲートし、2つのBUSY信号のロジカルANDでイネーブルしてDATACLKとします。DATACLKを2つの \overline{BUSY} 信号のロジカルANDでトリガするようにシステムを設計することもできます。この場合、図3の \overline{BUSY} 信号が“ハイ”に遷移した後、DATACLKが動作を開始します。

DATACLK信号のトリガとゲートには重要な違いがあります。トリガの場合は、イベント(この場合、ワーストケースのBUSYの“ハイ”への遷移)によってDATACLKがクリーンに開始されます。このクロックは、実際にはマイクロコントローラ、DSPまたはステートマシンの出力が使用されます。ゲートの場合は、連続的に動作する外部クロック(システム・クロックなど)がイベント(この場合もワーストケースのBUSY)とのANDゲートに入力され、ANDゲートの出力がDATACLK入力としてコンバータに供給されます。これを図4に示します。

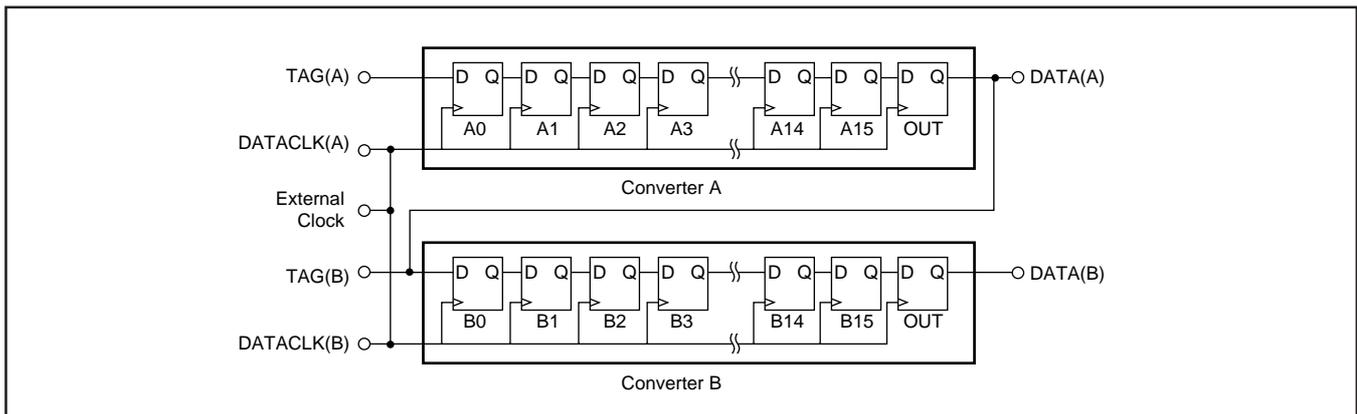


図2. 2個のADS7809の内部シフト・レジスタの簡略図

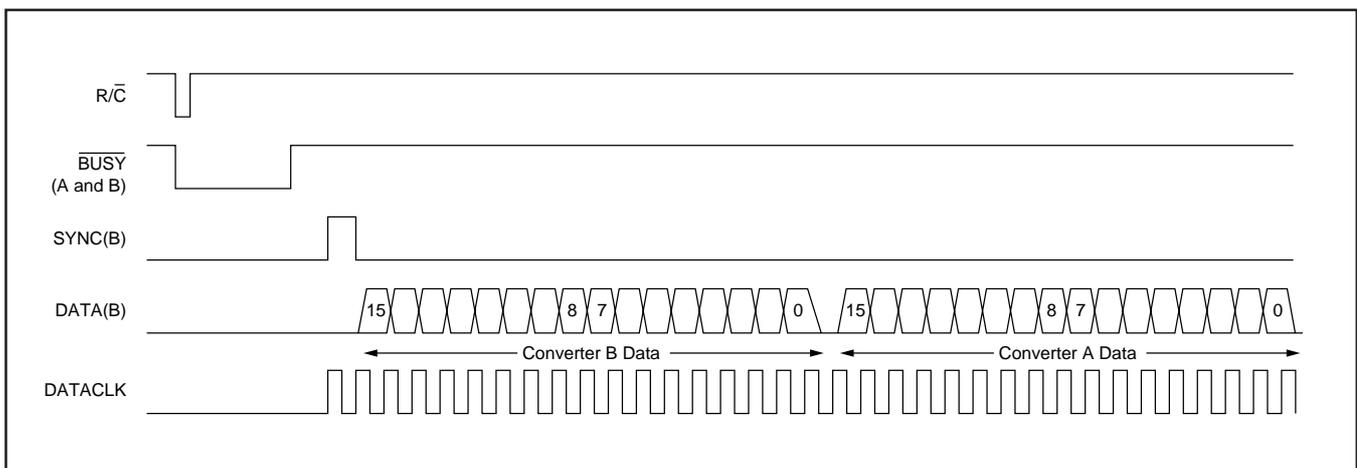


図3. 図1のコンバータの変換のタイミング

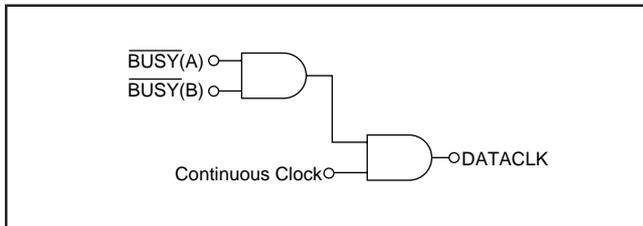


図4. ワorstケースのBUSYによる連続クロックのゲート(推奨されない)

このようにクロックをゲートすると、クロックをゲートするイベントがクロックが“ロー”に遷移する直前に入力される危険があります。このとき、ANDゲートの出力は非常に短いパルスになります。このため、一方のコンバータだけがクロックに回答し、もう一方のコンバータは回答しなくなるおそれがあります。この場合、2個のコンバータの“同期外れ”が発生し、シリアルデータが破壊されます。

図5に、連続クロックをゲートしてDATACLK信号を作るもっと良い方法を示します。高速のシステム・クロックを使用してワorstケースのBUSY信号と連続クロックを同期させます。システム・クロックを回路(図には示されていない)で分周することにより連続クロックを作れることに注意して下さい。

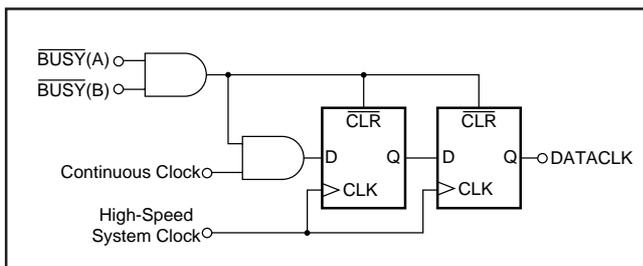


図5. ワorstケースのBUSYによる連続クロックのゲート(推奨される方法)

図5の回路は、ADS7809が次の変換を開始する前にDATACLK信号を停止させません。また、連続的に動作するクロックからDATACLKを作る回路として完全ではありません。完全な回路は、DATACLKのサイクル数を制御するカウンタやステート・マシンを備えたものになります。

次の変換が開始されると2つのBUSY信号が“ロー”になり、DATACLK信号を停止させるのではないかと考えられます。残念ながら、これは良い考えではありません。コンバータがホールド・モードに入る直前(変換開始時)にDATACLK信号が遷移する可能性があるからです。この場合、DATACLKピンの遷移で発生したノイズがサンプリング・キャパシタに結合し、ホールド電圧のエラーが発生するおそれがあります。

図5は、変換開始がDATACLK信号と同期し、最後のDATACLKの遷移から変換開始までに十分な時間がある場合は問題ありません。これについては、もっと説明が必要です。第1の必要条件は、DATACLK信号が変換の開始と同期することです。図3の場合、 R/\bar{C} の“ロー”への遷移で変換が開始されます。 R/\bar{C} とDATACLKを同じマスター・クロックから作る場合、両者は同期します。

この場合、DATACLKが遷移してから R/\bar{C} が“ロー”に遷移す

るまでの時間は分かっています。この間隔が十分に長ければ、DATACLKの遷移によるノイズは、コンバータがホールド・モードに入る前にセトリングします。これに要する時間は、16ビット・コンバータの方が12ビット・コンバータより長くなります。また、レイアウトやアナログ信号源のインピーダンス、バイパスなどに依存します。レイアウトが良好でアナログ信号のドライブに高速オペアンプを使用している場合は、数百ナノ秒程度になります。

100kHzのコンバータ(ADS7808およびADS7809)でレイアウトが妥当な場合、この時間は1 μ s以下になります。40kHzのコンバータ(ファミリーのそれ以外の製品)の場合は、アナログ入力の時定数が長いので、2 μ s程度になります。これらは、両方もきわめて安全な値です。

タイミングについて

図3は、コンバータBのDATA出力ピンから各データ・ビットが出力されるときに基本的なタイミングを示しています。コンバータAおよびBのSYNC出力は、外部クロック(DATACLK)の最初の立ち上がりエッジで“ハイ”に遷移します。この時点では、内部シフト・レジスタのシフトは起こりません。

SYNC出力は、一部のDSPプロセッサでシリアルデータの受信開始に使用することができます。しかし、外部クロックの最初の周期で“ハイ”になった後、コンバータAからのデータの最初で“ハイ”に戻らないため、タグ機能と組み合わせた場合の有効性は限られています。このアプリケーション・ノートでは、以後SYNC出力を無視することにします。

この時点(外部クロックの最初の周期)でのDATA出力ピンの値は、“ロー”です。この値は、前の変換およびコンバータBのTAGピンが接地されていることによる結果です。パワーアップ後の最初の変換では、DATA出力ピンは不定になります。また、タイミング図では、外部クロックの立ち上がりエッジで受信側コンポーネントにデータをクロックするものと仮定しています。立ち下がりエッジを使用する場合、最後のクロックは不要です。このクロックを与えない場合、DATA出力はコンバータAからの最後の結果のビット0の値を反映します。

外部クロックの2番目の立ち上がりエッジの後、DATA出力は変換結果のビット15(MSB)を反映します。このDATACLKの2番目の立ち上がりエッジでは、シフト・レジスタがシフトします(図2を参照)。

また、コンバータAのDATA出力ピンに接続されているTAG入力ピンの値がビット0レジスタにラッチされます。コンバータAのTAGピンが接地されているため、DATA出力ピンはゼロ(パワーアップ後の最初の変換では不定)になります。

外部クロックの2番目の周期の間、コンバータAおよびBのDATA出力は前の変換結果のMSBを反映し、コンバータAのビット0レジスタはゼロをホールドします。外部クロックの2番目の立ち上がりエッジまたは3番目の立ち上がりエッジを使用して、受信側コンポーネントのシリアル・ポートへデータをラッチすることができます。前にも述べたように、タイミング図では立ち上がりエッジを使用するものと仮定しています。立ち下がりエッジを使用する場合、図の最後のクロックは不要です。

ADS7809のタグのタイミングで最もわかりにくい点は、おそらく2つの変換結果の間の“デッド・ビット”でしょう。“デッド・ビット”、SYNC出力および“クロック n の立ち下がりエッジまたはクロック $n+1$ の立ち上がりエッジ”が、混乱を招きやすいと考えられます。これまで見てきたように、外部クロックの3番目の立ち上がりエッジから18番目の立ち上がりエッジまではコンバータBからの変換結果が有効になります。19番目の立ち上がりエッジでは“デッド・ビット”が有効になります。20番目から35番目までのクロックではコンバータAからの変換結果が有効になります。結果はすべてMSBファーストです。

このシリアル・ストリームの受信側コンポーネントに立ち下がりエッジでクロックする場合は、上記の値から1を引いて下さい。この場合、35番目のクロックは不要です。

3個以上のコンバータ

これまでのことが明確に理解されていれば、3個以上のコンバータに応用することは容易です。コンバータのDATA出力とTAG入力をデイズチェーン接続します。最初の変換結果の後、以後の各結果は、前の結果との間に1個の“デッド・ビット”をはさんで出力されます。最後のTAG入力は、DATA出力および内部シフト・レジスタの“休止”状態の好みに応じて“ロー”または“ハイ”に接続します。最後のTAG入力はオープンのままにしないで下さい。

図6は、変換およびシリアル・クロックのタイミングをさらに広い視点から示したものです。この図には、いくつか注意すべ

き重要な点があります。

時間 t_1 は、変換時間(ワーストケース)です。時間 t_2 は、変換結果のクロック・アウトに必要な時間です。時間 t_3 は、コンバータが次の変換の入力信号を捕捉するための時間です。この図のスケールは、実際とは異なります。時間 t_2 および t_3 は、変換スループットを最適にするため、多少オーバーラップさせることができます。

図6およびADS7809のデータシートから最大スループット(変換/秒)を決定することができます。データシートでは、変換に必要な時間が $8\mu\text{s}$ 以下であること、またコンバータが $2\mu\text{s}$ 以内に必要な精度まで信号を捕捉できることが保証されています。適正動作を維持できる最小外部クロック周期は、 100ns (10MHz)です。

図6から、1回の変換およびデータ出力のサイクルは、 t_1 、 t_2 、 t_3 の合計に t_1 および t_2 間の短い時間を加えたものになります。この短い時間は、 $\overline{\text{BUSY}}$ が“ハイ”に遷移してから外部クロックが開始するまでの時間で、必要な値より大きく示されています。 10MHz の外部クロックとステート・マシンを使用して $R/\overline{\text{C}}$ 、 $8\mu\text{s}$ の遅延および外部 10MHz シリアル・クロックを発生させる場合は、すべてが同期するため、 t_1 および t_2 間の時間はゼロになります。

また、コンバータの数を n とすると、データをクロックするために必要なシリアル・クロックの数は $n \cdot 17 + 1$ で表されます。データをクロックするために必要な時間は、この計算結果 \times クロック周期です。これまでの例の場合、この時間は $3.5\mu\text{s}$ になります。

変換 n からのデータをクロックする動作と変換 $n+1$ のアナログ信号の捕捉は、オーバーラップさせることができます。これは時間 t_2 と t_3 のオーバーラップに相当します。ただし、すべてオーバーラップさせることは推奨されません。前に述べたように、ホールド・モードに入る直前にコンバータをクロックすると、保持電圧に影響するおそれがあります。外部クロックは、少なくとも $R/\overline{\text{C}}$ が“ロー”になる500ナノ秒以前にオフにすることが必要です。

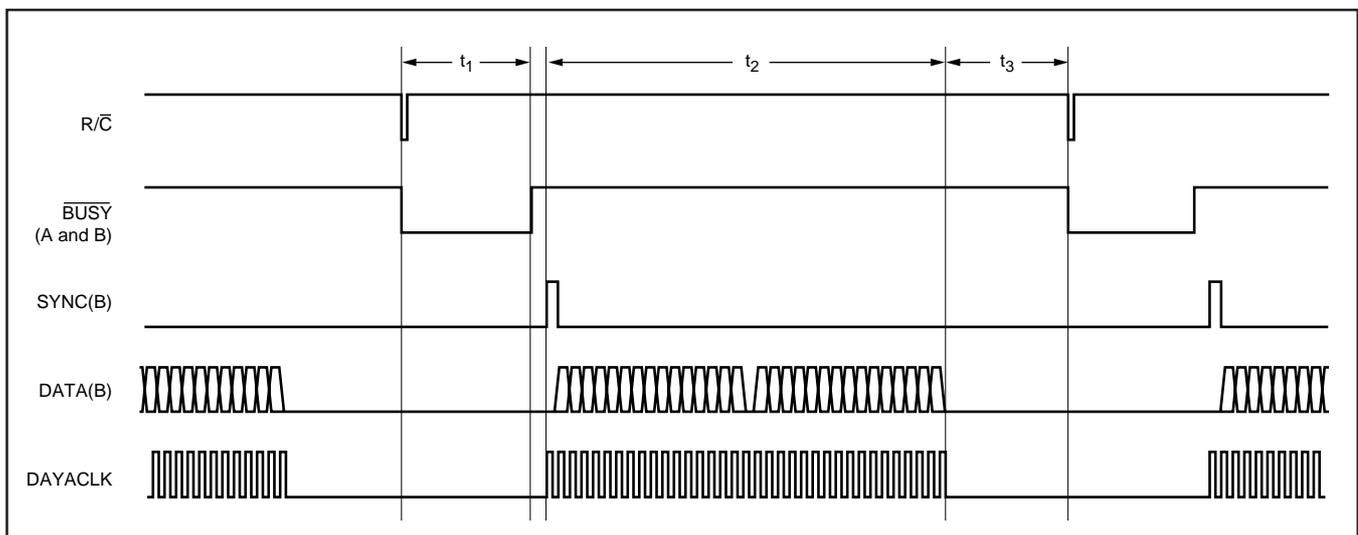


図6. 図1のコンバータの複数回の変換

1 μ sにすればさらに安全です。この値も、ファミリーの低速な製品(100kHzではなく40kHzで動作するもの)については長くなります。低速なコンバータについては、最小値として1 μ sを推奨します。2 μ sにすればさらに安全です。

したがって、クロックをゲートしてタグ機能を使用する場合の最大スループットは、次式のようになります。

$$8\mu\text{s}+(\text{クロック周期})(n\cdot 17+1)+0.5\mu\text{s}$$

クロックが10MHzでコンバータが2個の場合は、12 μ s(83kHz)になります。

マルチプレクシングに関する注意

ADS7809をマルチプレクサと組み合わせて使用する場合、入力チャンネルを切り換える最も良いタイミングは、変換終了直後(時間 t_2 の最初)です。これにより、入力チャンネルを切り換え、新しい変換の開始時には新しいチャンネルに完全にセトリングすることができます。

このタイミングを使用できない場合、次善のタイミングは、時間 t_1 の開始直後です。変換中のADS7809の入力アナログ信号の変化によってフィードスルーの問題が生じることを示唆する事実はありません。しかし、変換の最初にチャンネルを切り換えることにより、この変化が最上位ビットの判定中に起こることが保証されます(コンバータは最下位ビットで外部ノイズに対してより敏感になります)。

レイアウトに関する注意

ADS7809の内部変換クロックはオンボードで発生されるため、マルチコンバータ・システムでは各コンバータがそれぞれ独自の速度で変換を実行します。このため、レイアウトに注意を払わないと、一つのコンバータが近くにある別のコンバータに干渉するおそれがあります。

マルチコンバータ・システムにおける最善のレイアウトは、シングル・コンバータ・システムの推奨事項から始まります。グラウンド・プレーンを使用した良好なグラウンディング、クリーンな低インピーダンスの+5V電源、良好なバイパス、コンバータ入力前段の十分な低インピーダンスのシグナル・コンディショニングの実施を強く推奨します。マルチコンバータ・システムでは、特にグラウンディングおよび+5V電源に対して注意を払う必要があります。コンバータ間で連続したソリッド・グラウンド・プレーンは推奨されません。コンバータ間のグラウンド・プレーンに“溝”を設けるか、グラウンド・プレーンから各コンバータおよびシグナル・コンディショニング回路まで個別に“指”を延ばすようにして下さい。

+5V電源については、ADS7809が1個の場合、アナログおよびデジタルの+5Vピンに同じ+5V電源を使用することを推奨します。コンバータが複数の場合は、2つの+5V電源を各ピンに分けて使用するのが理想的です。これにより、コンバータ間のデジタル・クロックの影響を防止することができます。ただし、ラッチアップを防ぐため、必ずデジタル電源がアナログ電源の後にアップするように注意し、デジタル+5V電源には十分にクリーンなものを使用することが必要です。アナログおよびデジタル電源ピンを一つに接続したまま、コンバータごとに個別に+5Vを発生する方法もあります。この方法は、電圧レギュレータで+5Vを発生する設計に簡単なソリューションとして使用することができます。

タグ・ピンを使用する他の方法

タグ・ピンを使用する他の方法として、ゲートしたクロックを変換開始直後にアクティブにする方法があります。これに必要な時間は時間 t_2 で(図6参照)、これが時間 t_1 内に置かれます。このようにコンバータをクロックする方法には、コンバータの最大スループット(10 μ s)に影響しないという利点があります。欠点は、シリアル・データ・ストリームおよびクロックによってコンバータ内部に発生するノイズのため、変換結果が影響を受ける可能性が非常に高いことです。

変換中にデータをクロックすることからコンバータがどの程度の影響を受けるかを予測することは不可能です。レイアウトや回路はそれぞれ固有で、DATACLKの立ち上がりおよび立ち下がり時間も異なります。変換結果は影響を受けることが知られています。16ビット・コンバータの場合、概算ではトランジション・ノイズが1/10LSBのオーダーまで増加することが予測されます。レイアウトが適正でなかったり高周波クロックを使用したシステムでは、この値が著しく大きくなる場合があります。ファミリー12ビット製品は“LSBサイズ”が16倍大きいため、適正に動作するはずで

この他に、連続的に動作するクロックを使用した2つの方法があります(図7参照)。図7の方法は、変換完了後にデータをクロックする図6のものに似ています。もう一つの方法(図示されていない)は、連続クロックを使用して、ゲートしたクロックで述べたように変換開始直後にデータをクロック・アウトするものです。どちらの方法も、 $\overline{R}/\overline{C}$ および \overline{CS} を制御することによってADS7809からのデータ転送をイネーブルします。

連続クロック・モードで変換完了後にデータをクロックする方法(図7参照)は、図6のゲートしたクロック・モードの次に最も安全なアプローチです。しかし、この方法は、ゲートしたクロック・モードと同じように変換スループットに影響します。また、DATACLKをゲートする必要はありませんが、 \overline{CS} 信号が必要です。 \overline{CS} 信号に対して連続クロックがフリーランニングである場合、短いクロック周期について同様の問題が生じます。すなわち、 \overline{CS} 信号はDATACLK信号と同期させる必要があります。これは、図5のような回路(ただしラッチの出力は“同期した” \overline{CS} 信号)で実現することができます。

図7の方法は、遷移するデジタル信号が1つだけであるため、変換中にデータをクロックする方法より優れています。これに対して、変換中(時間 t_1)に連続クロックでデータをクロックする方法は、タグ・ピンを使用する最悪の方法です。このアプリケーション・ノートで説明した各種方法を推奨される順に並べると次のようになります。

- ゲートしたクロックで変換完了後にデータを読み取る
- 連続クロックで変換完了後にデータを読み取る
- ゲートしたクロックで次の変換中にデータを読み取る
- 連続クロックで次の変換中にデータを読み取る

後の2つの方法では、できるだけ高速にデータをクロックすることが有効であることに注意して下さい。これにより、DATA信号が連続した“ロー”へ遷移します(コンバータAのTAGピンが接地されているため)。また、後の2つの方法には非常に重要な問題があります。すべてのコンバータについて、変換完了時にCSが“ロー”、R/Cが“ハイ”、DATACLKが“ハイ”の場合、その変換からのデータは失われます。変換は、BUSYの立ち上がり直前に完了します。

ADS7806およびADS7807の場合、変換は、変換開始後12μsから20μsまでの間に完了します。実際の時間は、ADS7806(12ビット・コンバータ)では12μsに近く、ADS7807(16ビット分解能の同型コンバータ)では20μsに近くなります。12μsから20μsまでの“窓”は、両方のデバイスが同じ設計で正しく動作するために

確立されています。ADS7824およびADS7825にも同様の窓があります。ADS7808およびADS7809には、5μsから8μsまでの窓があります。

このことは、変換中にデータをクロック・アウトする後の2つの方法で、さらに問題になります。前に計算したように、図1の回路で最も速くデータをクロック・アウトするときの時間は3.5μsです。したがって、データをクロックする時間が5μsしかない場合、図1の回路は、複数のコンバータをカスケード接続する限界にほとんど近くなります。実際に、これらの条件でカスケード接続できるADS7809は3個だけです。また、DATACLK信号が10MHz(最大レート)の場合に限ります。DATACLK信号が5MHzの場合、図1の回路は機能しません。

ADS7806およびADS7824(12ビット、40kHzコンバータ)では、状況は良くなります。ただし、どちらのコンバータについても、DATACLK信号は2.16MHzより高速であることが必要です。ADS7807およびADS7825(16ビット、40kHzコンバータ)の最小DATACLKは、2.9MHzです。

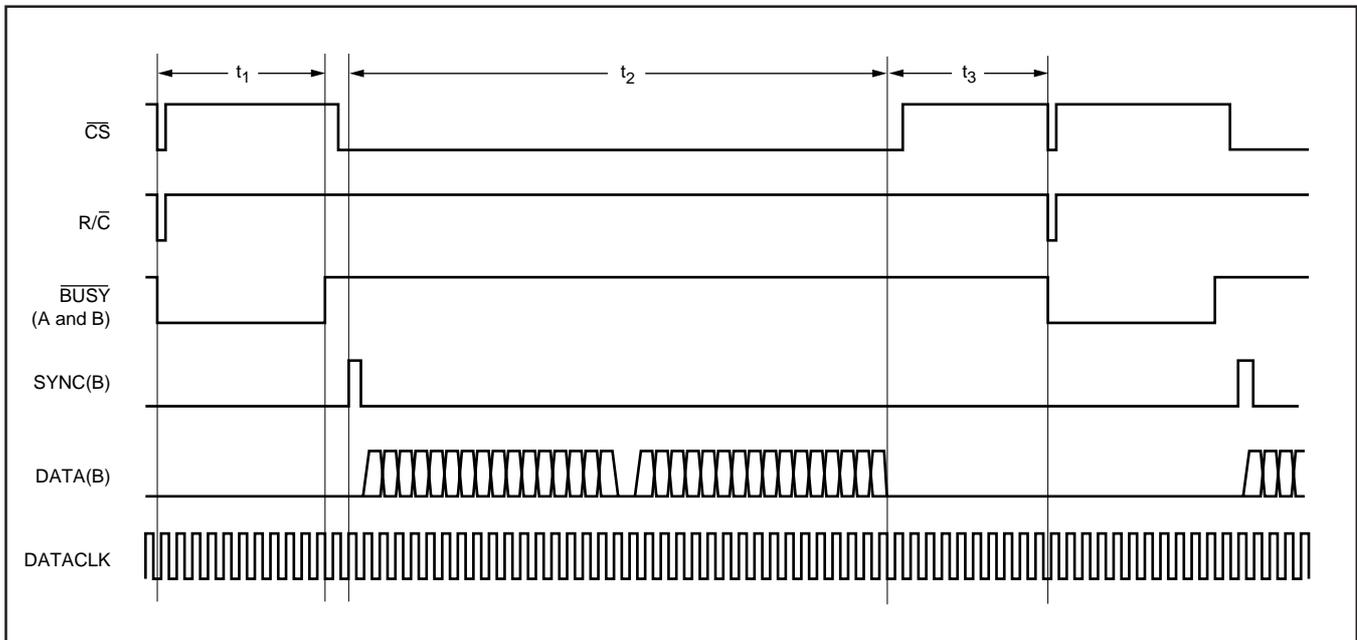


図7. CSを使用してデータ転送をイネーブルする図1のコンバータの連続クロック

このアプリケーション・ノートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

日本バー・ブラウン株式会社

<http://www.bbj.co.jp/>

本社 〒222-0033 横浜市港北区新横浜2-3-12 新横浜スクエアビル ☎ 045-476-7870

大阪営業所 〒532-0011 大阪市淀川区西中島6-1-1 新大阪プライムタワー ☎ 06-6305-3287

フリーラインFAX
 本社 ☎ FAX.0120-068801
 大阪 ☎ FAX.0120-068805

万一つながらない場合は、お手数ですが弊社営業部FAX045-476-7889(有料)までご連絡くださるか、あるいはTELにてお問い合わせください。