

強力な設計ツールとしての RFオペアンプ用マクロモデル

概要

シミュレーションは、高周波回路を設計したりテストする場合に特に有効な手段です。コンピュータの高性能化とPSpice®などの回路シミュレータが広く普及したことにより、PSpiceによるシミュレーションが各種の回路パラメータをテストする際の実用的な方法となっています。しかし、現実的な結果を得るためには、優れたシミュレーション・モデルが不可欠です。現在、バー・ブラウンは多数の新しいRF回路用のPSpiceモデルを提供しています。これらのモデルはその近似精度において、通常のシミュレーション標準よりはるかに優れています。これら新PSpiceモデルの構造や性能のシミュレーションの例として、ダイヤモンド・トランジスタOPA660用マクロモデルがあります。

PSpiceシミュレーションを行うには、デバイスの正確な内部構造モデルが必要です。これらのモデルは通常マクロモデルと呼ばれ、それぞれ複雑さの度合いが異なります。アナログ回路の実際の性能を妥当なシミュレーション時間で再現するためのトランジスタを部分的に用いたシミュレーション・モデルは極めて高い精度を実現しており、“工業標準”にもなっています。しかし、多くのモデルはこの標準までは到達していません。つまり、これらは単純化され過ぎていて、回路の正確な性能は推定できないのです。たとえば、多くの数学モデルでは、オペアンプのゲイン・位相関係の比を正確に再現することはできません。アンプの雑音や歪のシミュレーションを正確に行うことはできません。したがって、このようなモデルは、技術者のニーズには不適当な場合がよくあります。

これとは対照的に、トランジスタで構成されたOPA660用モデルは、工業標準のモデルよりも性能が優れています。高速デバイスBUF600/1、MPC100、OPA622、およびOPA623のPSpiceモデルが提供されており、それぞれがOPA660と同じ構造になっています。各モデルは簡易シミュレーション・オプション(S)と高水準シミュレーション・オプション(C)を持っており、5.25インチ・ディスク(あるいは要求により、3.5インチ・ディスク)で提供しています。これらのシミュレーション・バージョンは、シミュレーション精度と所要シミュレーション時間が異なり、高速シミュレーションを保証するために単純化されたものと、多数の回路特性を解析するのに必要な柔軟性と精度を備えたものの2種類があります。

PSpice®, Micro Sim Corporation

ダイヤモンド・トランジスタOPA660

アナログ回路では、しばしばオペアンプなどの集積回路を使用します。オペアンプは帰還を必要とするため、一般に急峻な立ち上がりのパルス进行处理するときにオープンループ・アンプより動作が遅くなります。しかし、オープンループ・アンプは必ずしも常に要求されるDC精度を実現するわけではなく、経年効果や温度変化の影響を受けやすくなります。OPA660は両方の長所を兼ね備えています。このトランス・コンダクタンス・オペアンプは8ピンSOあるいはDILパッケージに、バイアス回路(BC)と、ダイヤモンド・トランジスタ(DT)およびダイヤモンド・バッファ(DB)を内蔵しています。これらの独立したマクロ要素を用いて、OPA660は最高500MHzの高周波信号を処理するために設計した回路に使用できます。図1にOPA660のブロック図を示し、図2には詳細な回路図を示します。これらの図に示した内部および外部接続ピンの番号は、マクロモデルに使用されている番号と同じです。

ダイヤモンド・トランジスタは電圧制御型広帯域電流源であり、理想トランジスタとして機能します。このトランジスタは高インピーダンス入力(ベース)、低インピーダンス入力/出力(エミッタ)、および高インピーダンス電流源出力(コレクタ)を備えています。バイポーラ・トランジスタとは対照的に、このアンプは4象限のすべてで動作可能です。入力信号がないときは、ピンがすべて0Vになります。すなわち、すべての動作点が固定され、全温度範囲で安定しています。エミッタ回路は反転モードで、ま

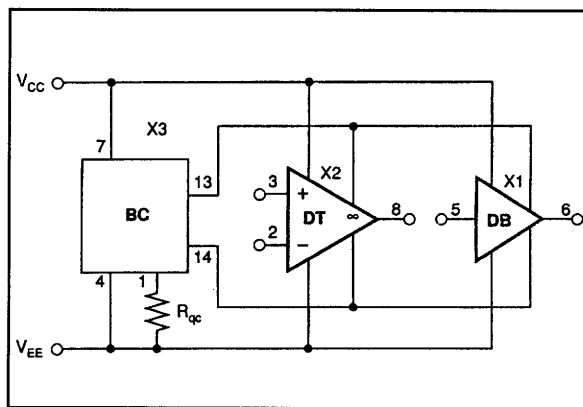


図1. OPA660のブロック図

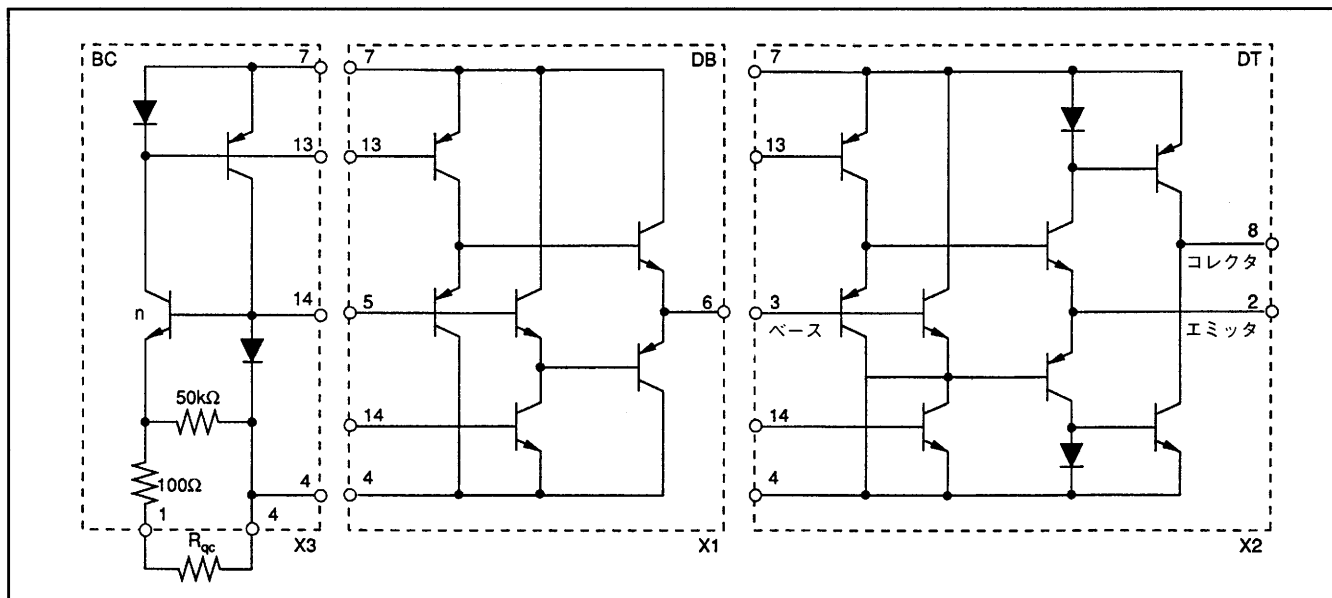


図2. マクロ X_1 、 X_2 、および X_3 の回路図

たベース回路は非反転モードで動作します。出力電流変化と入力電流変化の比であるトランス・コンダクタンスは、全入力電圧範囲で極めて安定しており、外部抵抗によってプログラム可能です。

図2からわかるように、DBはDTの簡略バージョンです。この2段コンプリメンタリ・エミッタ・ホロワは、DTを補う理想バッファです。このバッファはバンド幅を狭めることなく、負荷を接続できない回路点をデカップルし、出力から信号処理の帰還を防止しています。低インピーダンスの電圧出力はケーブル、低インピーダンス入力抵抗、または帰還回路をドライブできます。

表 I にデータ・シートから引用したダイヤモンド・トランジスタの最も重要なパラメータを記載します。

ダイヤモンド・トランジスタのパラメータ

パラメータ	単位(標準)
DT相互コンダクタンス	125mA/V
オフセット電圧	+7mV
オフセット・ドリフト	50 μ V/°C
入力バイアス電流	-2.1 μ A
出力バイアス電流	$\pm 10 \mu$ A
入力インピーダンス	1M Ω 2.1pF
出力インピーダンス	25k Ω 4.2pF
微分ゲイン	0.06%
微分位相	0.02°
無信号時電流	1mAから20mA

表 I ダイヤモンド・トランジスタの仕様

“C” および “S” モデル

これらのパラメータはすべて、2つのモデルをインストールしてシミュレーションを開始すれば容易にテストでき、その結果は自動的に画面に表示されます。既に述べたように、PSpice OPA660ディスクには、それぞれにマクロモデルを1つずつ持つ2つのサブディレクトリがあります。サブディレクトリCOPA660には、Cラベル付きの高水準モデルがあり、手頃なシミュレーション時間内に高精度の結果が得られます。このバージョンは、特に各回路ブロックの機能を最適化する

のに有効です。サブディレクトリSOPA660には、Sラベルの単純モデルがあります。このモデルでは、実際の部品値に応じたシミュレーション結果が、わずかなコンピュータのメモリと短いシミュレーション時間で、ある精度の限界内において算出されます。Sモデルは、大量の機能をシミュレーションする場合、特に有効です。2つのモデルの構造およびコマンド、そして大部分のシミュレーション・パラメータは同じです。

モデル・ディスクのインストール

まず、PSpiceプログラムがインストールされたディレクトリに入り、次にサブディレクトリCOPA660とSOPA660を作成します。次に、ディスクの各サブディレクトリからPSpiceプログラム内の対応するサブディレクトリにその内容をコピーします。この段階で、より精密でシミュレーション時間の長いCOPA660モデルか、あるいは単純なSOPA660モデルのどちらかを使うかを選択します。構造とコマンドがSモデルと同じですので、以下ではCOPA660バージョンについてのみ説明します。ディレクトリを入力した後は、自分の回路設計用のCIRファイルを作成するか、またはシミュレーション例の1つを開始することができます。たとえば、コマンド“RUN CDRDF2”は、直接帰還アンプ(DF2)のDCスイープ応答(CDR)のシミュレーションを開始します。コマンドは最初の文字、つまり高水準を表す“C”と単純を表す“S”を除けば、2つのモデルとも同じです。

グラフを表すコマンド“SG”を使用して、既に行ったシミュレーション結果を表示することができます(たとえば、SG CARDB)。コマンド“PAR”では、最高9つのシミュレーション結果を同時に表示させることができます。

マクロモデル構造

マクロモデルの基本部分はCIRファイルであり、それにはマクロモデルを構成する各要素間の接続や、使用されるトランジスタに関する記述と周囲温度に関する情報などが記述されています。ユーザはマク

ロモデルをサブサーキット(SUBCKT)として定義でき、それをメインテストやアプリケーション回路内に組み込むことができます。信号源の駆動方法や解析の種類を変化させれば、多くのシミュレーションを行うことができます。しかし、本アプリケーション・ノートに記載しているモデルは、より高度になっています。これらは一種のSHELLになっているため、ユーザが各シミュレーション毎に回路ファイルを作成する必要はありません。また、ディスクには、OPA660の機能ブロック、ダイヤモンド・トランジスタ、およびダイヤモンド・バッファ用マクロモデルやテスト回路の他にも、すべての回路数値を定義したアプリケーション回路があります。表IIにこれらのアプリケーションを、また表IIIにSおよびCモデルのコマンドを開始させるダイヤモンド・トランジスタのシミュレーション・パラメータを示します。開始コマンドはモデル・バージョン、シミュレーション・パラメータ、そしてアプリケーション回路に対する略語で構成されています。したがって、Cモデル(C)用コマンドCARDF2は、OPA660のACスイープ応答(AR)を非反転直接帰還アンプ(DF2)として開始します。Sモデルに関するシミュレーションに対しては、サブディレクトリSOPA660に切り換えた後、先頭の“C”を“S”に変更するだけです。すべてのアプリケーションはゲインが42で設計されているため、ユーザは各種バージョンを直接比較することができます。ユーザはテキスト・エディタを使用して、アプリケーション回路または特定の構成要素の数値を容易に変更できます。ユーザは構成要素を変更したり、あるいは新規の構成要素を追加して、希望に合った新規回路を作成することができます。PSPiceでは、OPA660用CIRファイル(S/C OPA660.CIR)をサブサーキットとして定義し、そのファイルを該当するディレクトリにコピーすると、そのファイルを自分のアプリケーション内に組み込むことができます。

アプリケーション	ファイル
ダイヤモンド・バッファ	DB
ダイヤモンド・トランジスタ	DT
ダイヤモンド・トランジスタ	DT1
フォワード・アンプ	FA1
フォワード・アンプ	FA2
フォワード・アンプ	FA3
フォワード・アンプ	FA4
直接帰還バッファ	DF1
直接帰還アンプ	DF2
直接帰還アンプ	DF3
電流帰還アンプ	CF1
電圧帰還アンプ	VF1

表II OPA660アプリケーション回路

ダイヤモンド・トランジスタ	実行コマンド (Cモデル)	実行コマンド (Sモデル)
DC伝達関数	CDTDT	SDDT
電圧のグラフィック解析	CFG0DT	SVG0DT
DCスイープ応答	CDRDT	SDRDT
ACスイープ応答	CARDT	SARDT
トランジェント正弦波応答	CTX1DT	STX1DT
トランジェントランプ波応答	CRX2DT	SRX2DT
ガウス波形応答	CGX2DT	SGX2DT
バッファ出力インピーダンス	CBIDT	SBIDT
相互コンダクタンス・インピーダンス	CTIDT	STIDT
オープンループ・ゲイン	COGDT	SOGDT
雑音解析	CNADT	SNADT
電源除去比	CSPDT	SSPDT
トランジェント解析の起動	CETDT	SETDT
同相モード・ゲイン	CCGDT	SCGDT

表III DBおよびDTのシミュレーション例

マクロモデルCOPA660

図3にOPA660の高水準マクロモデルを示します。これは補助回路DT、DB、およびBCで構成されています。バイアス回路であるBCはノード13および14を経由して、DTやDBのトランジスタ段に電流を供給します。図4にCIRファイルを示します。回路図には、マクロモデルの素子間の接続を表すCIRファイルのノードが記載されています。

アプリケーション例：

PSPiceによる直接帰還アンプ構造の解析

PSPiceによる回路シミュレーションがいかに関与するかを証明するため、次の章では図5に示すRFアンプのDCスイープ応答をシミュレーションします。このアンプでは、コレクタからエミッタに直接帰還が施されています。図に示した非反転バージョンでは、ダイヤモンド・トランジスタはベース(ピン3)から制御されます。抵抗 R_8 および R_2 は帰還を行って電圧ゲインを調整します。実際の回路では安定した広帯域アンプを構成するため、コレクタ(ピン8)からエミッタ(ピン2)への帰還ループを極めて短くして、寄生容量を小さくしなければなりません。DBは比較的高いインピーダンスのコレクタ出力をデカップルし、必要な駆動電力を低インピーダンス負荷抵抗に供給します。 R_2 と並列のコンデンサ C_2 は、250MHz以上の周波数でゲインを増加させ、低下する周波数応答を補償します。コンデンサ C_2 がなければ、内部および外部寄生容量によって周波数応答が低下します。

シミュレーション結果

図6にシミュレーション結果をグラフで示します。図7には周波数応答解析に対する回路図(CARDF2)を示します。シミュレートされたその他のアプリケーションの場合と同様、本試験ではアンプは±20mAの無信号時電流(I_Q)で動作していますが、必要に応じて別の値に再プログラムすることもできます。ジェネレータのスイープ範囲は10MHzから3GHzです。図8に示すように、直接帰還アンプDF2はコレクタ出力では586MHzの、また低インピーダンス・バッファでは571MHzの-3dBバンド幅を実現しています。

アンプに要求されるバンド幅は、パルス波形の立ち上がり、立ち下がり時間が等しい場合はガウス波形パルスが最も低い値となります。矩形波パルスは周波数応答を確認するために広く用いられていますが、自然に存在する信号源(センサーなど)で発生することはありません。ユーザは一般に、実際に存在するアンプのパルスがどのように伝送されるか(立ち上がりおよび立ち下がりエッジ、オーバーシュートなど)を知りたいものです。

図9にガウス波形パルス伝送のシミュレーション回路(CG22DF2)を示します。入力パルスの立ち上がりおよび立ち下がり時間は、それぞれ2nsであり、パルス周期は50MHzです。

図10からわかるように、DF2はパルス歪やオーバーシュートもなく、これらのガウス波形パルスを伝送しています。興味深いことは、パルスの伝送品質がガウス波形パルスの立ち上がり時間と帰還アンプの遅延時間の比に左右されることです。アンプの帰還ループに配置されない次段アンプを接続しないときのDF2の遅延時間は594psです。実用的なパルス応答は、入力パルスの立ち上がり時間が最低でも遅延時間の4倍のときに得られます。

最後に、シミュレーションを検証するために、デモボードDEM-OPA660-3GC(図11)を用いてシミュレーションを実際にテストしてください。このデモボードは2V/Vに設定したDF2回路を内蔵していま

す。OPA660のデータ・シートによると、 $\pm 1.4\text{V}$ における -3dB バンド幅は552MHzであり、また2nsのスループットで示したパルス応答を見ると、シミュレーションが非常に有効であることが確認できます。

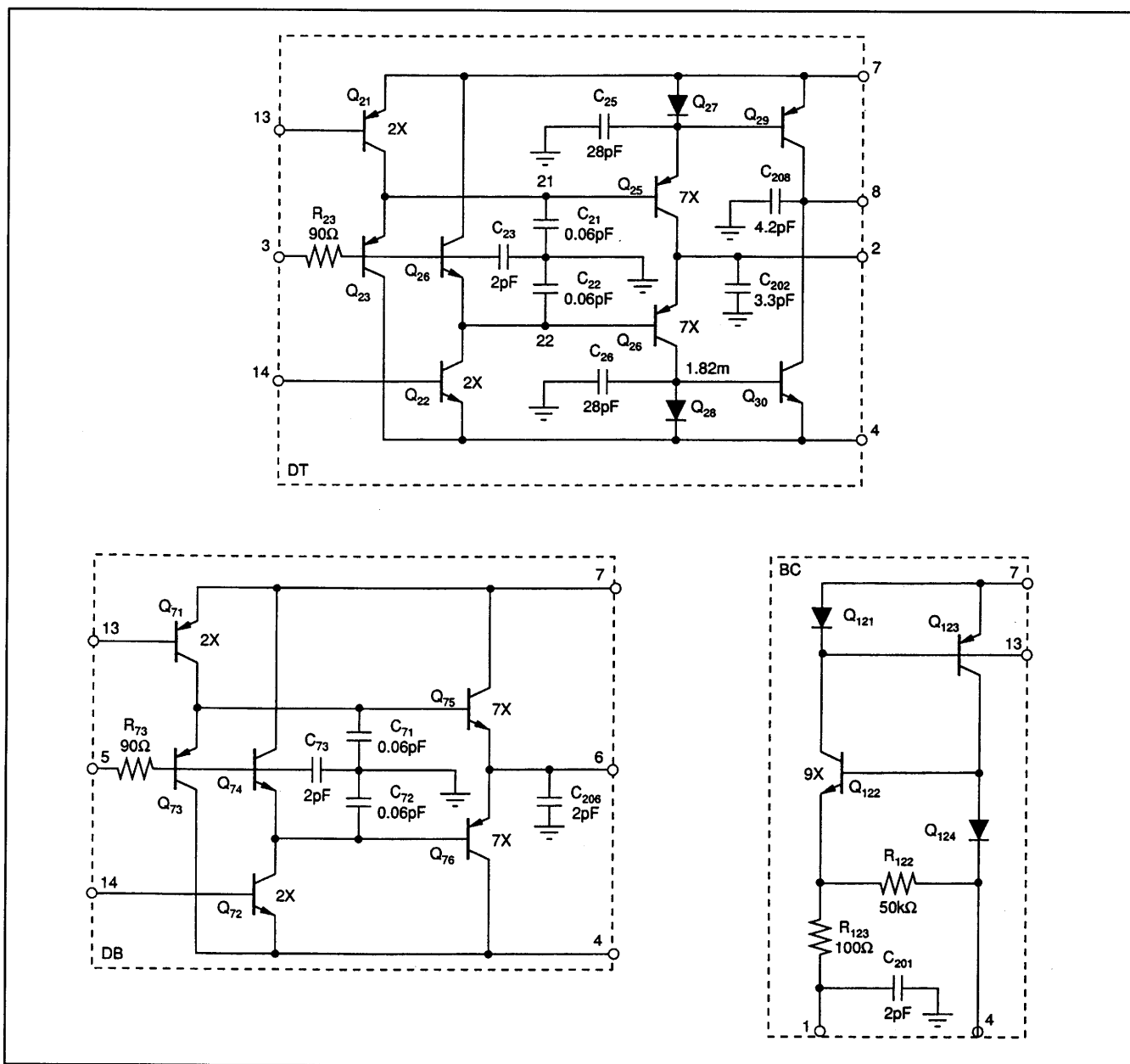


図3. サブサーキットDT、DB、およびBCから成るOPA660マクロモデル

```

**Inc file circuit                      : COPA660.CIR
*****
X1 4   5   6   7   13  14      CDB660;   Diamond Buffer DB
X2 2   3   4   7   8   13  14      CDT660;   Diamond Transistor DT
X3 1   4   7   13  14      CBC660;   Biasing Circuit BC
**
C201   1   0   2pF
C202   2   0   2pF
C203   3   0   2pF
C205   5   0   2pF
C206   6   0   2pF
C208   8   0   2pF
*****
**Diamond Buffer CDB660
**
.SUBCKT CDB660 4 5 6 7 13 14
**
R77 77 5 25
**
Q71 74 13 7 7 PI 2.8
Q72 73 14 4 4 NI 2.8
Q73 73 73 7 7 PIJ 18
Q74 74 74 4 4 NIJ 18
Q75 79 73 7 7 PIJ 18
Q76 80 74 4 4 NIJ 18
Q77 74 77 79 7 PIJ
Q78 73 77 80 4 NIJ
Q79 79 79 78 4 NIJ 6
Q80 80 80 78 7 PIJ 6
Q81 7 79 6 4 NIJ 18
Q82 4 80 6 7 PIJ 18
**
.ENDS CDB660
*****
**Diamond Transistor CDT660
**
.SUBCKT CDT660 2 3 4 7 8 13 14
**
R27 27 3 25
R33 33 7 50
R34 34 4 50
R35 35 7 50
R36 36 4 50
**
C38 2 0 2.2pF
**
Q21 24 13 7 7 PI 2.8
Q22 23 14 4 4 NI 2.8
Q23 23 23 7 7 PIJ 18
Q24 24 24 4 4 NIJ 18
Q25 29 23 7 7 PIJ 18
Q26 30 24 4 4 NIJ 18
Q27 24 27 29 7 PIJ
Q28 23 27 30 4 NIJ
Q29 29 29 28 4 NIJ 6
Q30 30 30 28 7 PIJ 6
Q31 31 29 2 4 NIJ 18
Q32 32 30 2 7 PIJ 18
Q33 31 31 33 7 PIJ 18
Q34 32 32 34 4 NIJ 18
Q35 8 31 35 7 PIJ 18
Q36 8 32 36 4 NIJ 18
**
.ENDS CDT660

```

図4. OPA660.CIRサーキット・ファイル

```

*****
**Biasing Circuit CBC660
**
.SUBCKT CBC660 1 4 7 13 14
**
R122      122  4    50k
R123      122  1    100
**
C121      121  0    10pF
C124      124  0    10pF
**
*I121      121  124  0.1μA
**
E13       13   0    121  0    1
E14       14   0    124  0    1
**
Q121      121  121  7     7    PI
Q122      121  124  122   4    NI    27
Q123      124  121  7     7    PI
Q124      124  124  4     4    NI
Q125      4    13   7     7    PI    32
**
.ENDS CBC660
*****
**Model COPA660
**
.SUBCKT COPA660 1 2 3 4 5 6 7 8
**
X1        4    5    6    7    13   14          CDB660; Diamond Buffer DB
X2        2    3    4    7    8    13   14      CDT660; Diamond Transistor DT
X3        1    4    7    13   14          CBC660; Biasing Circuit BC
**
C201      1    0    2pF
C202      2    0    2pF
C203      3    0    2pF
C205      5    0    2pF
C206      6    0    2pF
C208      8    0    2pF
**
.ENDS COPA660
*****
.NODESET V(13)=+4.2632 V(14)=+4.2637
*****
**End

```

図4. OPA660.CIRサーキット・ファイル(続き)

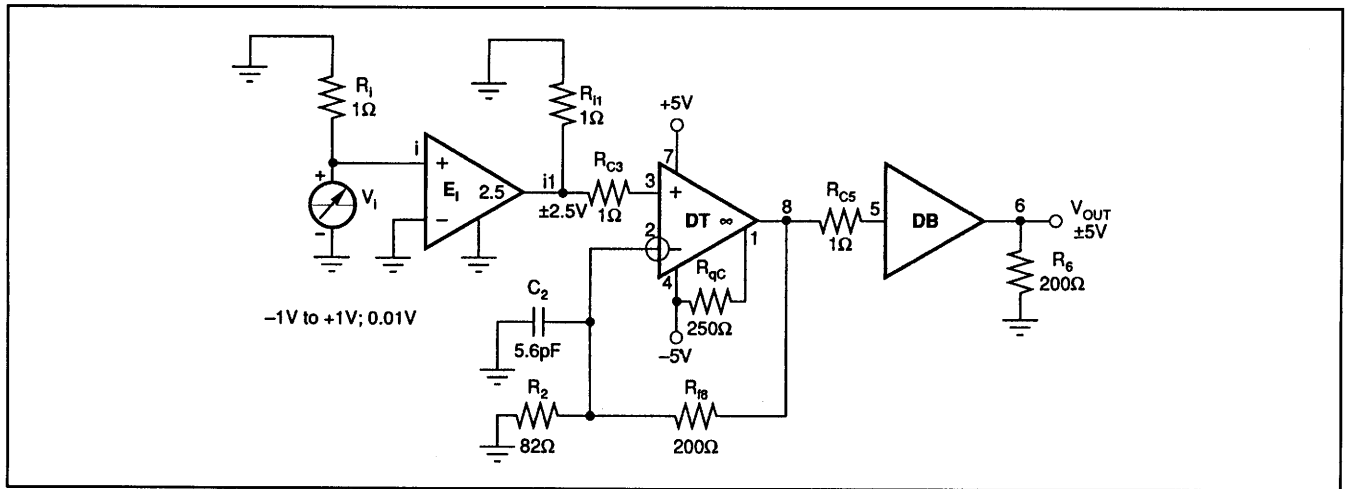


図5. 直接帰還アンプのDCスweep応答 CDRDF2

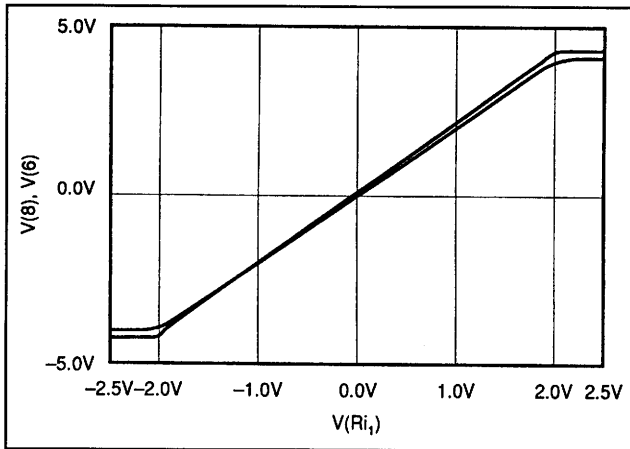


図6. DCスweep応答CDRDF2のシミュレーション結果

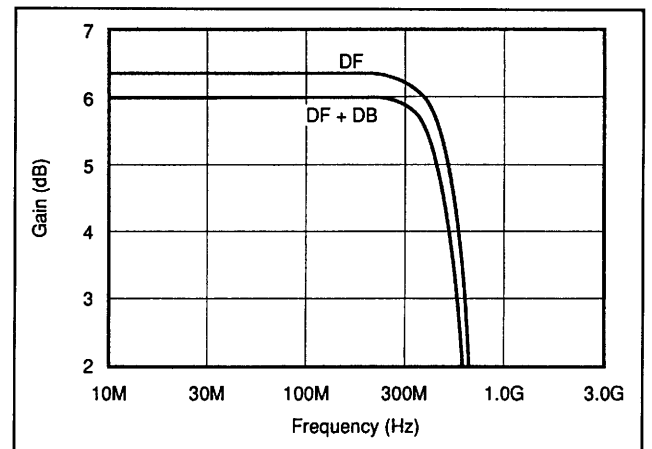


図8. ACスweep応答CARD2のシミュレーション結果

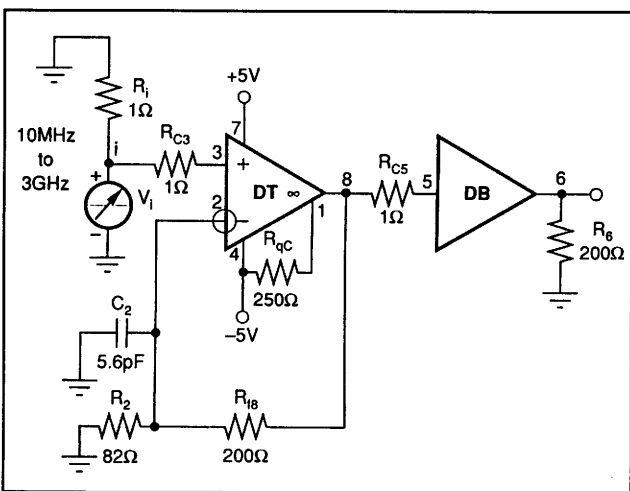


図7. 周波数応答解析(CARD2)

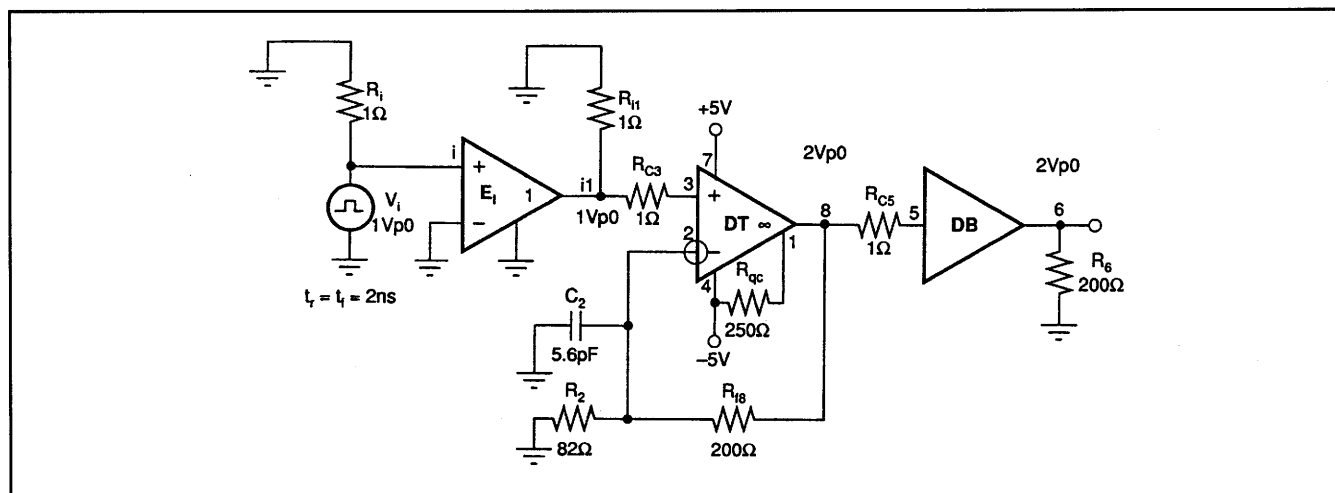


図9. ガウス波形パルス伝送のためのシミュレーション回路(CG22DF2)

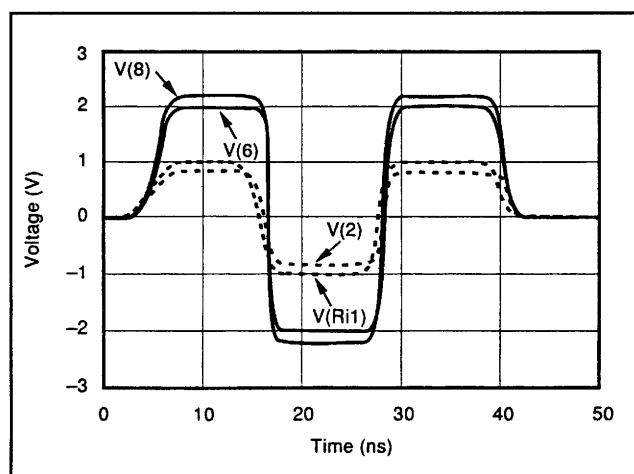


図10. ガウス波形パルス伝送でのシミュレーション結果

日本バー・ブラウン株式会社

本 社 〒107 東京都港区赤坂7-10-20 アカサカセブンスアヴェニュービル ☎03-3586-8141
大阪営業所 〒532 大阪市淀川区西中島4-5-1 新栄ビル ☎06-305-3287
名古屋営業所 〒465 名古屋市名東区本郷2-175 サニーホワイト藤 ☎052-775-6761

ホットラインFAX

東京  **FAX.0120-068801**
大阪  **FAX.0120-068805**