

周波数／電圧変換

高精度の周波数／電圧変換器 (FVC) は、電圧／周波数変換器 (VFC) を使用して作ることができます。バー・ブラウンでは各種自励VFCを提供しております。

VFC110高周波、低ジッタVFC

フルスケール：最大 4 MHz、直線性：標準 $\pm 0.02\%$ (2 MHz)

VFC121高精度単一電源VFC (+4.5Vから+36V)

フルスケール：最大 1.5 MHz、直線性：最大 0.03% (100kHz)

VFC320高精度VFC

フルスケール：最大 1 MHz、直線性：最大 0.005% (10kHz)

本アプリケーション・ノートは、VFCを使用した高精度FVC作成法を3例ご紹介します。一般的な回路技術では高精度を得ることはできませんが、リップルが高くセトリングも遅くなります。外部フィルタを接続することでセトリング・タイムとリップルのトレードオフを改善することができますが、誤差が大きくなってしまいます。そこで新たな方法では、FVCの出力からリップルを除去し、DC精度は維持したまま従来のFVCと比較して1000倍以上もセトリング・タイムを改善しています。

FVCアプリケーション

周波数／電圧変換器のアプリケーションで急速に成長したものに高電圧アナログ信号絶縁があります。バー・ブラウン ISO121のような高電圧アナログ絶縁アンプ (ISOアンプ) は、8000Vまでの信号を絶縁することが可能です。事業用送電ライン制御、原子力関連の制御、落雷からの保護など、数万あるいは数百万の高電圧絶縁を行うものに関しては、また別の技術が必要となります。電圧／周波数変換器 (VFC) でアナログ信号をデジタル化し、光ファイバー・データ網を経由してFVCに転送し信号を再生する方法をとれば、実質無限に絶縁が可能です。

VFCは、その積分入力特性および高分解能により、アナログ／デジタル変換に多く利用されてきました (実際、最新のシグマ・デルタ・アナログ／デジタル変換器は、VFCを変形させてデジタルのフィルタリングおよびエンコーディングを備えたものです)。VFCによってデジタル化されたアナログ信号は1組のツイストペア線で遠く離れた受信器にシリアルに転送したり、また単一の光学アイソレータで絶縁することが可能です。医療用のアプリケーション等では、ベッドサイド

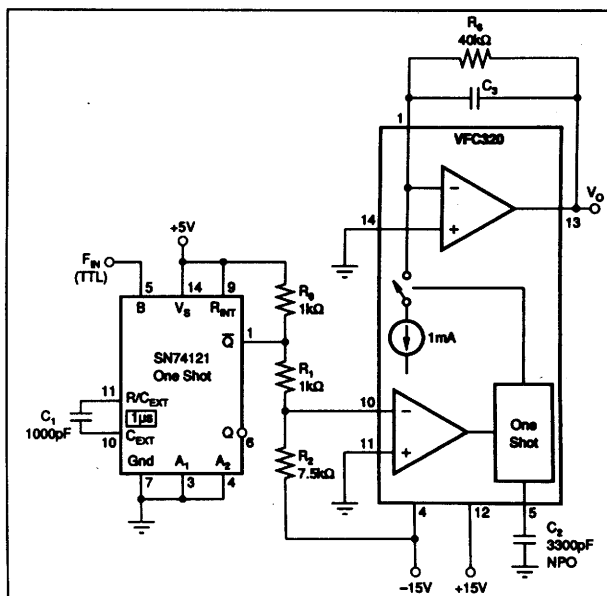


図1. 従来の周波数／電圧変換器 (FVC)。このFVCにはバー・ブラウンの電圧／周波数変換器 VFC320がFVCモードに接続されています。C₃の値でリップルとセトリング・タイムのトレードオフが決まります。

のCRTまたはLCDディスプレイでのモニター用にアナログ信号が必要になります。ここで述べるFVCの高速セトリングそしてリップルのない特性は、これらのアプリケーションにとっても理想的なものです。

従来型FVC

従来のFVCでは、ワンショットで制御されたリファレンス電流を平滑化しています。このようなFVCにとって重大な問題となるのは、リップルとセトリング・タイムのトレードオフです。分解能を上げるためにはリップルを低くしなければなりません。リップルを抑えることによってセトリング・タイムは増加してしまいます。

図1に従来のFVC回路の例を示します。これにはバー・ブラウンの電圧／周波数変換器VFC320がFVCモードに接続されています。入力レジスタR1、R2およびプルアップ・レジスタR0を接続したSN74121ワン・ショットでTTLロジック・レベル入力を $1\mu\text{s}$ 幅負方向のパルスに変換し、VFC320内部のグラウンド・リファレンス・コンパレータを反転させます。反転したコンパレータはVFC320の高精度ワン・ショットをトリガします。そしてVFC320の1mAの電流リファレンスはワン・ショットがONしている間、平均化トランスインピーダンス・アンプの入力に切り替わります。

トランスインピーダンス・アンプは、外部積分コンデンサC3を接続したVFC320内部のオペアンプから成る積分器と考えることができます。積分器出力電圧に比例する電流はフィードバック・レジスタR6を通して加算されます。周期的な

1mAの電流パルスおよびR6を通る電流は共にC3で積分されます。積分器出力の平均電圧は、入力周波数、正確なワン・ショット時間、電流リファレンスおよび外部フィードバック・レジスタR6と比例します。

ワン・ショットの所要時間は外部ワン・ショット・コンデンサC2によって決められます。この場合、ワン・ショットのパルス幅は入力レンジが10kHzフルスケールのFVCで $25\mu\text{s}$ に設定されます。この数字は、ワン・ショット・パルス幅がフルスケール入力周期の約25%である時、最適なFVCまたはFVC直線性が得られるという経験から求められたものです。

積分器出力はワン・ショット周期の間で急速に上昇し、1mA電流ソースとフィードバック・レジスタを通る電流の合計を積分します。そして積分器出力は、ワン・ショット後の周期の間下降し、フィードバック・レジスタを通る電流だけを積分します。この変化のピーク・ツー・ピーク値はリップルとなってFVC出力に現れます。

積分器コンデンサの値はFVC出力リップルに影響しますが、DC出力電圧の平均とは無関係です。積分器コンデンサの値を増加させることは、電圧リップルを減少させ、入力周波数の変化に対して積分器出力が整定する時間を増やします。セトリング・タイムは単極応答に左右されます。以下の関係式は従来のFVCに適用されます。

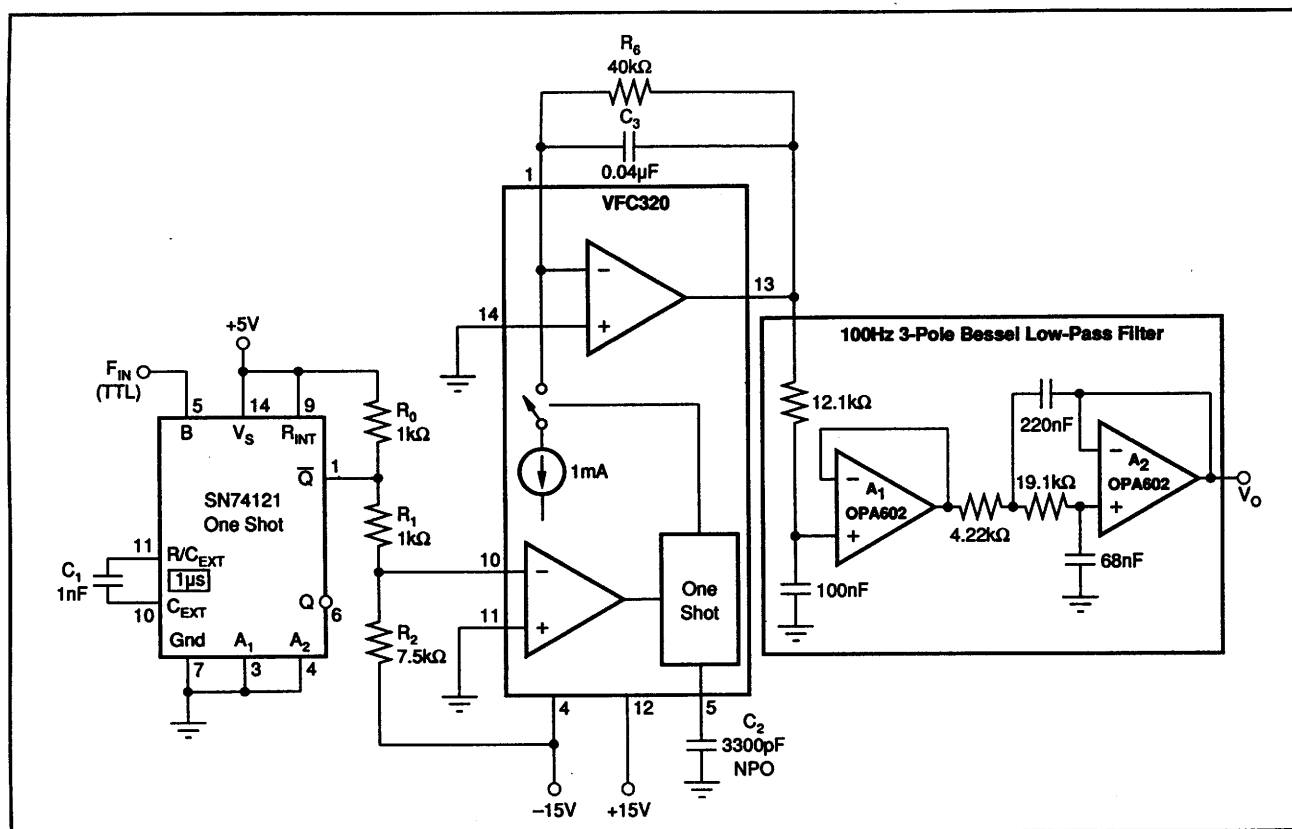


図2. 従来の周波数／電圧変換器。出力に3極ローパス・ベッセル・フィルタを接続したこの変換器は、1.2kHzでリップルが1mV以下となり、18msで0.01%に整定可能です。

$$V_o = F_{IN} \cdot T_{OS} \cdot I_R \cdot R_6$$

(従来型および高速セトリングFVCと同じ)

$$\text{リップル} \approx T_{OS} \cdot I_R / C_3$$

$$t_s = R_6 \cdot C_3 \cdot \ln \left(\frac{100\%}{P\%} \right)$$

ここで:

V_o = 平均出力電圧 [V]

F_{IN} = 入力周波数 [Hz]

(ここではフルスケール10kHz)

I_R = 電流リファレンス [A]

(VFC320で1mA)

T_{OS} = ワン・ショット周期 [s]

(ここでは25μs)

R_6 = 積分器フィードバック・レジスタ [Ω]

(10kHz入力で10Vフルスケール出力に対して40kΩ)

ripple = V_o の変化 [Vp-p]

C_3 = 積分器コンデンサの値 [F]

P = 出力信号に要求される精度 [フルスケールの%]

従来型FVC性能

従来のFVCは非常に優れたDC性能を備えていますが、ダイナミック性能が劣ります。例えば、10kHz入力に対して10VフルスケールをもつFVCについて考えてみましょう。 $I_R = 1\text{mA}$ 、 $T_{OS} = 25\mu\text{s}$ のVFC320電圧/周波数変換器では、 R_6 は40kΩになります。従来のFVCでは、0.01%の分解能に対して(リップルは1mV) C_3 が25μFに設定されなければならない、セトリング・タイムは9.2sと非常に長くなります。

従来型FVCのフィルタリング

従来型FVCのセトリング・タイムとリップルの相互関係は、FVC出力を図2に示すような高次ローパス・フィルタでフィルタリングすることによって実質上改善することができます。この方法では、従来のFVCは高速セトリング・タイムを得るために比較的高い出力リップルで設計されます。そこで、高次ローパス・フィルタをFVC出力に直列に接続してリップルを減少させます。

図2の例では、10kHz入力に対してフルスケール出力を10Vに設定するために、 R_6 の値は40kΩが使用されています。 C_3 の値は、最大リップル約625mVを得るために0.04μFになっています。これは任意の数字ですが、十分な直線性精度と10Vフルスケール出力を得るためには適当な値です。フルスケール時、FVC出力は10Vにリップルの約半分を加えた電圧までスイングさせなければならないため、リップルを大きくする程FVCがリニアに出力できる範囲が減少します。

FVCのフィルタにはさまざまな出力フィルタが接続可能ですが、ベッセル・フィルタの優れたパルス応答は、どんな標準フィルタ・タイプよりも高速なセトリングを可能にします。下記の表に2次から5次のベッセル・フィルタを接続したFVC性能を示します。3次ベッセル・フィルタが、優れたセトリング・タイムとリップルの相互関係を示しています。図2は、3次セイレンキー・ベッセル・フィルタを接続した従来型FVCです。周波数を100Hzに設定したf-3dBのフィルタでは、1.2kHzでのリップルが1mV以下に、0.01%へのセ

トリング・タイムが18msになります。より高次のフィルタを使用した場合は、1.2kHz以下のリップルが激増することに注意して下さい。

ベッセル・フィルタを接続したFVC性能

フィルタ (次)	f-3dB (Hz)	セトリング (0.01) (ms)	リップル (1.2kHz) (mV)	リップル (400Hz) (mV)
2	35	38	1	8
3	100	18	1	25
4	155	17	1	59
5	205	17	1	134

セイレンキー・フィルタは、そのゲイン・エラーの低い構造からローパス・フィルタに使用されます。フィードバック・ループ内でのフィルタの接続は、余計な位相シフトによって安定性に欠けることになるので行わないで下さい。フィルタは積分器フィードバック・ループの外に接続されなければならないので、ゲイン、オフセットおよびオフセット・ドリフトなどのDCエラーがFVCの伝達関数に付加されます。ユニティ・ゲイン・セイレンキーの構造では、オペアンプが電圧フォロワとして接続されるので、ゲイン・エラーは無視することができます。オフセットおよびオフセット・ドリフトのエラーを抑えるために、低ドリフトで高精度のオペアンプを使用する必要があります。他のアクティブ・フィルタは、バー・ブラウンが無償で提供している操作が容易なDOSコンパチブル・プログラムを使用して設計することができます (FilterPro™フィルタ設計プログラムをご請求下さい)。これらのプログラムを使用することで、広範囲の実用的なセイレンキー、マルチ・フィードバック (MFB)、および10次までのステートバリアブル・アクティブ・フィルタの設計が容易になります。ステートバリアブル・アクティブ・フィルタは、オンチップの高精度コンデンサを内蔵するUAF42モノリシック・ユニバーサル・アクティブ・フィルタを使用するので、外部コンデンサは必要ありません。

FVCをフィルタすることでセトリング・タイムは改善されますが、3次フィルタを接続した場合でさえも高速セトリングFVCと比べると性能は見劣りします。3次フィルタでフィルタリングすると、0.01%へのセトリングが18msでリップルは1.2kHzで1mV以下ですが、これより低い周波数になるとリップルが増加してしまいます。これと比べると新しい高速セトリングFVCは、同じ R_6 、 C_3 の値でも0.01%へのセトリングは7.4msで、リップルはどの周波数でも1mV以下になります。

最新の高速セトリングFVC

高速セトリングFVCは出力と直列にフィルタを接続する代わりに、従来型FVCの積分フィードバック・ループ内にサンプル/ホールド・アンプを使用しています。高速FVCは、従来型FVCのフィードバックに適応N次フィルタを接続したものと考えることができます。フィルタの次数Nは非常に高い値になるため、全ての積分器出力リップルは入力周波数に関係なく取り除かれます。それと比較して、フィルタを接続したFVCの出力リップルは周波数が低くなるにつれて増加します。また適応フィルタの遅延は小さく、積分器へのフィードバック・ループ内に接続しても安定性に影響はありません。これは従来のフィルタでは不可能でした。フィードバック

ク・ループ内に接続されたフィルタによって、ゲイン、オフセット、オフセット・ドリフト等のDCフィルタ・エラー（サンプル／ホールド・エラー）は、積分器アンプのループ・ゲインで割り算され無視できるレベルにまで減少します。

図3に高速セトリングFVCを示します。R₆およびC₃はフィルタされたFVCと同じ値になっています。理論的には、高速セトリングFVCのC₃をより小さい値にすれば、より速いセトリング・タイムを得ることができます。出力のリップルは、VFC320積分器出力にサンプル／ホールドを使用しサンプリングすることで除去できます。リップル電圧の唯一の制約は、積分器アンプの直線出力振幅の範囲内でないといけないということです。積分器出力でのピーク振幅を減少させるために、サンプル／ホールド回路にゲインを付加することができます。フィルタを接続した方法では、ゲインを付加することは同時にリップルのゲインを上げることになります。

高速セトリングFVCでは、サンプル／ホールドは約1μsのうちに積分器出力からのフィードバック信号を収集するので、ランプ波形のリップルはより高い周波数に変換され、単純な1次極高周波数フィルタR₅、C₅によって十分に除去されます。高周波数フィルタを通した時の遅延はほとんどないので、これもフィードバック・ループ内に接続可能です。

積分器のフィードバック・ループ内にサンプル／ホールドが

あるので、トリガのタイミングは重要ではありません。フィードバック・ループはトリガ・パルスによって、自動的に積分器出力信号の相対的なレベルを適切なアライメントに調整します。

図3のサンプル／ホールド回路はSN74121ワン・ショットによって、レベルシフタとして接続されているSN7406オープン・コレクタ・インバータを通して制御されます。プルダウン・レジスタR₈は積分器アンプの出力に接続され、サンプル／ホールド・コンデンサC₄のドライブ能力を増強します。

DC精度を考慮する必要がなくなったため、サンプル／ホールドの設計はかなり単純化されています。完全なサンプル／ホールド回路は、標準DMOS FETのQ₁、ホールド・コンデンサC₄およびFET入力オペアンプA₁で構成されています。高周波数サンプリング・グリッチもまたR₅、C₅の出力フィルタによって除去されます。グリッチ・フィルタもフィードバック・ループ内にあるため、DCエラーは除去され、低いDC出力インピーダンスが保持されます。

サンプル／ホールドのゲインはR₃、R₄によって2.0V/Vに設定されます。サンプル／ホールドにゲインを持たせることにより、VFC320積分器出力に必要とされる最大振幅を2分の1に抑えることができ、その結果FVC出力で+10Vフルスケールを満たしながら、同時に積分器出力での大きなリップ

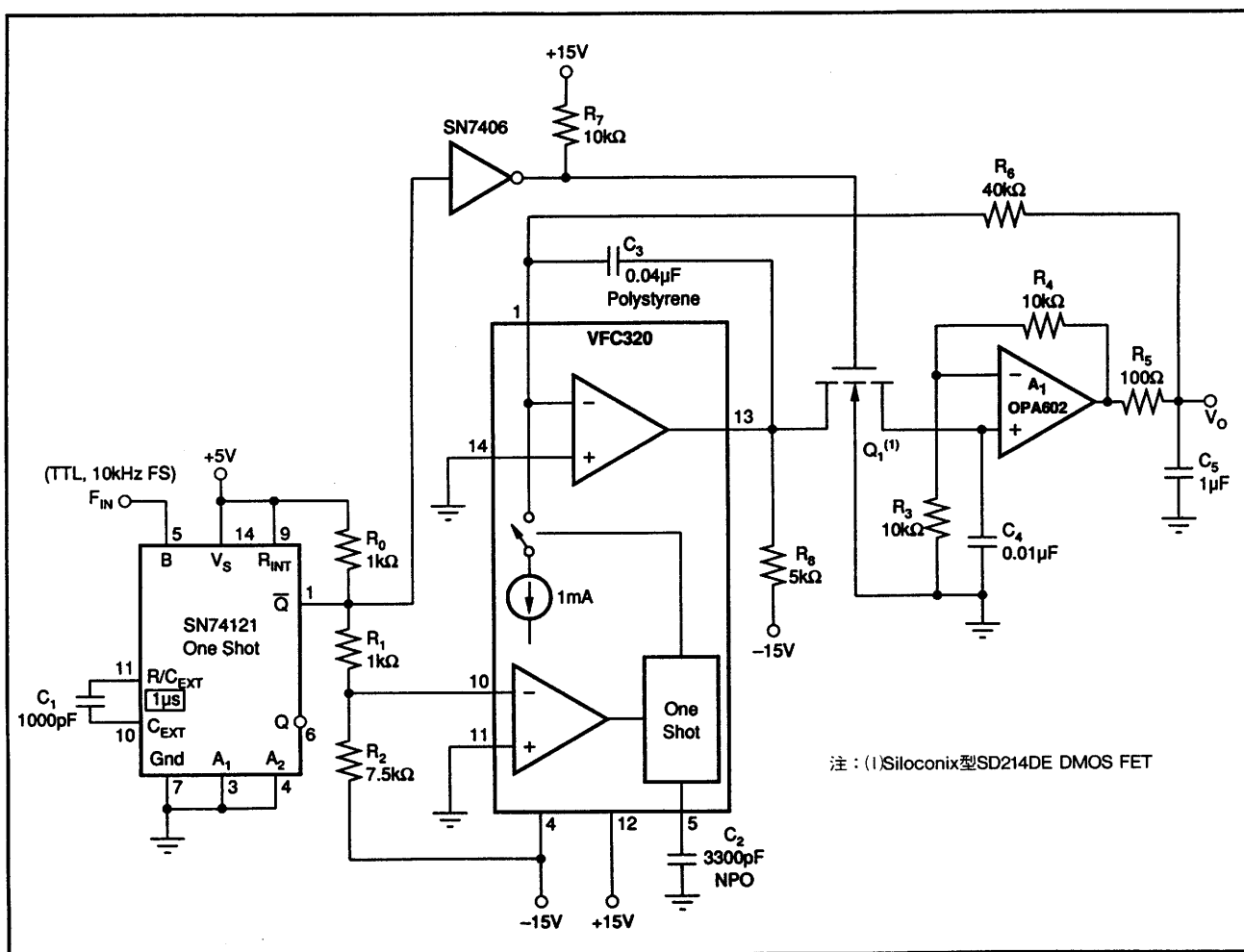


図3. 高速セトリング周波数/電圧変換器。この変換器は従来型FVCのフィードバック・ループ内にサンプル／ホールドを接続しています。リップルなしで、0.01%への安定は7.4μsです。サンプル／ホールドがフィードバック・ループ内にあるので、FVCの精度に影響はありません。

ルを許容できるようになります。

積分器のフィードバック・ループ内でのゲインはまたスループレイトおよびバンド幅を増加させます。A₁に高スループレイトのオペアンプを使用することで、FVCのスループレイトは積分器オペアンプによって制限されます。フィードバック・ループにゲイン2を付加して、FVCのスループレイトを倍にします。実際のサンプル/ホールドのゲインは重要ではありません。というのは、フィードバック・ループ内にあるのでサンプル/ホールド回路のゲインはFVCのゲインに影響を与えることはなく、精度を低下させることもありません。

高速セトリングFVCの性能

高速セトリングFVCのDC伝達関数は従来のFVCと同じですが、出力でのリップルが無視できる程度に小さくなります。図3のFVC回路でDC性能を測定すると、10ppm以下の非直線性になります（16ビット以上の精度）。

図4のスコープ写真は、6 kHzから8 kHzの入力周波数変化におけるFVCの±1 V（実際には+6 Vから+8 V）の小信号出力ステップ応答が非常に優れていることを示しています。もし位相マージンが低ければ、信号はオーバーシュートまたはリングングとなって現れます。

高速セトリング・タイムFVCのセトリング・タイムは、フィードバック・ループ内のゲインによってブーストされる1次システムで予想される値に近似します：

$$T_s = \ln \left(\frac{100\%}{P\%} \right) \cdot R_6 \cdot C_3 / \text{GAIN}$$

ここで：

GAIN=積分器フィードバック・ループ内のサンプル/ホールド回路のゲイン [V/V]

図3に示すように、 $R_6=40\text{ k}\Omega$ 、 $C_3=0.04\mu\text{ F}$ 、および $\text{GAIN}=2.0\text{ V/V}$ の場合、0.01%へのセトリングは7.4kHzと予想されます。図5のスコープ写真は1.2kHzから10kHzの入力周波数変化における、+1.2Vから+10Vへの大信号出力ステップの実測値が理論値とよく一致していることを示しています。このスコープ写真では、理論上の出力信号の上に残留誤差信号が加えられています。各目盛りは約0.01%です。

セトリング・タイムの測定に使用した回路を図5 Aに示します。VFCおよび高精度差動アンプの入力に+1.2Vから+10Vの正弦波を印加します。この正弦波入力、図5のスコープ写真に見られる2つのトレースの内の一つである理論的な出力信号です。VFCは矩形波の入力電圧を変調し、TTLレベルの1.2kHzから10kHzの周波数信号に変換します。このテストでは、周波数信号は直接FVCに送られます。FVCの出力は、理想的には入力矩形波を遅延し再現した波形となりますが、差動アンプの反転入力に送られます。差動アンプはFVC出力をVFC入力から差し引きします。差動アンプの出力（FVC出力）-（VFC入力）は、図5のスコープ写真で第2のトレースに見られる様な残留誤差信号です。この方法を実行するためには、VFCのダイナミック・エラーがFVCに比べて小さくしなければなりません。この測定で使用したVFCは、バー・ブラウンのVFC320です。

図7のスコープ写真は、サイン波形で1 kHzから9 kHzに変調されたTTLレベル（0 Vから5 V）のFVC入力信号を、1 Vから9 VのFVC出力と重ね合わせたものです。この写真は図5 Aのテスト回路に1 Vから9 Vの正弦波信号を入力してFVCの入力および出力を観測したものです。1 kHzの低周波数入力時のサイン波出力には周波数入力のパルス間でステップが見られますが、優れたセトリング特性であることがわかります。

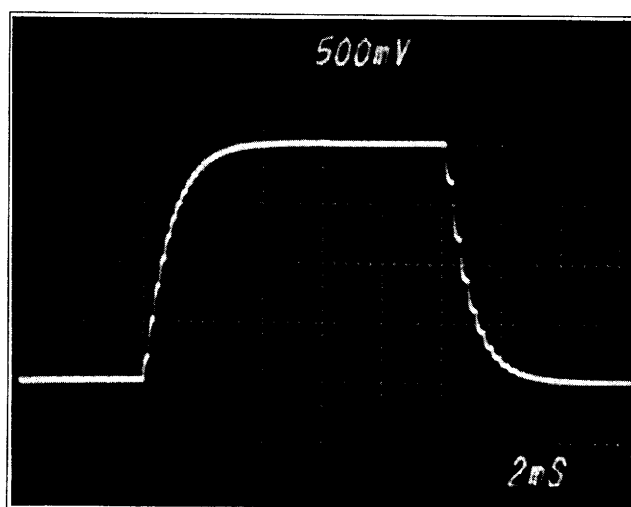


図4. 優れた安定性を示す、高速セトリングFVCの小信号ステップ応答

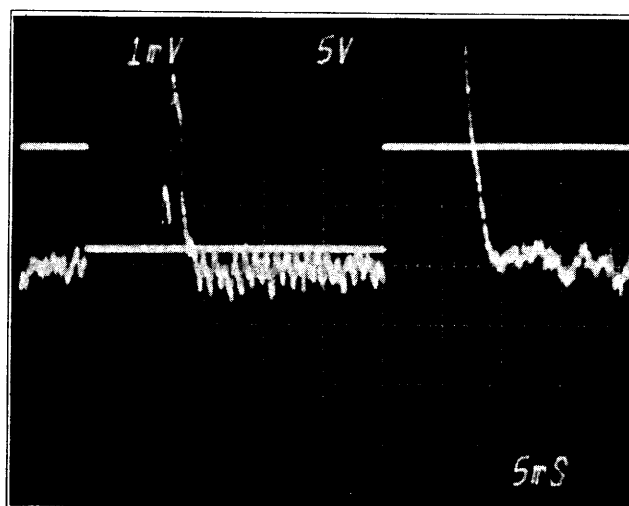


図5. 高速セトリングFVCの、0.01%へのセトリング時間は約7.4ms

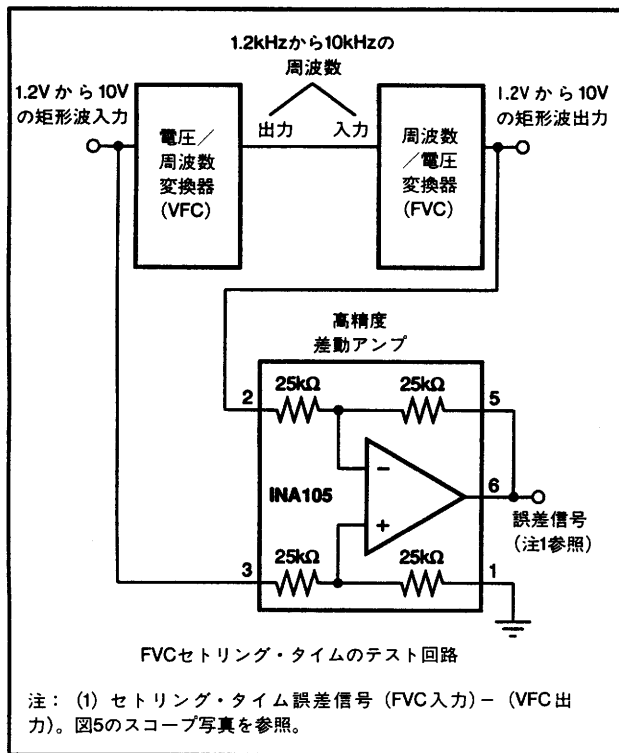


図5 A. 図5に使用されたFVCセトリング・タイム測定回路

高速セトリングFVCの安定性について

サンプリングを用いたシステムの安定性はサンプリング周波数に依存します。高速セトリングFVCのフィードバック・ループ内にあるサンプル／ホールドは入力周波数によって制御されているため、ループの安定性を保証するために最小の入力周波数が必要となります。入力周波数が減少するに従ってサンプル／ホールドの遅延が増大し、そのために積分器ループの位相マージンが減少します。図6に示すフィードバック・ループのブロック図から、かなり正確な安定基準分析が得られます。ループの位相マージンは以下の通りです。

$$\text{MARGIN} = 180^\circ - 90^\circ - \text{delay}_1 - \text{delay}_2 - \text{delay}_3$$

ここで、

MARGIN=ループの位相マージン

90° =主要ポール R_6 、 C_3 の位相遅延

delay_1 =サンプル／ホールド・スイッチ Q_1 およびホールド・コンデンサ C_4 の遅延

$$\text{delay}_1 = \tan^{-1}(f_{UG} \cdot 2 \cdot \pi \cdot R_{01} \cdot C_4)$$

delay_2 =出力フィルタ R_5 、 C_5 による遅延

$$\text{delay}_2 = \tan^{-1}(f_{UG} \cdot 2 \cdot \pi \cdot R_5 \cdot C_5)$$

delay_3 =サンプル周期による遅延

$$\text{delay}_3 = \frac{360 \cdot f_{UG}}{2 \cdot f_{IN}}$$

f_{UG} =全積分器ループのユニティ・ゲイン周波数

$$f_{UG} = \text{GAIN} / (2 \cdot \pi \cdot R_6 \cdot C_3)$$

GAIN=フィードバック・ループ内サンプル／ホールド回路のゲイン

f_{IN} を解く、(下記等式を参照)

ここで、前記定義に加えて、

R_{Q1} =サンプル／ホールド・スイッチ・トランジスタのオン抵抗 Q_1 [Ω]

図3の値を使用し、また R_{Q1} を25 Ω とすると、下記の結果になります。

マージン ($^\circ$)	F_{IN} (Hz)
60	1200
45	780
30	600
0	400

最良のパルス応答およびセトリング・タイムを得るためには、最小入力周波数は図3の回路で1.2kHzなければなりません。400Hz以下の入力周波数では、ループは不安定になり出力が発振またはロックアップされます。

$$f_{IN} = \frac{-90^\circ \cdot \text{Gain}}{\pi \cdot C_3 \cdot R_6 \left(\text{Margin} - 90^\circ + \tan^{-1} \left(\frac{\text{Gain} \cdot R_5 \cdot C_5}{R_6 \cdot C_3} \right) + \tan^{-1} \left(\frac{\text{Gain} \cdot R_{Q1} \cdot C_4}{R_6 \cdot C_3} \right) \right)}$$

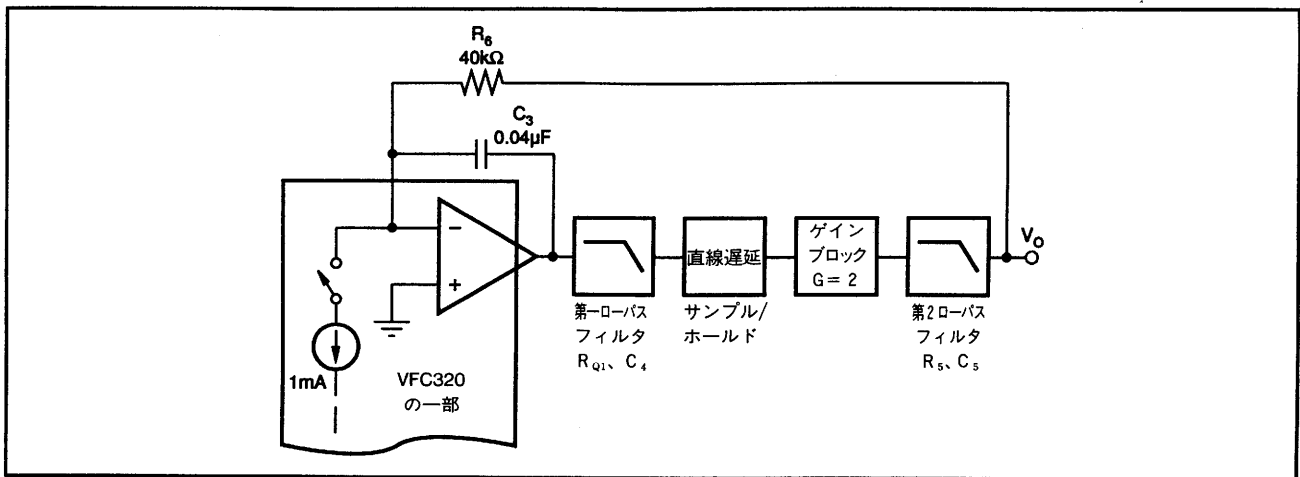


図6. この積分器フィードバック・ループのブロック図は、高速セトリングFVCの安定性分析に使用します。

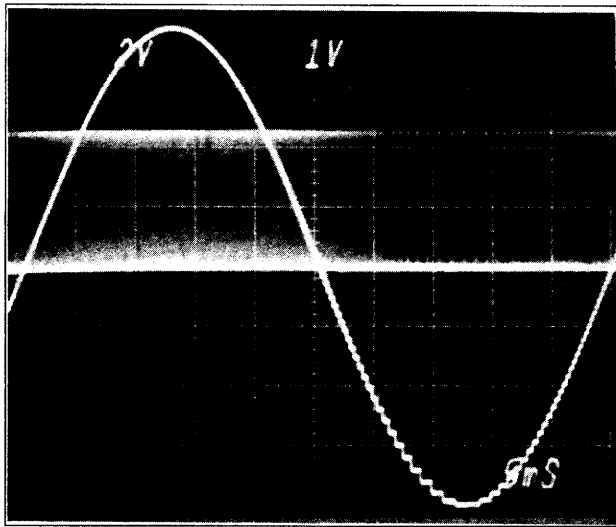


図7. 1kHzから9kHzTTLレベル周波数入力に対して、周波数／電圧変換器の1Vから9V出力を示すデュアル・トレースのスコープ写真

日本バー・ブラウン株式会社

本社 〒107 東京都港区赤坂7-10-20 アカサカセブンスアヴェニュービル ☎03-3586-8141
大阪営業所 〒532 大阪市淀川区西中島4-5-1 新栄ビル ☎06-305-3287
名古屋営業所 〒465 名古屋市名東区本郷2-175 サニーホワイト藤 ☎052-775-6761

フリーダイヤル
東京  **FAX.01 20-068801**
フリーダイヤル
大阪  **FAX.01 20-068805**

ホットラインFAX

回路設計およびデータ収集・コントロールシステムの構築のあらゆるご相談をいつでも承ります。

©BBJ93021KADS